

CS5121 VLSI System Design and Implementation Fall 2014

Lab 04

Extending Leading Zero Counter (from lab02)

103062638 陳煒智

一、Description:

- 使用 git 版本控制，將 lab02 設定為 v1.0，將 lab04 之最後版本設為 v2.0
- 改變lab02之設計，不同於lab02之處：
 1. 可於計算過程中進行**MODE**切換
 2. 變更Finite State Machine為IDLE、ACCU及FINISH三個狀態
- 可參數化的輸入及模擬，參數如下：
 1. WIDTH：可改變DATA輸入之bit數。
 2. WORD：代表每回合最多之cycle數。
 3. FSDB：可決定.fsdb檔之dump後的檔案名稱。
 4. PATTERN：輸入pattern檔名，供test bench計算Leading zero數。
 5. GOLDEN：輸入golden檔名，供test bench比對計算出之Leading zero是否與golden檔之結果相等。
 6. DEBUG：若 debug=1，則於每個 cycle 在 terminal 上執行 \$monitor。

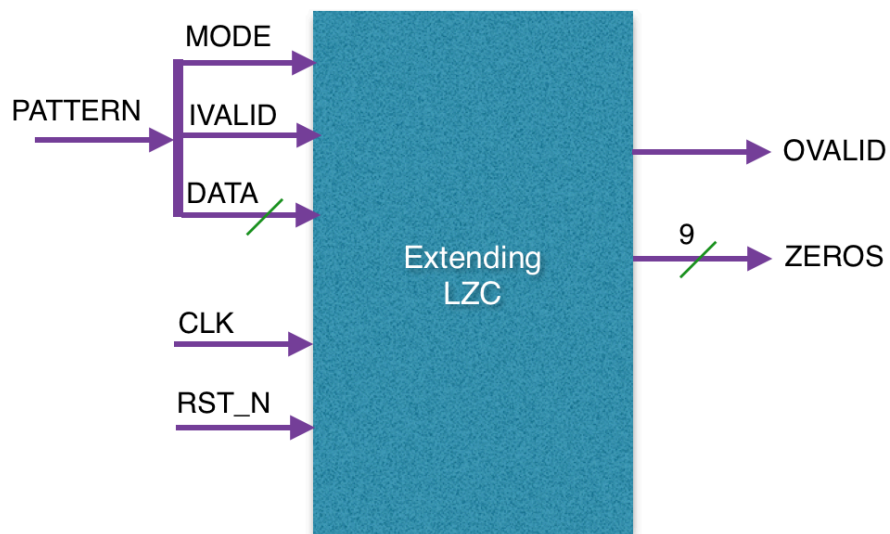
二、使用 makefile 及 shell script

在 makefile 中定義變數，即可使用 make 指令並傳入變數，方便測試不同測資，如：

```
make debug=1 width=8 word=4 pattern=lzc_w8c4.dat golden=lzc_w8c4gold.dat
```

但由於測試之 pattern 可能很多，為了避免每次都要打上述這麼長一串，所以可以將一連串指令寫成 shell script，例如將此指令寫入 lab04-1.sh，如此便可直接輸入 **sh lab04-1.sh** 執行。

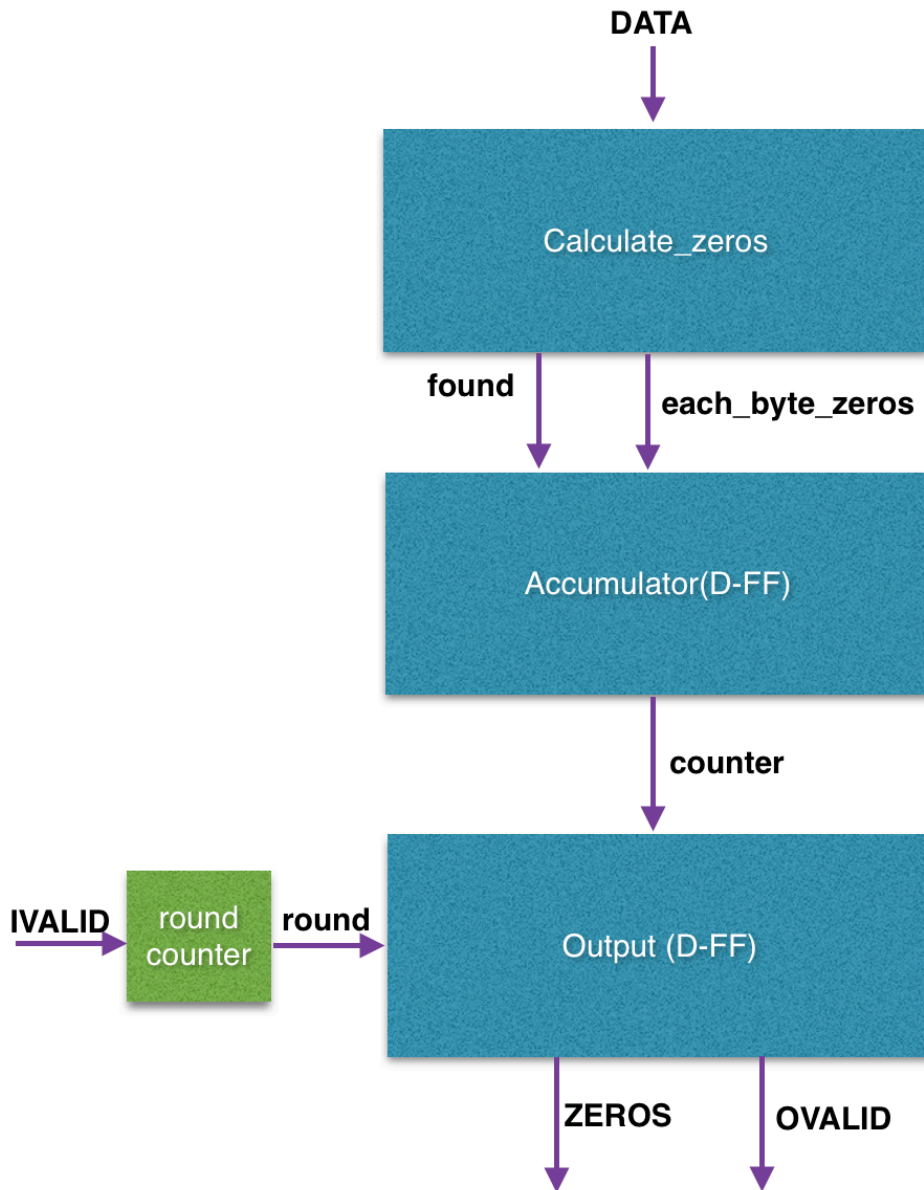
三、Block Diagram:



IO Specification:

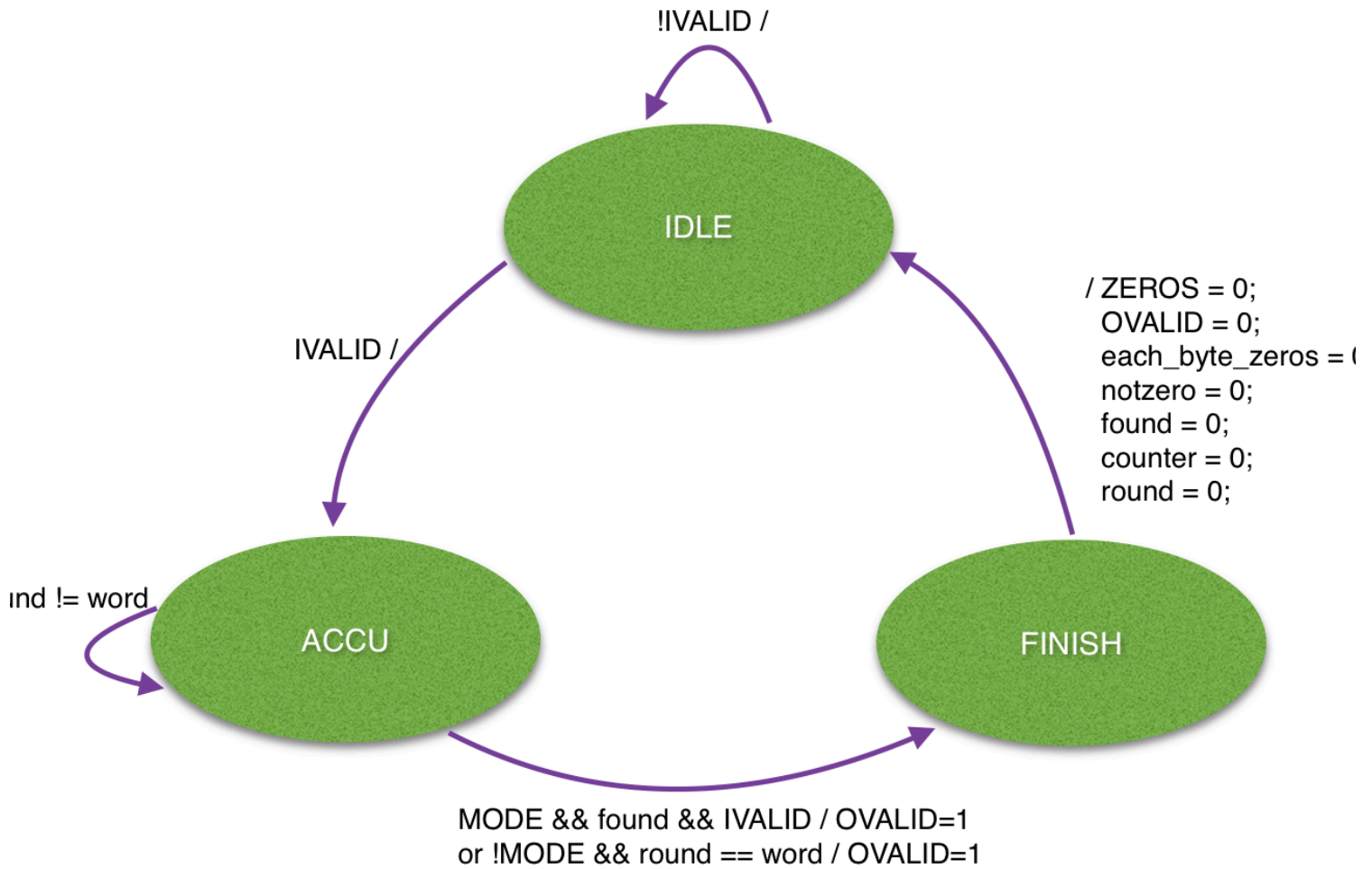
- **Input:**
 - **CLK**: clock source。
 - **RST_N**: 低電位時重置。
 - **MODE**: MODE=0 為 normal mode, MODE=1 時提早輸出 Leading Zero。
 - **IVALID**: 拉起時表示有輸入。
 - **DATA**: 輸入之資料值，可參數化其長度。
- **Output:**
 - **OVALID**: 拉起時表示可輸出 ZEROS 之值。
 - **ZEROS**: 計算之 Leading zero 個數。

四、Overall Architecture



- **Calculate_zeros**：用來計算每個 DATA 具有多少個 Leading zero。
- **Accumulator**：用來累加共有多少 Leading Zero，當前一級出現“非零”時，則 **found** 拉起，不再進行累加，直至下一回合歸零。
- **Output**：作為輸出結果使用，當 **round** 結束或 **mode** 為 1 且提前結束時輸出。

五、Finite State Machine



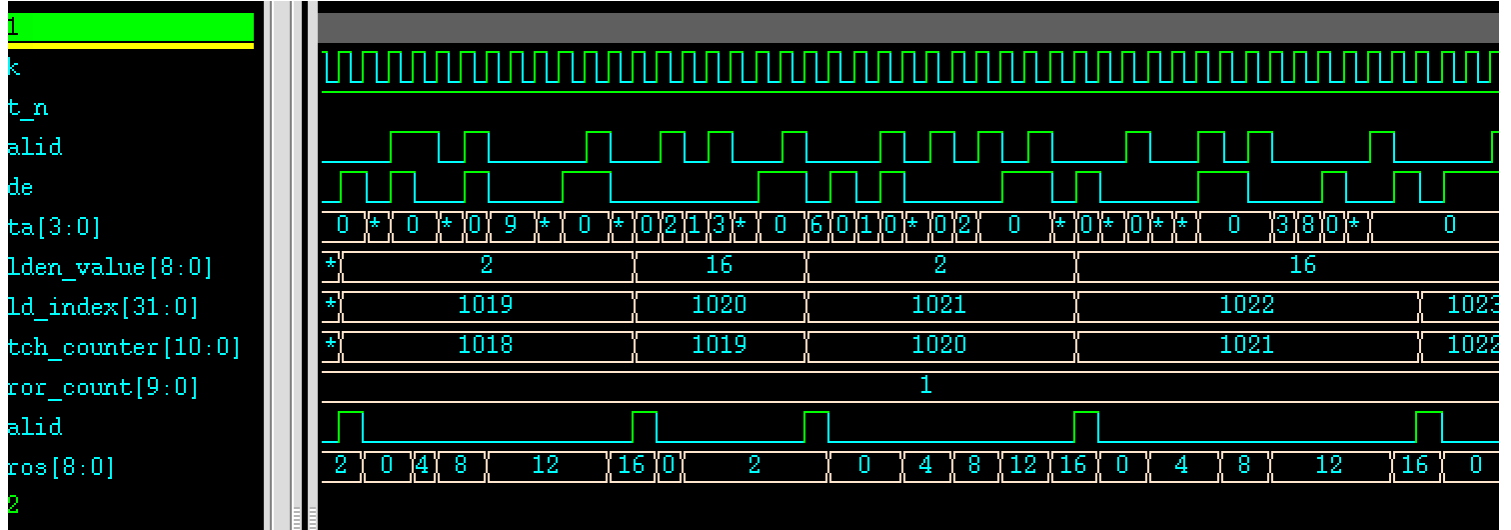
說明：

1. IDLE：當沒有輸入時，於 IDLE 等待輸入，否則進入 ACCU。
2. ACCU：在此狀態進行累加 leading zero，當回合結束，或提前結束回合（如 mode 為 1 且已找到 leading zero）則轉移至 FINISH。
3. FINISH：當找到 leading zero 後，轉移至此狀態歸零累加狀態。

五、Test Bench

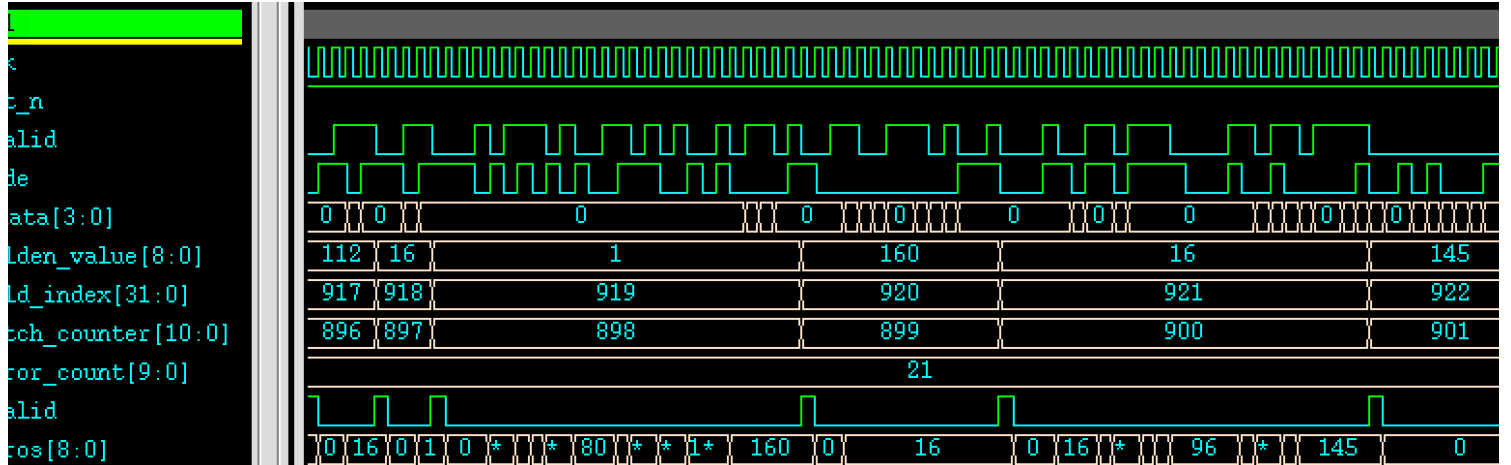
pattern : lzc_w4c4.dat 及 lzc_w4c4gold.dat

mismatch 數：1



Pattern : lzc_w16c16.dat 及 lzc_w16c16gold.dat

Mismatch 數：21



其它 pattern 皆沒有 mismatch 之情形。