CS5121 VLSI System Design and Implementation Fall 2014

Lab 06

Asynchronous FIFO

103062638 陳煒智

Description:

使用Memory compiler產生出256 x 16之dual-port memory，並使用FIFO的方式進行讀取資料。

Steps:

1. 在memory compiler產生memory的RTL code

產生RA2SH.v

2. 參考CummingsSUNG2002SJ\_FIFO1.pdf中的第6節的code

2.1 記得將fifo1.v中的

fifomen #(DSIZE,ASIZE) fifomem改成

RA2SH #(DSIZE,ASIZE) fifomem

2.2 在RA2SH中的接線，重新連接

新增almost full, almost empty

3. 先用ncverilog 去compile看看，複製lab01的makefile

將SRC加入所有的RTL code，包括RA2SH.v

直到沒有錯誤，milestone：壓縮成source.zip

3. 接著，做RTL simulation前，先寫個testbench測試有無錯誤

4. 將lib檔寫入.db檔中

read\_lib RA2SH\_slow\_syn.lib

read\_lib RA2SH\_fast@0C\_syn.lib

write\_lib USERLIB -output fifo\_fast.db

write\_lib USERLIB -output fifo\_slow.db

產生完.db後，在synopsys\_dc.setup中加入.db檔：

set target\_library "slow.db fast.db fifo\_slow.db fifo\_fast.db"

set link\_library "slow.db fast.db dw\_foundation.sldb fifo\_slow.db fifo\_fast.db"

5. Synthesis，先用GUI做一次流程，包括analyze, elaborate及timing constraints等等，寫成TCL file，以便下次直接執行dc\_shell-t –f filename.tcl，即可做synthesis：

analyze -library WORK -format verilog {wptr\_full.v sync\_w2r.v sync\_r2w.v rptr\_empty.v fifo1.v}

elaborate fifo1 -architecture verilog -library DEFAULT

source fifo.dc

uplevel #0 check\_design

compile -exact\_map

write -hierarchy -format verilog -output fifo\_syn.v

write\_sdf -version 1.0 -context verilog fifo.sdf

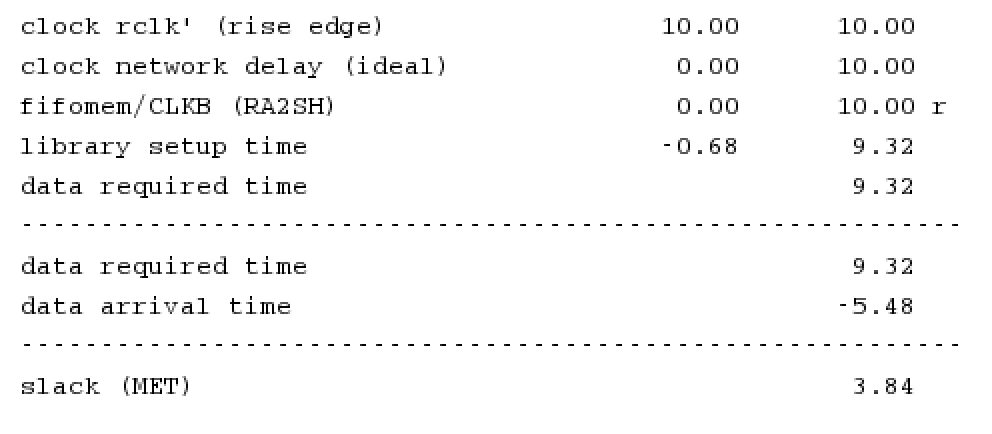
exit

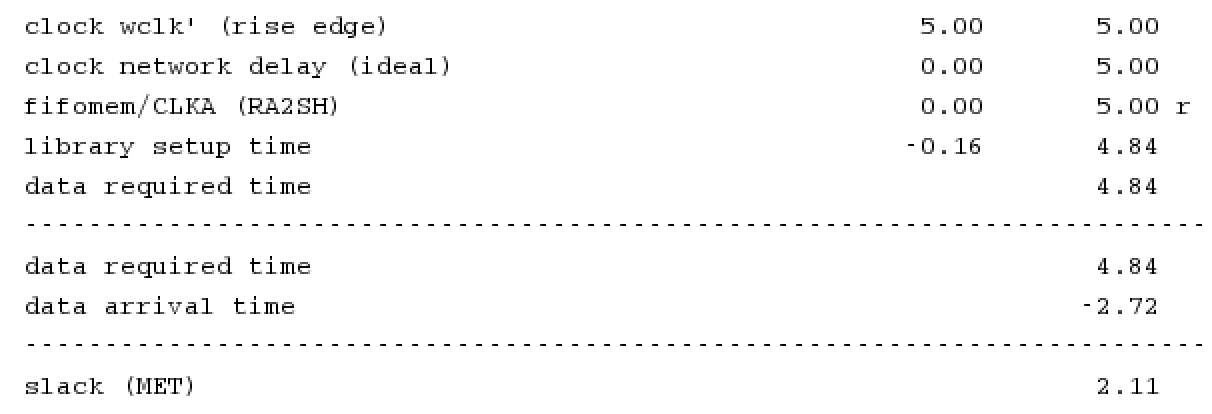
6. 接著對synthesis後的fifo\_syn.v加入testbench做simulation



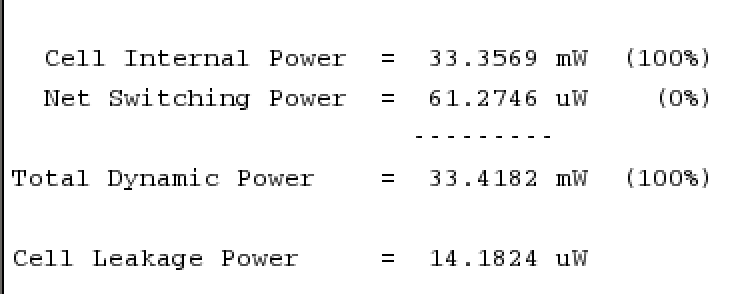
Report:

Timing report

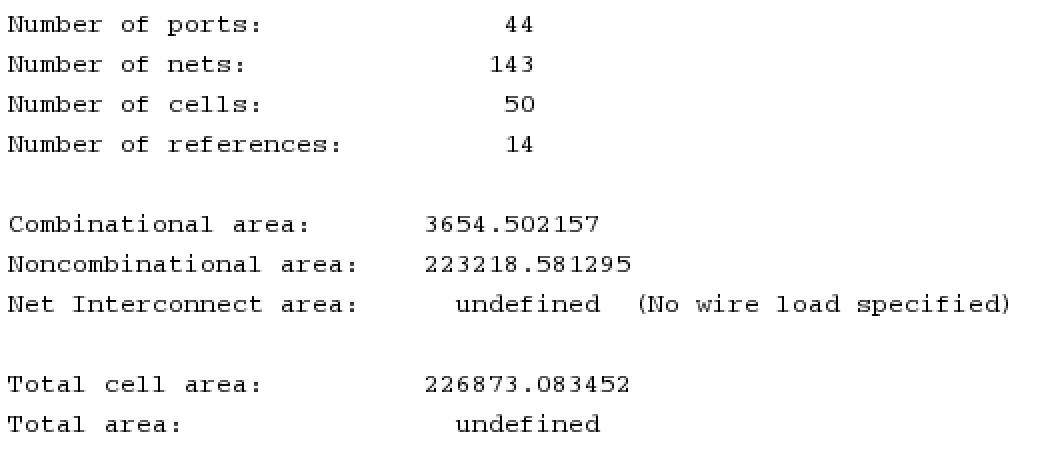




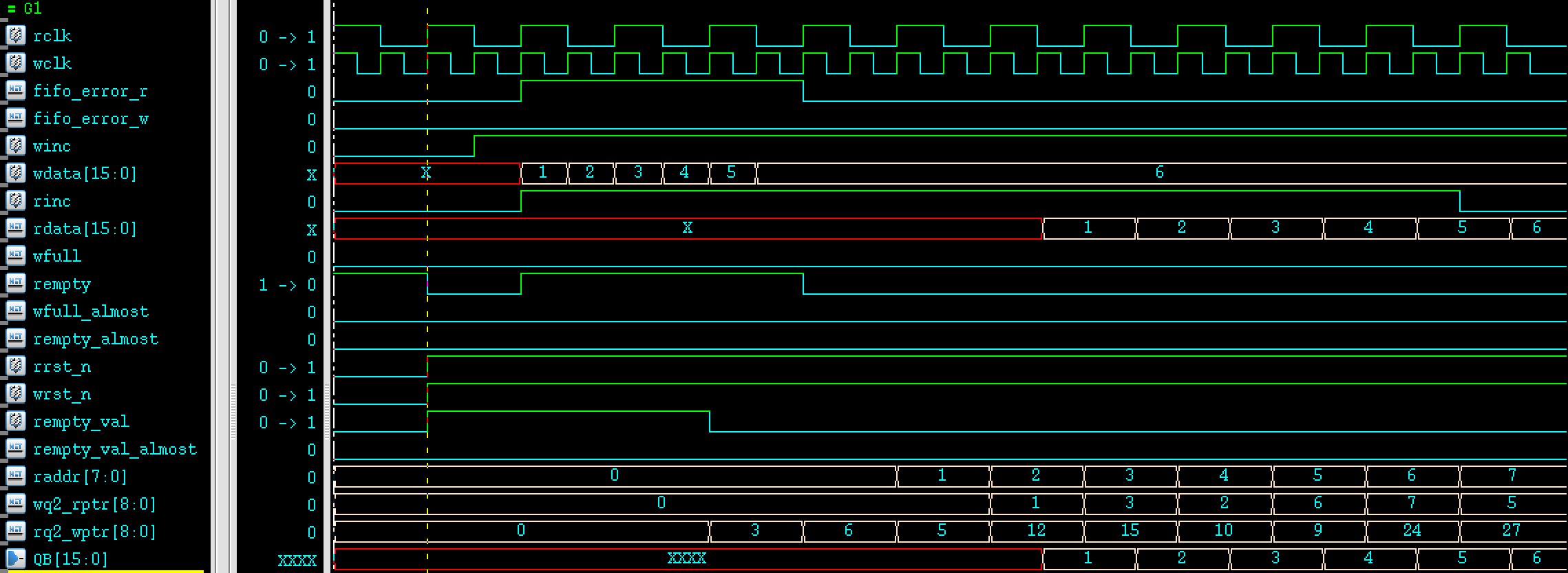
Power report

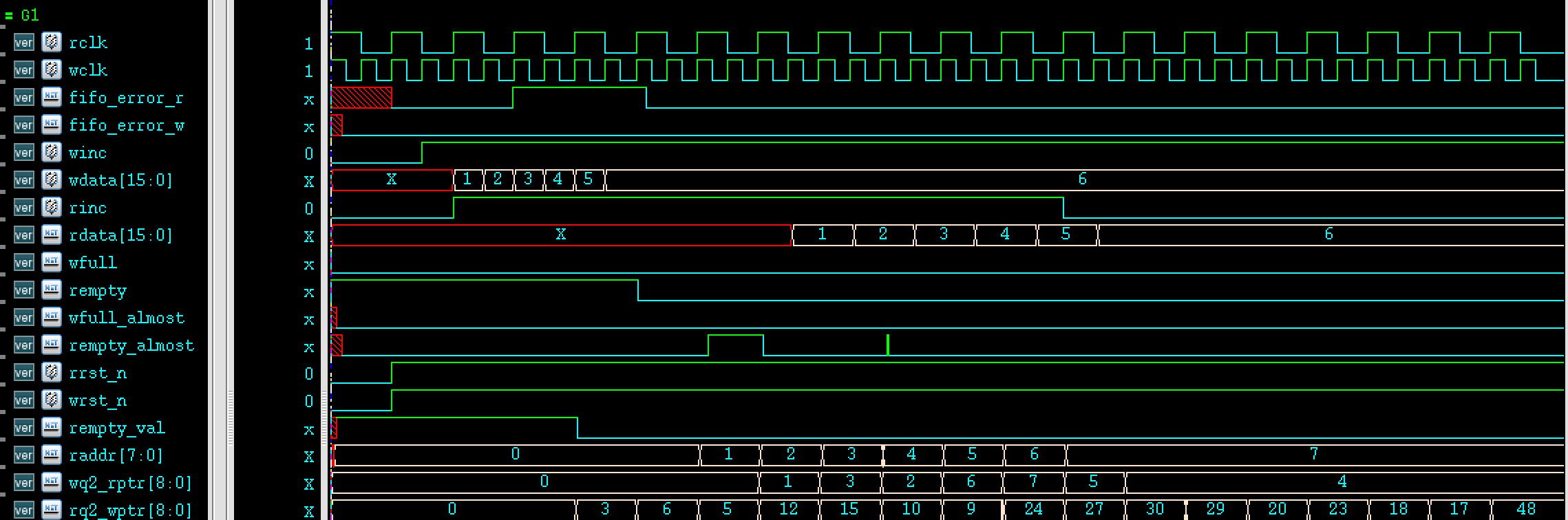


area report



nWave

上圖為RTL simulation的waveform，在testbench中，使用fork join來同時執行write及read的測資，一開始沒有寫入任何data時，即使rinc拉起來，仍然讀不到資料，所以fifo\_error\_r會是error拉起來，直到發現有資料了，並且過2個clock cycle(read clock)後(這是因為根據paper fifo1的設計，為了處理clock domain的問題，加入兩個FF，所以必須等兩個cycle)，則fifo\_error\_r會放下為0，接著再過兩個read clock後，資料正式被讀取出來，並且是依照FIFO的順序，顯示無誤。

上圖為synthesis後的simulation，其中rempty\_almost在讀取第二筆資料時，會突然拉起來一下，花了很多時間想把這個問題修掉，但仍然避免不了，除非rinc等到寫入完後，才開始read，才可以解決，但這樣就不符合dual-port的設計原則，所以還是無法解決。