



Universitatea Tehnică “Gheorghe Asachi” din Iași



FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE

ELECTRONICĂ DIGITALĂ

proiect

Tema: Multiplicator matricial

Studenți: Bucataru Andrei, Diaconu Gabriel

Grupa : 1208A

Coordonator:

Asist. Drd. Marius Obreja

1. Specificațiile proiectului:

Multiplicator matricial

Să se implementeze în FPGA prin descriere în limbaj VHDL, utilizând programul VIVADO, un modul care să determine valoarea variabilei c (fig. 1) cu următoarele specificații:

- a) elementele matricelor au dimensiunea de 4 biți
 - b) $a_2=1$, $b_3=1$
 - c) valorile de intrare vor fi generate de la butoanele „switch” ale sistemului de dezvoltare Basys 3
 - d) rezultatul c va fi afișat prin leduri, în format binar
- Descrierea va fi făcută în mod comportamental.

$$c = (a_1 \quad a_2 \quad a_3) * \begin{pmatrix} b_1 \\ b_2 \\ b_3 \end{pmatrix}$$

Fig. 1 multiplicator matricial

Fișierul bitstream rezultat în urma procesului de implementare va fi verificat utilizând placa de dezvoltare BASYS3.

2. Metoda de implementare

Pentru implementarea acestui modul s-au folosit programul de sinteza Vivado si limbajul VHDL. Implementarea proiectului a fost facuta printr-o descriere comportamentala.

S-au stabilit intrările și ieșirile circuitului, iar pe baza acestora s-a proiectat entitatea **source** și s-a construit fișierul de constrângeri.

```

35 entity source is
36     Port (
37         a : in std_logic_vector (7 downto 0);
38         b : in std_logic_vector (15 downto 8);
39         led : out std_logic_vector (15 downto 0)
40     );
41 end source;

```

Fig. 2 Entitatea

Intrarea circuitului este dată prin cele 16 sitch-uri, iar ieșirea este afișată prin 8 led-uri.

```

11 ## Switches
12 set_property PACKAGE_PIN V17 [get_ports {a[0]}]
13     set_property IOSTANDARD LVCMOS33 [get_ports {a[0]}]
14 set_property PACKAGE_PIN V16 [get_ports {a[1]}]
15     set_property IOSTANDARD LVCMOS33 [get_ports {a[1]}]
16 set_property PACKAGE_PIN W16 [get_ports {a[2]}]
17     set_property IOSTANDARD LVCMOS33 [get_ports {a[2]}]
18 set_property PACKAGE_PIN W17 [get_ports {a[3]}]
19     set_property IOSTANDARD LVCMOS33 [get_ports {a[3]}]
20 set_property PACKAGE_PIN W15 [get_ports {a[4]}]
21     set_property IOSTANDARD LVCMOS33 [get_ports {a[4]}]
22 set_property PACKAGE_PIN V15 [get_ports {a[5]}]
23     set_property IOSTANDARD LVCMOS33 [get_ports {a[5]}]
24 set_property PACKAGE_PIN W14 [get_ports {a[6]}]
25     set_property IOSTANDARD LVCMOS33 [get_ports {a[6]}]
26 set_property PACKAGE_PIN W13 [get_ports {a[7]}]
27     set_property IOSTANDARD LVCMOS33 [get_ports {a[7]}]
28 set_property PACKAGE_PIN V2 [get_ports {b[8]}]
29     set_property IOSTANDARD LVCMOS33 [get_ports {b[8]}]
30 set_property PACKAGE_PIN T3 [get_ports {b[9]}]
31     set_property IOSTANDARD LVCMOS33 [get_ports {b[9]}]
32 set_property PACKAGE_PIN T2 [get_ports {b[10]}]
33     set_property IOSTANDARD LVCMOS33 [get_ports {b[10]}]
34 set_property PACKAGE_PIN R3 [get_ports {b[11]}]
35     set_property IOSTANDARD LVCMOS33 [get_ports {b[11]}]
36 set_property PACKAGE_PIN W2 [get_ports {b[12]}]
37     set_property IOSTANDARD LVCMOS33 [get_ports {b[12]}]
38 set_property PACKAGE_PIN U1 [get_ports {b[13]}]
39     set_property IOSTANDARD LVCMOS33 [get_ports {b[13]}]
40 set_property PACKAGE_PIN T1 [get_ports {b[14]}]
41     set_property IOSTANDARD LVCMOS33 [get_ports {b[14]}]
42 set_property PACKAGE_PIN R2 [get_ports {b[15]}]
43     set_property IOSTANDARD LVCMOS33 [get_ports {b[15]}]

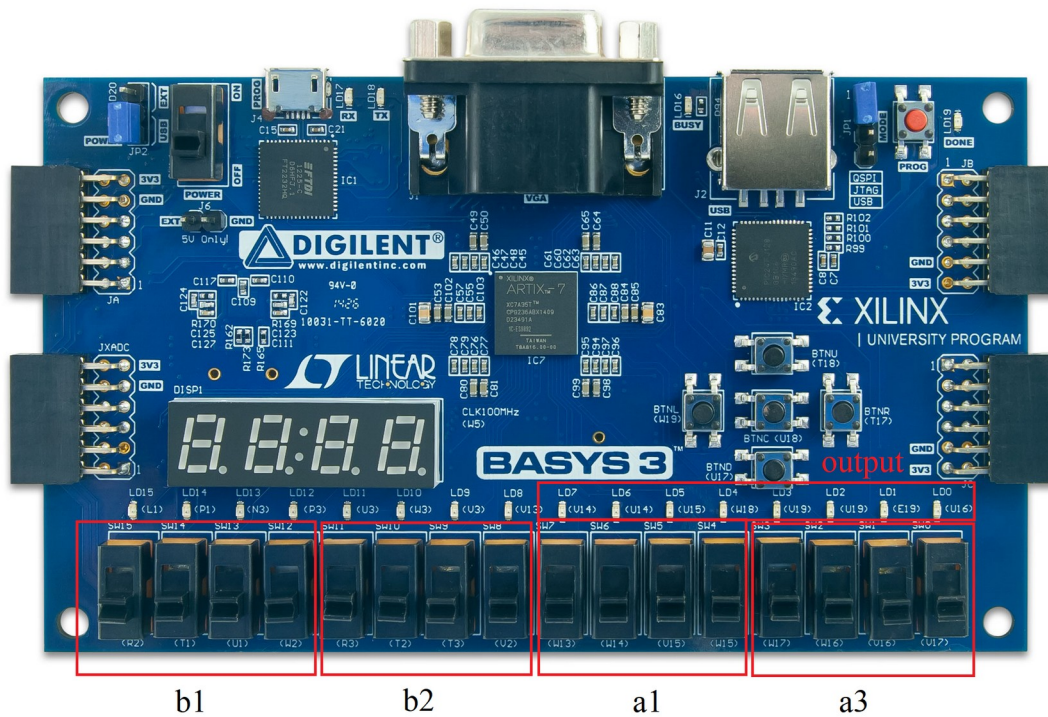
```

```

46  ## LEDs
47  set_property PACKAGE_PIN U16 [get_ports {led[0]}]
48      set_property IOSTANDARD LVCMOS33 [get_ports {led[0]}]
49  set_property PACKAGE_PIN E19 [get_ports {led[1]}]
50      set_property IOSTANDARD LVCMOS33 [get_ports {led[1]}]
51  set_property PACKAGE_PIN U19 [get_ports {led[2]}]
52      set_property IOSTANDARD LVCMOS33 [get_ports {led[2]}]
53  set_property PACKAGE_PIN V19 [get_ports {led[3]}]
54      set_property IOSTANDARD LVCMOS33 [get_ports {led[3]}]
55  set_property PACKAGE_PIN W18 [get_ports {led[4]}]
56      set_property IOSTANDARD LVCMOS33 [get_ports {led[4]}]
57  set_property PACKAGE_PIN U15 [get_ports {led[5]}]
58      set_property IOSTANDARD LVCMOS33 [get_ports {led[5]}]
59  set_property PACKAGE_PIN U14 [get_ports {led[6]}]
60      set_property IOSTANDARD LVCMOS33 [get_ports {led[6]}]
61  set_property PACKAGE_PIN V14 [get_ports {led[7]}]
62      set_property IOSTANDARD LVCMOS33 [get_ports {led[7]}]
63  set_property PACKAGE_PIN V13 [get_ports {led[8]}]
64      set_property IOSTANDARD LVCMOS33 [get_ports {led[8]}]
65  set_property PACKAGE_PIN V3 [get_ports {led[9]}]
66      set_property IOSTANDARD LVCMOS33 [get_ports {led[9]}]
67  set_property PACKAGE_PIN W3 [get_ports {led[10]}]
68      set_property IOSTANDARD LVCMOS33 [get_ports {led[10]}]
69  set_property PACKAGE_PIN U3 [get_ports {led[11]}]
70      set_property IOSTANDARD LVCMOS33 [get_ports {led[11]}]
71  set_property PACKAGE_PIN P3 [get_ports {led[12]}]
72      set_property IOSTANDARD LVCMOS33 [get_ports {led[12]}]
73  set_property PACKAGE_PIN N3 [get_ports {led[13]}]
74      set_property IOSTANDARD LVCMOS33 [get_ports {led[13]}]
75  set_property PACKAGE_PIN P1 [get_ports {led[14]}]
76      set_property IOSTANDARD LVCMOS33 [get_ports {led[14]}]
77  set_property PACKAGE_PIN L1 [get_ports {led[15]}]
78      set_property IOSTANDARD LVCMOS33 [get_ports {led[15]}]

```

Fig. 3 Fișier constrângerii



Pe baza switch-urilor calculam valorile numerelor a1, a3, b1, b2 si apoi facem produsul matricial, stiind ca a2=1 si b3=1.

```

43 architecture Behavioral of source is
44
45     signal led_int : std_logic_vector (15 downto 0);
46
47     begin
48
49         led <= led_int;
50
51         process(a,b)
52             variable result : integer := 0;
53
54             begin
55
56                 result := TO_INTEGER (unsigned(a(7 downto 4))) * TO_INTEGER (unsigned(b(15 downto 12)));
57                 result := result + TO_INTEGER (unsigned(a(3 downto 0)));
58                 result := result + TO_INTEGER (unsigned(b(11 downto 8)));
59
60                 led(7 downto 0) <= std_logic_vector(TO_UNSIGNED(result, 8));
61
62             end process;
63     end Behavioral;

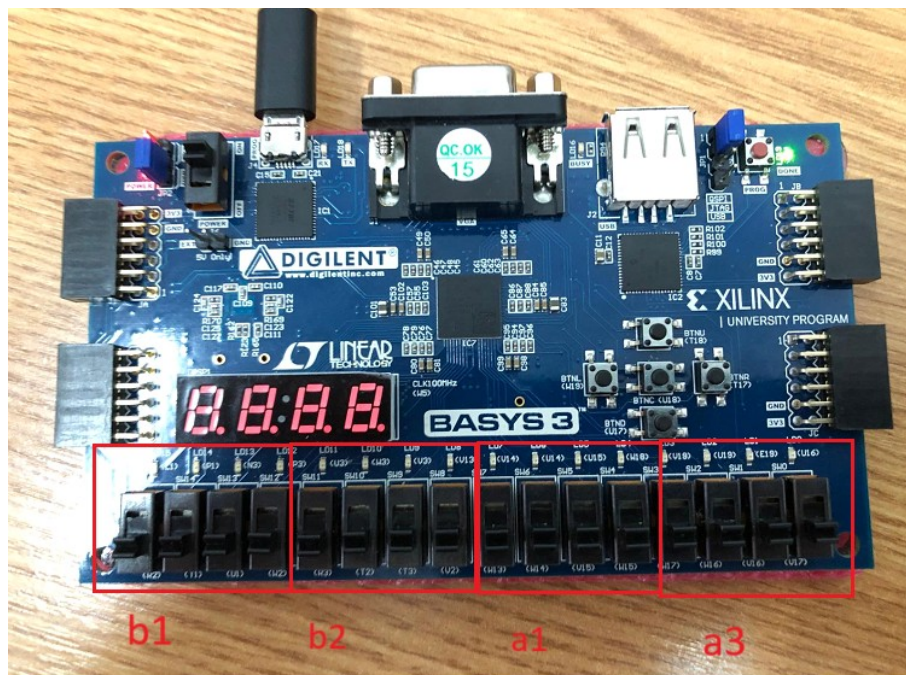
```


Conversia de la tipul de date `std_logic_vector` în tipul număr întreg și invers s-a realizat cu ajutorul funcțiilor de conversie `to_integer` și `to_std_logic_vector`.

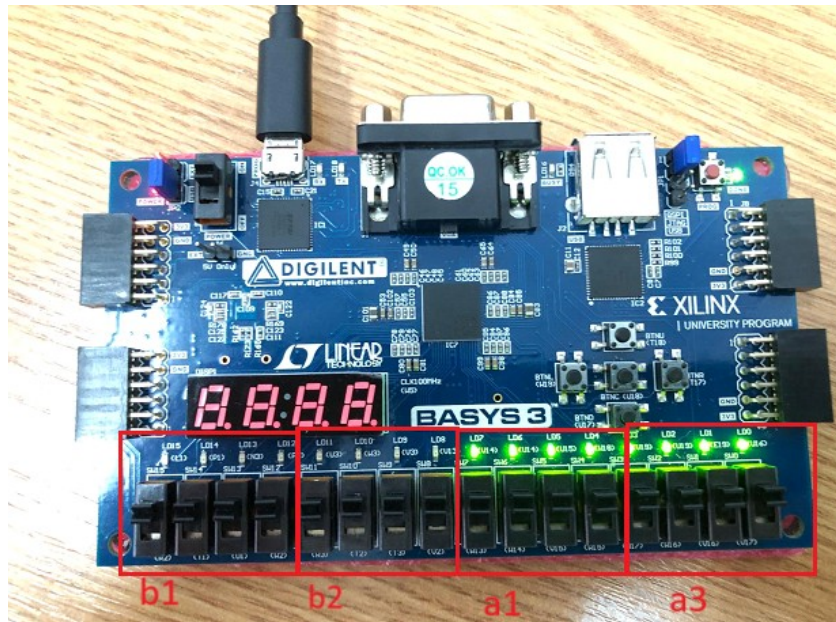
3. Descrierea (scurtă) a sistemului de dezvoltare BASYS 3

Placa de dezvoltare BASYS 3 este un circuit de dezvoltare complet și ready-to-use bazat pe ultimele Artix-7 Field Programmable Gate Array (FPGA) produse de Xilinx. Cu o mare capacitate de FPGA și cu o colecție de porturi USB, VGA și altele, placa de dezvoltare BASYS 3 permite proiectarea unor design-uri variate, atât circuite introductive combinatoriale, cât și circuite secvențiale complexe ca procesoarele și controllerele embedded.

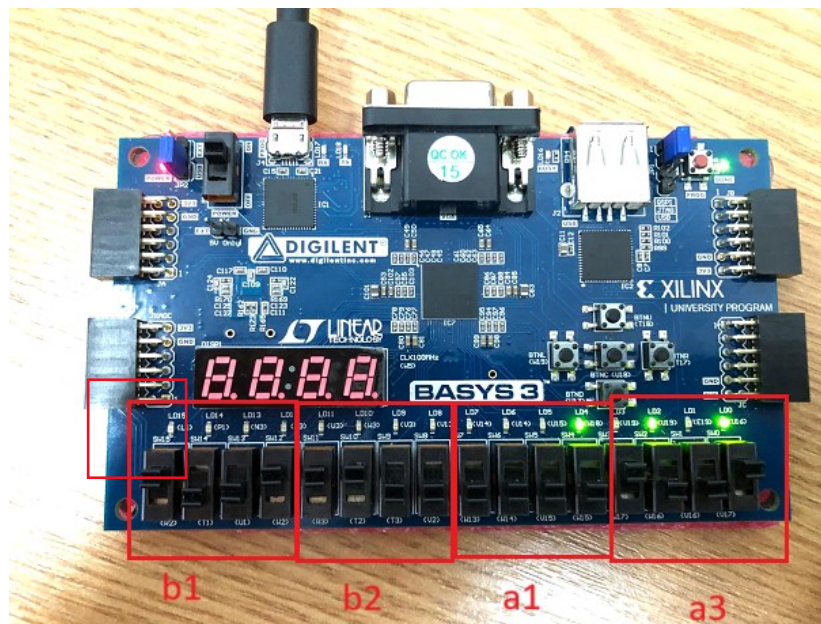
4. Poze cu funcționarea moduluiui



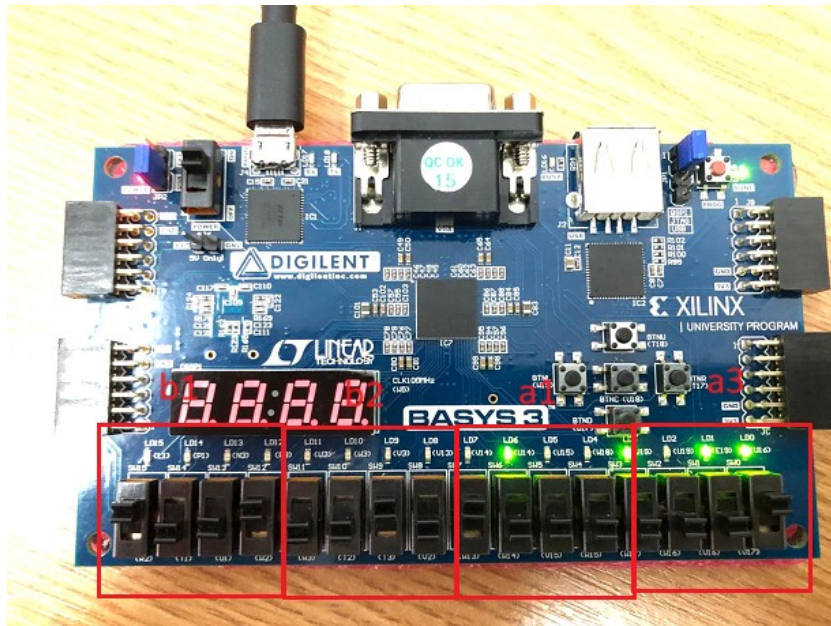
b1 = b2 = a1 = a3 = 0 -> **c = 0** (toate led-urile sunt stinse)



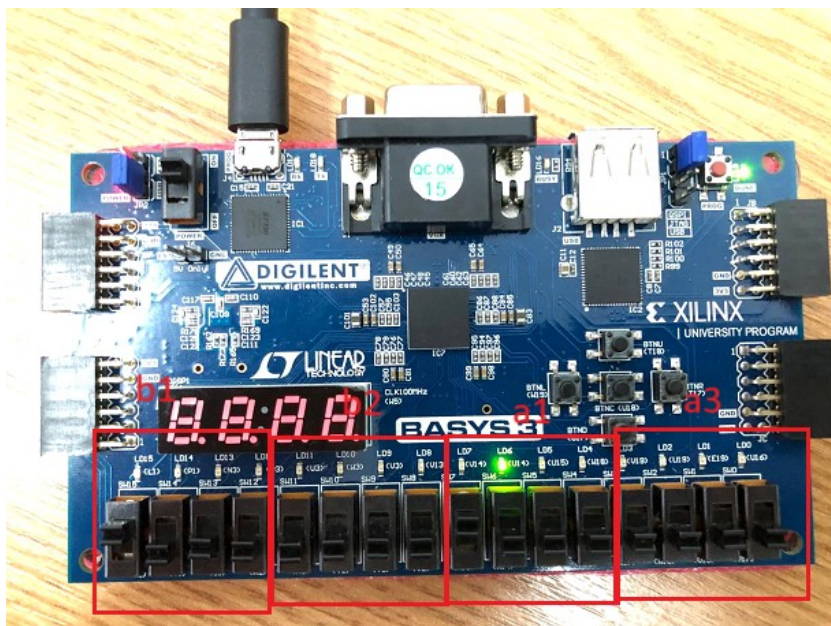
$\mathbf{b1} = \mathbf{b2} = \mathbf{a1} = \mathbf{a3} = 1111_b$ ($F_{\text{hex}} = 15$ in decimal) $\rightarrow \mathbf{c} = 15 \cdot 15 + 15 + 15 = 255 = 11111111_b$ (toate led-urile sunt aprinse)



$\mathbf{b1} = 1001_b = 9$ $\mathbf{b2} = 1100_b = 12$ $\mathbf{a1} = 0_b = 0$ $\mathbf{a3} = 1001_b = 9 \rightarrow \mathbf{c} = 9 \cdot 0 + 12 + 9 = 21$ (10101_b)



$\mathbf{b1} = 1001_b = 9$ $\mathbf{b2} = 0010_b = 2$ $\mathbf{a1} = 1000_b = 8$ $\mathbf{a3} = 0001_b = 1 \rightarrow \mathbf{c} = 9*8+2+1 = 75$ (1001011_b)



$\mathbf{b1} = 1000_b = 8$ $\mathbf{b2} = 0000_b = 0$ $\mathbf{a1} = 1000_b = 8$ $\mathbf{a3} = 0000_b = 0 \rightarrow \mathbf{c} = 8*8+0+0 = 64$ (1000000_b)

5. Video cu funcționarea modulului:



WhatsApp Video 2025-01-12 at 14.33.41.mp4



WhatsApp Video 2025-01-08 at 12.18.45.mp4

<https://drive.google.com/file/d/1YOtRZmLfKo87U5Tr4Ls4XHtTq9icG6-y/view?usp=sharing>

https://drive.google.com/file/d/1E_A3o9WwqMYQxiMMHy5Me837LaFxOaFL/view?usp=sharing

Bibliografie:

1. VHDL Reference Manual, <http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>
2. BASYS 3 Reference Manual, <https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual>