

全加器和奇偶位判断电路

p.373

一、实验目的

1. 掌握组合集成电路元件的功能检查方法
2. 熟悉全加器和奇偶位判断电路的工作原理
3. 掌握组合逻辑电路的功能测试方法及设计方法

二、实验原理

组合逻辑电路设计的一般步骤：

(1) 根据给定的功能要求，列出真值表；

(2) 求各个输出逻辑函数的最简“与-或”表达式；

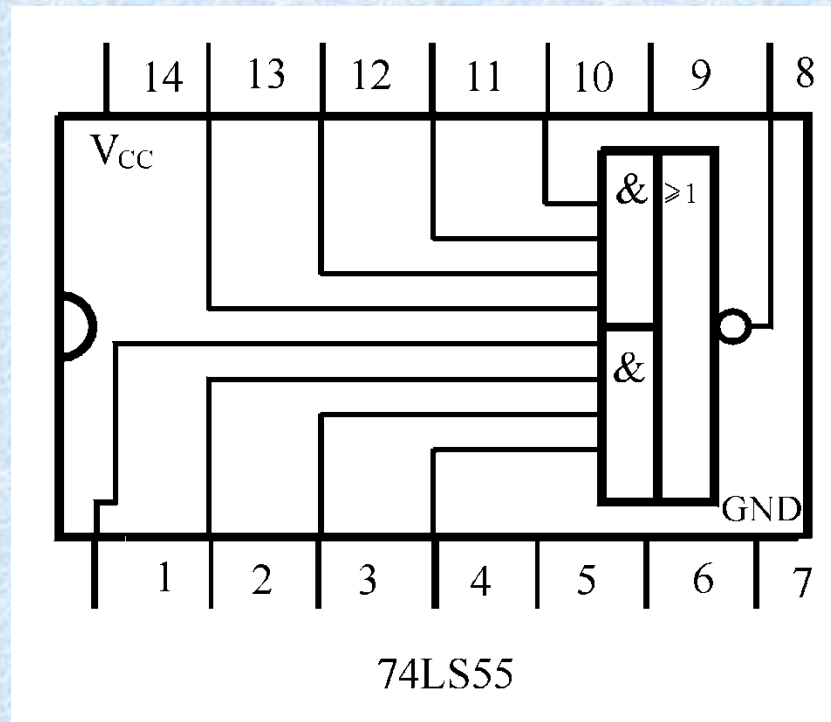
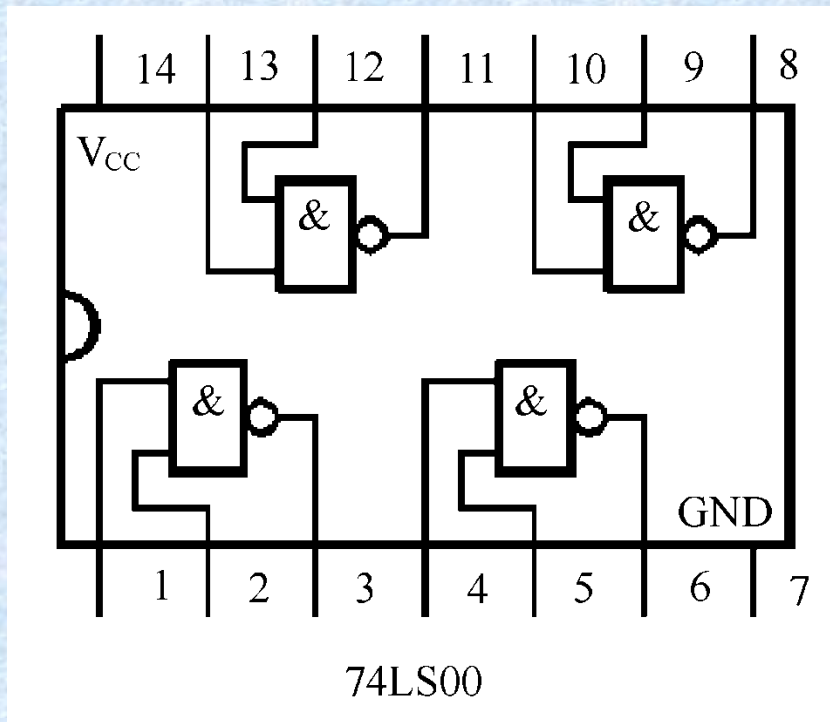
(3) 将逻辑函数形式变换为设计所要求选用逻辑门的形式；

(4) 根据所要求的逻辑门，画出逻辑电路图。

三、实验内容

1. 测试与非门74LS00和与或非门74LS55的逻辑功能。
2. 用与非门74LS00和与或非门74LS55设计一个全加器电路，并进行功能测试。
3. 用与非门74LS00和与或非门74LS55设计四位数奇偶位判断电路，并进行功能测试。 (检查)

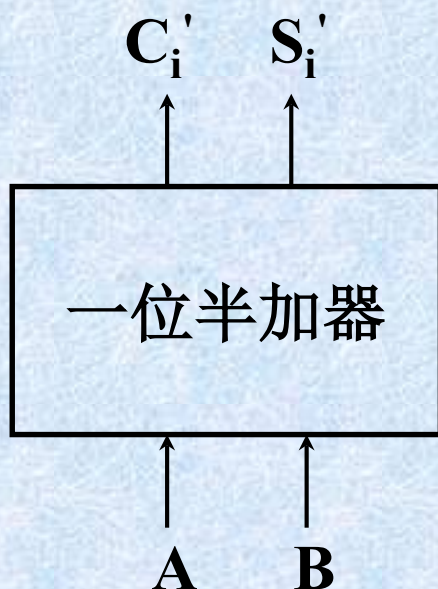
1. 74LS00、74LS55的逻辑功能测试



- 思路：组合电路功能通常按真值表测试。
- 思考：74LS55有无简便的方法？

2. 全加器电路的设计和功能测试

【建议】 设计思路：先用74LS00和74LS55实现半加器的和，再用半加器和实现全加器的和及进位输出。

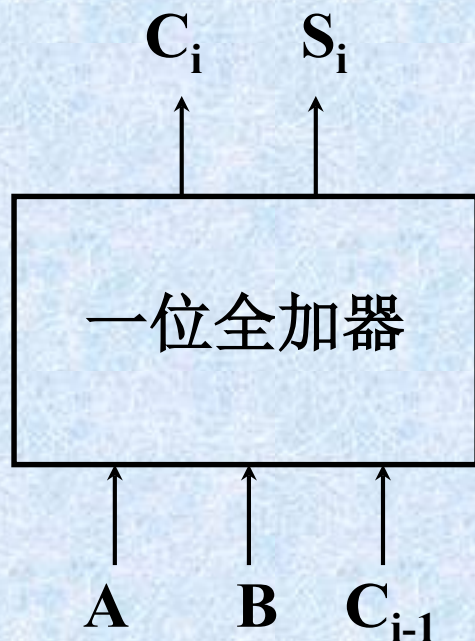


$$\begin{aligned} S_i' &= A \oplus B = \overline{A}B + A\overline{B} \\ &= \overline{AB + \overline{A}\overline{B}} \end{aligned}$$

$$C_i' = AB$$

利用半加器和实现全加器的和及进位输出

利用74LS55芯片！



$$\begin{aligned} S_i &= A \oplus B \oplus C_{i-1} \\ &= \overline{S'_i C_{i-1}} + \overline{S'_i C_{i-1}} \end{aligned}$$

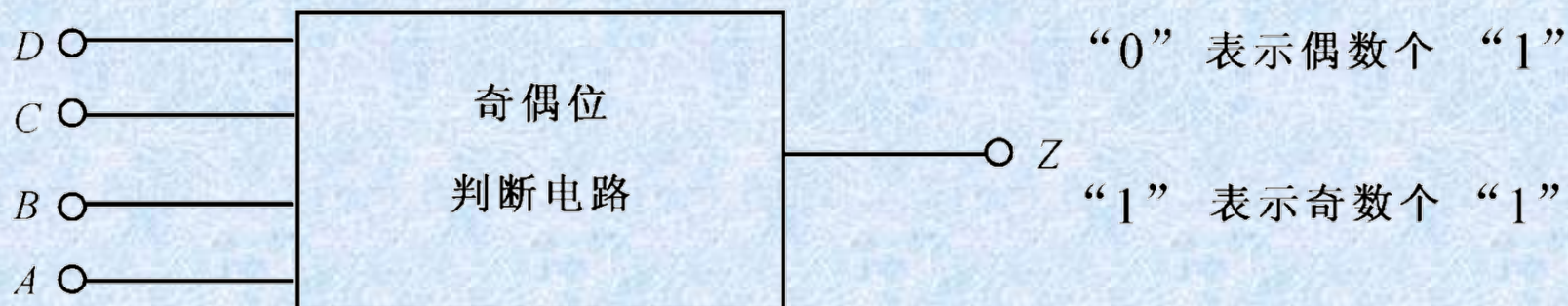
$$C_i = \overline{A} \overline{B} + \overline{C_{i-1}} S'_i$$

基本规律？！

只能由真值
表化简得出！

先写出 \overline{C}_i

3. 四位奇偶判断电路的设计和测试



- 设计思路：用半加器或全加器的和实现奇偶判断。

$$Z = A \oplus B \oplus C \oplus D = S_i \oplus D$$

3个半加器和

全加器和

实验注意事项

- TTL与非门的多余输入端可接至高电平，以防引入干扰。
- HC型为CMOS多余的管脚必须接高电平。
- 在验证电路的逻辑功能时，如发现与要求不符，**应首先检查设计有无问题，然后再检查集成电路所加的电源是否正常。**在查找电路故障时，应用逻辑笔，从电路的输入端至输出端逐级检查每个门的输出是否满足应有的逻辑功能，从而确定故障点，并加以排除。
- 输入端信号用实验器上的**数据开关**。
- 实验结果用真值表记录。

实验报告

- 1、写出与非门74LS00和与或非门74LS55的逻辑功能检查方法。（可以不写）
- 2、写出全加器和奇偶位判断电路的设计过程。
- 3、画出实验逻辑电路图，并用真值表记录两种电路的实验结果。
- 4、实验中有无出现故障？故障是如何排除的。
- 5、实验调试过程及实验体会。

➤ 下次实验:

实验 计数器

实验 脉冲分配器

- 用2片74LS107型JK触发器和1片74LS11三输入与门设计一个8421BCD码同步十进制加法计数器。
- 用2片74LS74型D触发器和3片74LS55与或非门设计脉冲分配器电路。