



“电工电子学实践教程”之

计数、译码和显示

5.12 基础实验12

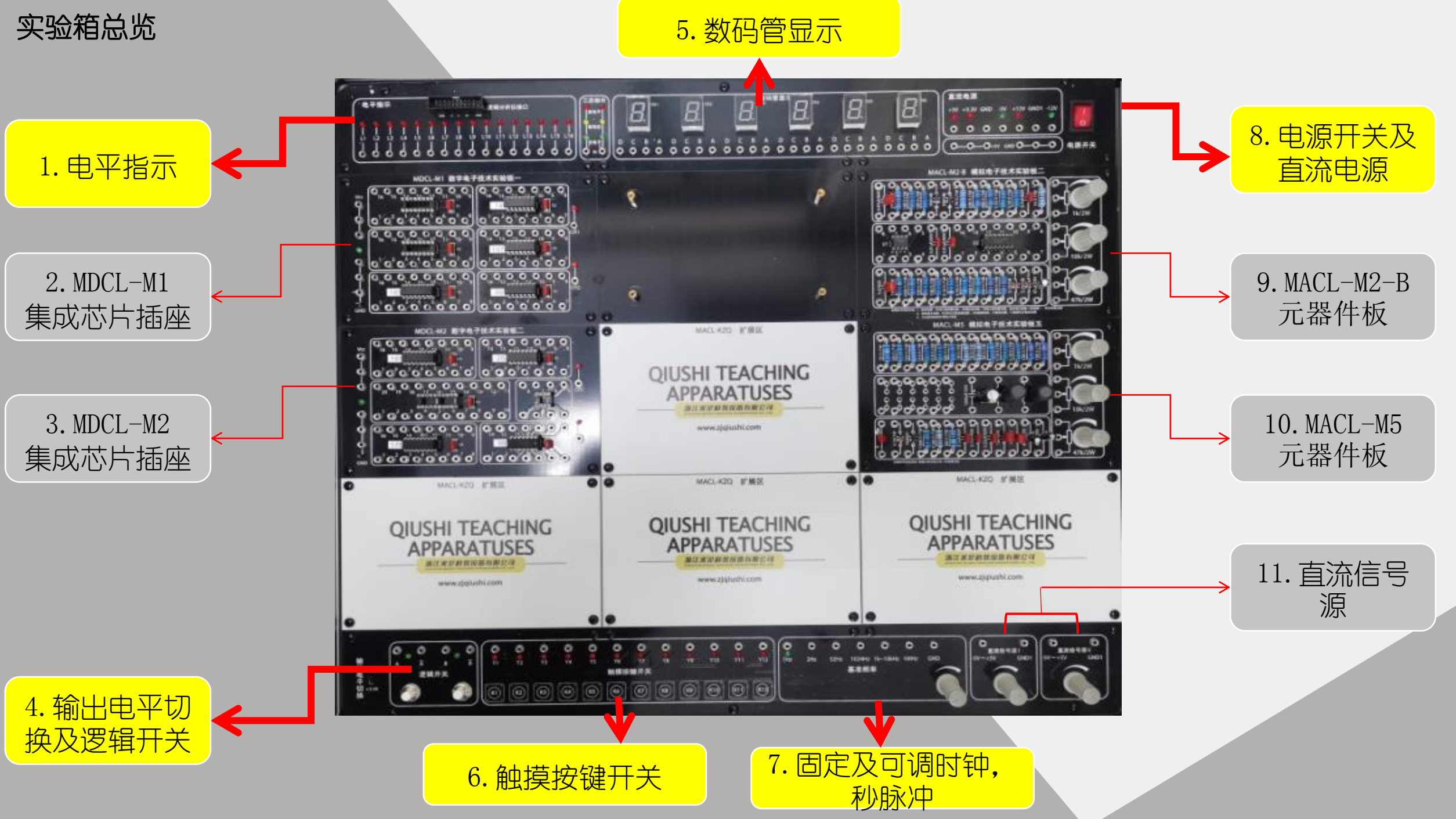
一、实验目的

- 理解与掌握计数器的工作原理与设计方法。
- 掌握译码器的基本功能和七段数码管显示器的工作原理。
- 用复位法实现计数器不同进制的计数，加深理解计数器的工作原理。

二、实验设备

- 数字电子技术实验箱
- TTL元器件（74LS00、74LS161、74LS20等）

实验箱总览



1. 电平指示

2. MDCL-M1
集成芯片插座

3. MDCL-M2
集成芯片插座

4. 输出电平切
换及逻辑开关

6. 触摸按键开关

5. 数码管显示

7. 固定及可调时钟,
秒脉冲

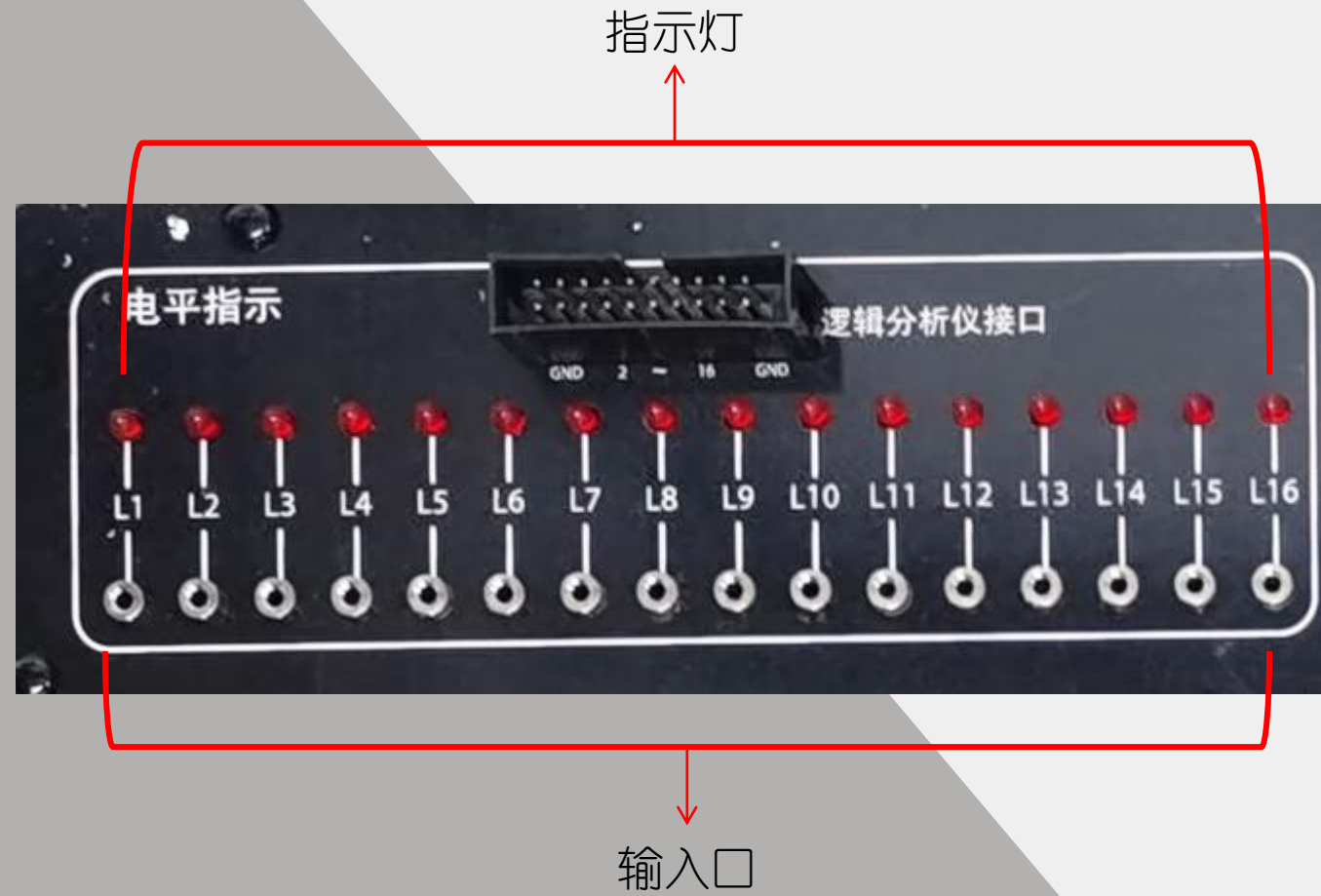
8. 电源开关及
直流电源

9. MACL-M2-B
元器件板

10. MACL-M5
元器件板

11. 直流信号
源

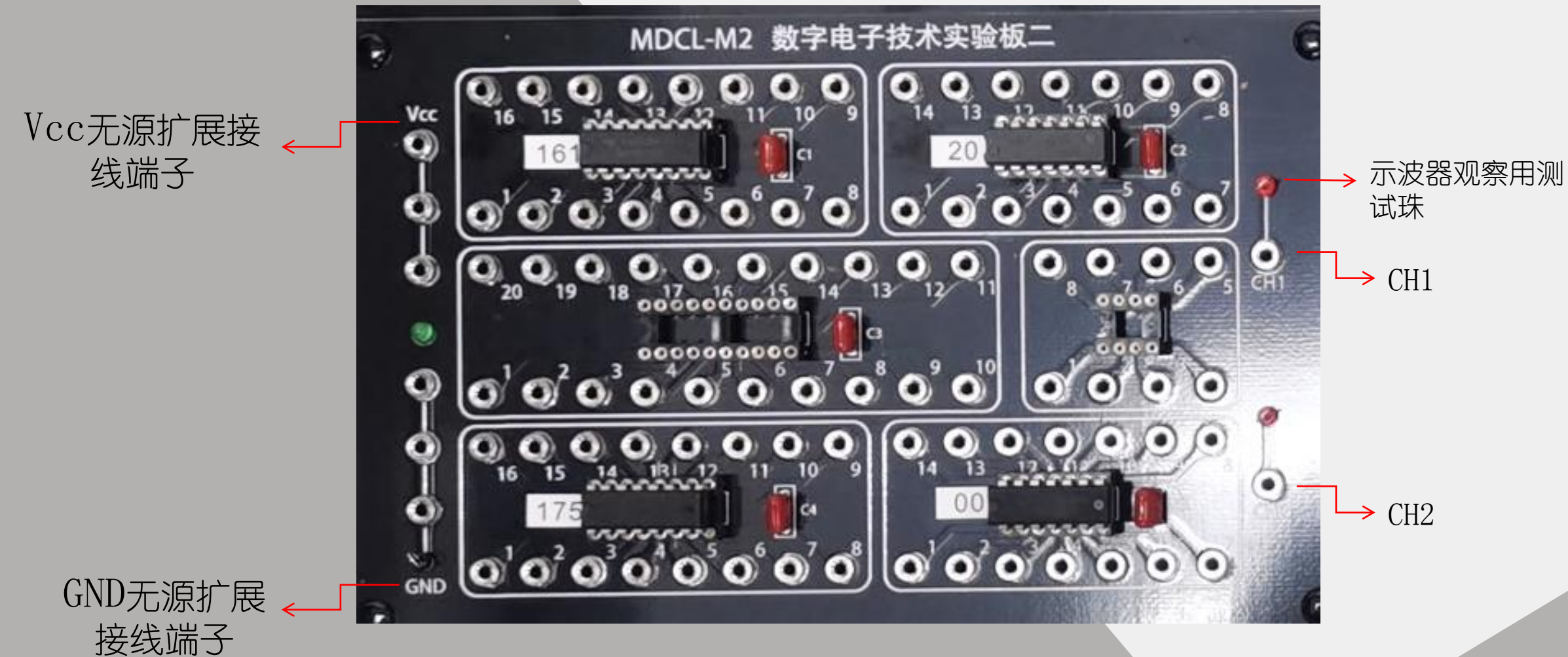
1. 电平指示



2. MDCL-M1 数字电子技术实验板一



3. MDCL-M2 数字电子技术实验板二



4. 输出电平切换及逻辑开关



5. 数码管显示



COMS三态指示

8421数码管

6. 触摸按键开关



7. 基准频率



秒脉冲

旋钮

小提示

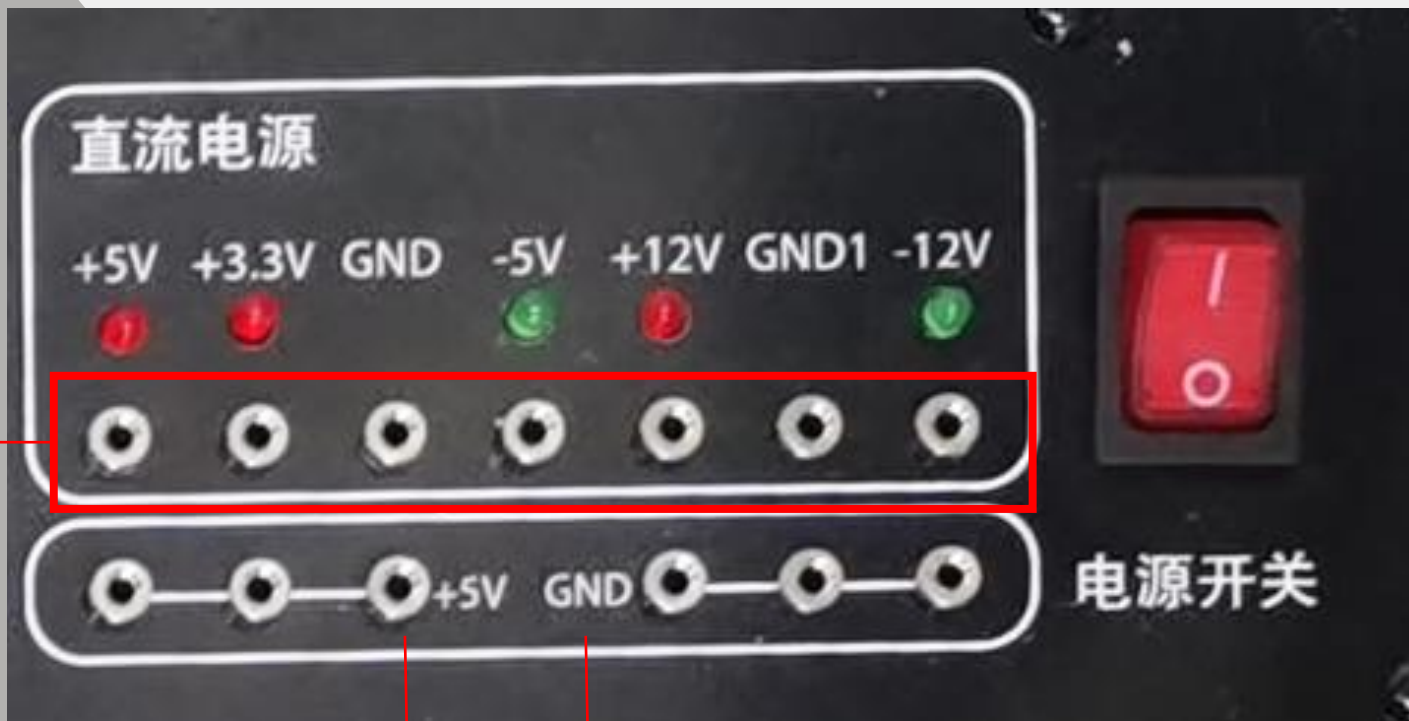
调节旋钮后，只有1K~10KHz频率端口频率会发生变化，其余不改变。

8. 直流电源

小提示:

GND和GND1是独立分开的，如果需要共地，请短接。正端不能短接，会损坏电源。

输出端口



5V

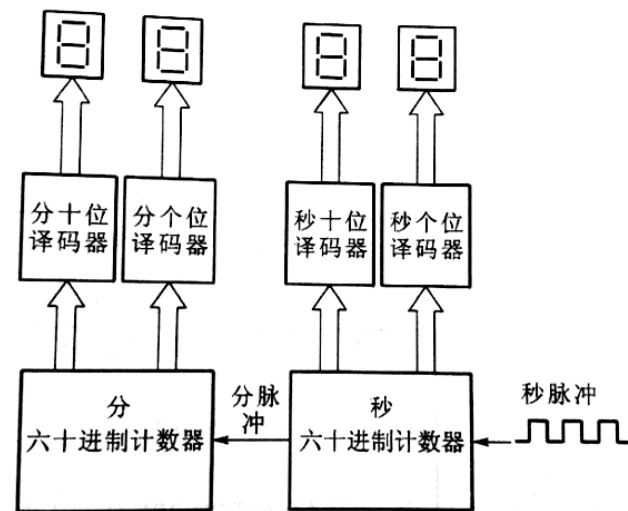
GND

5V 有源输出扩展端子

三、实验 原理

1. 计数器

在数字钟电路中，秒计时和分计时用60进制计数器完成。计数器个位和十位分别进行计数。当个位计数器计到9时，再来一个脉冲，应恢复到0，同时向十位计数器发出进位脉冲。对于分计时和秒计时，当十位和个位计数器分别计数到5、9时，再来一个脉冲应同时恢复到0，并向高位计数器发出进位脉冲。



三、实验 原理

1. 计数器

常用的集成计数器采用四位二进制码进行工作。计数器的进制转换可采取复位法或置数法来实现：

1、复位法：将计数器的输出端通过一些门电路后的输出端连接到清零端，当清零端起作用时，使输出为零。

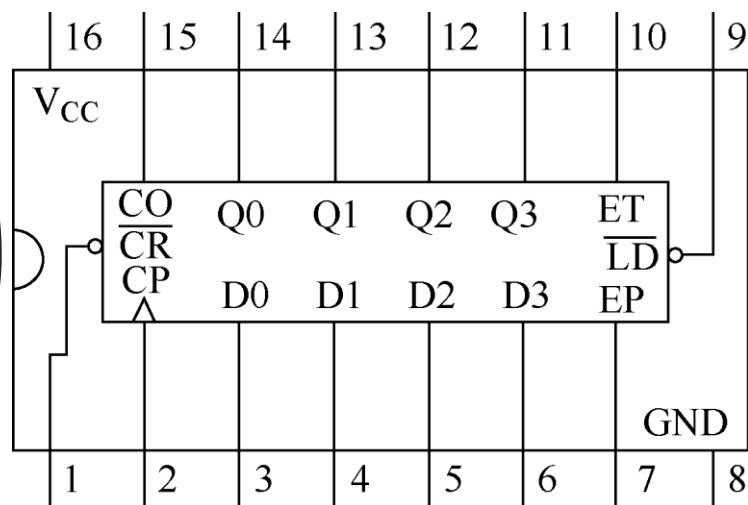
2、置数法：将计数器的输出端通过一些门电路后的输出端连接到置数端，当置数端起作用时，使输出端置数为零。

3、当清零端或置数端起作用，不需要等待脉冲触发，则称之为异步清零或置数方式；当清零端或置数端起作用，同时需要等待脉冲触发之后，方能复位为零或置数为零，则称之为同步清零或置数方式。

三、实验 原理

1. 计数器

74LS161芯片可同步置数、异步清零，是四位二进制加法计数器。



- 1、 \overline{CR} :清零
- 2、CP:时钟
- 3-6、D₃,D₂,D₁,D₀:预置数输入
- 7、EP:使能P
- 8: GND:接地



- 9、 \overline{LD} :置数
- 10、ET:使能T
- 11-14、Q₃,Q₂,Q₁,Q₀:输出
- 15: CO:动态进位输出
- 16: V_{CC}:5V

1.计数器

- 1、异步复位：当清零端 $\overline{CR} = 0$ ，Q3、Q2、Q1、Q0输出全0；
- 2、同步置数：当 $\overline{CR} = 1$ 且 $\overline{LD} = 0$ 时，在CP上升沿作用后，Q3、Q2、Q1、Q0分别与并行数据输入端D3，D2，D1，D0一样。
- 3、计数：当 $\overline{CR} = \overline{LD} = EP = ET = 1$ 时、CP脉冲上升沿作用后，计数器加1。进位输出端CO逻辑关系是 $CO = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot ET$

三、实验 原理

工作 方式	输入						输出
	\overline{CR}	CP	EP	ET	\overline{LD}	D_n	Q_n
复位	0	×	×	×	×	×	0
置数	1	↑	×	×	0	1/0	1/0
保持	1	×	0	0	1	×	保持
	1	×	0	1	1	×	保持
	1	×	1	0	1	×	保持
计数	1	↑	1	1	1	×	计数

三、实验 原理

1. 计数器

74LS161经过适当连接后，可构造不大于16的任意进制的加法计数器。图1和图2是用74LS161连接成的六进制加法计数器。图3和图4是用74LS161连接成的十进制加法计数器。其中，图1,3为异步复位法原理图，图2,4为同步置数法原理图。与非门可采用4二输入与非门74LS00。

1.计数器

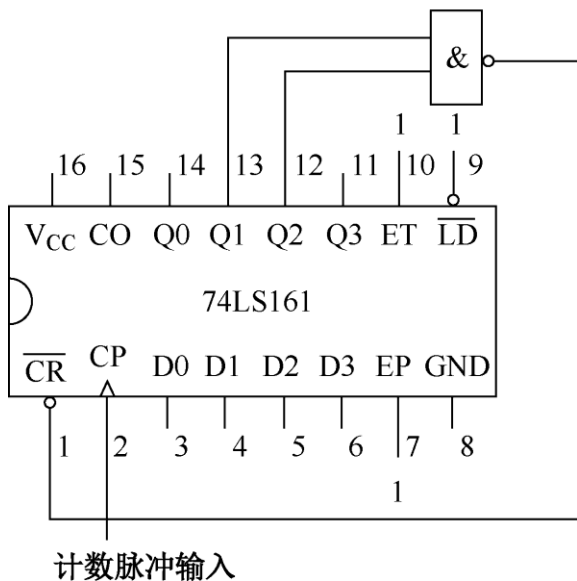


图1六进制异步复位法

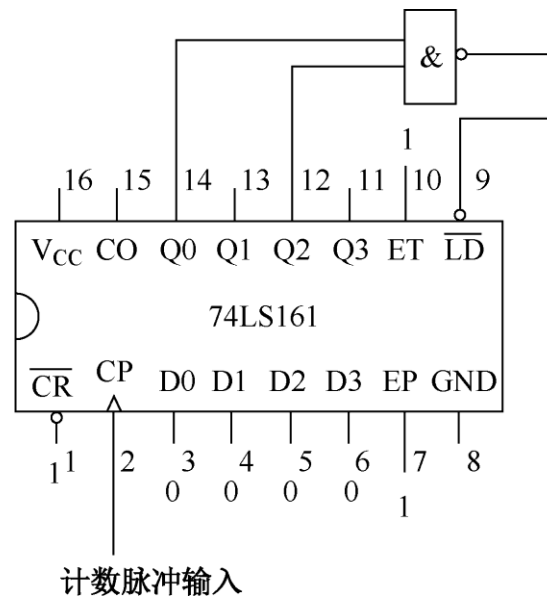


图2六进制同步置数法

三、实验 原理

	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0

1.计数器

三、实验
原理

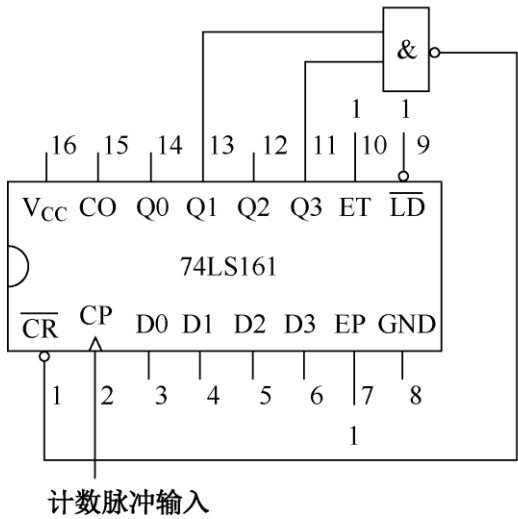


图3十进制异步复位法

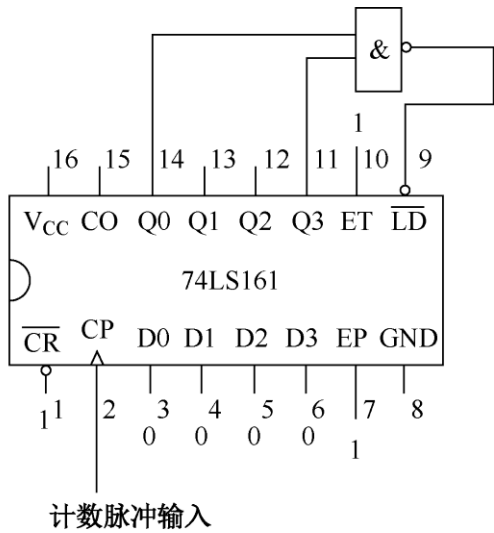


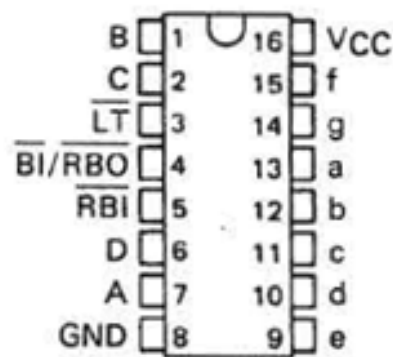
图4十进制同步置数法

	Q3	Q2	Q1	Q0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1

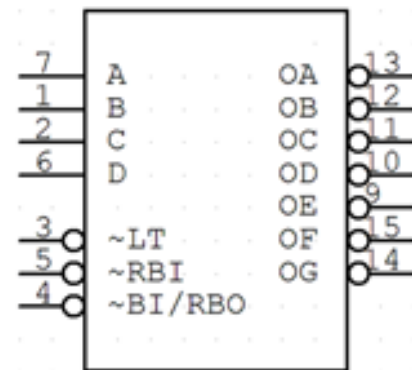
三、实验 原理

2.译码、显示

计数器将脉冲个数按四位二进制输出，如果用七段数码管显示相应的数码字，则需采用BCD-七段译码器进行译码。如果数码管是共阴极，则可采用BCD-7段数码管译码器74LS48；如果数码管是共阳极，则可采用74LS47译码器，具体引脚如下图所示。



(a) 74LS48 引脚图



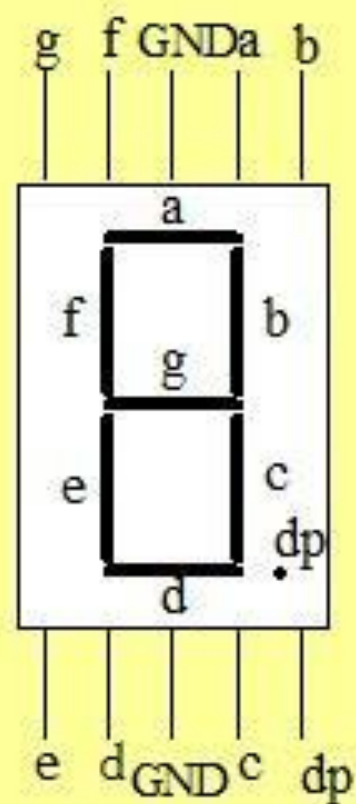
(b) 74LS47 引脚图

2.译码、显示

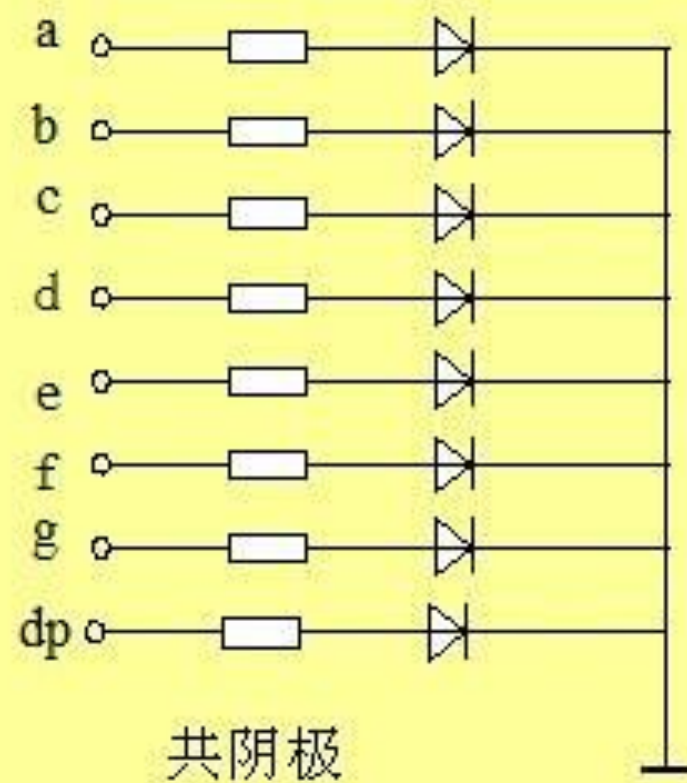
74LS48的功能表如下表所示。译码器和显示用的数码管在数字电子技术实验箱中已经连接好，因此只要在译码器的A、B、C、D输入端输入相应的四位二进制数，七段数码管就会显示相应的数码。

三、实验 原理

十进数 或功能	输入			BI/RBO	输出						
	LT	RBI	D C B A		a	b	c	d	e	f	g
0	H	H	0 0 0 0	H	1	1	1	1	1	1	0
1	H	x	0 0 0 1	H	0	1	1	0	0	0	0
2	H	x	0 0 1 0	H	1	1	0	1	1	0	1
3	H	x	0 0 1 1	H	1	1	1	1	0	0	1
4	H	x	0 1 0 0	H	0	1	1	0	0	1	1
5	H	x	0 1 0 1	H	1	0	1	1	0	1	1
6	H	x	0 1 1 0	H	0	0	1	1	1	1	1
7	H	x	0 1 1 1	H	1	1	1	0	0	0	0
8	H	x	1 0 0 0	H	1	1	1	1	1	1	1
9	H	x	1 0 0 1	H	1	1	1	0	0	1	1
10	H	x	1 0 1 0	H	0	0	0	1	1	0	1
11	H	x	1 0 1 1	H	0	0	1	1	0	0	1
12	H	x	1 1 0 0	H	0	1	0	0	0	1	1
13	H	x	1 1 0 1	H	1	0	0	1	0	1	1
14	H	x	1 1 1 0	H	0	0	0	1	1	1	1
15	H	x	1 1 1 1	H	0	0	0	0	0	0	0
BI	x	x	x x x x	L	0	0	0	0	0	0	0
RBI	H	L	0 0 0 0	L	0	0	0	0	0	0	0
LT	L	x	x x x x	H	1	1	1	1	1	1	1

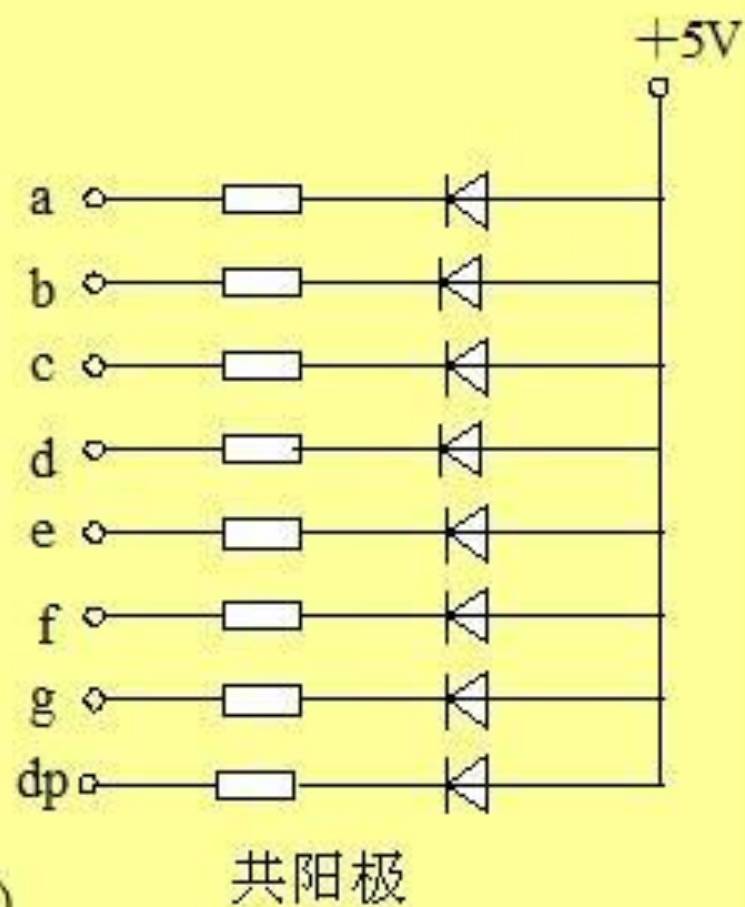


(a)



共阴极

(b)



共阳极

四、实验内容

1.检查译码显示功能

接通数字电子技术实验箱电源，将触摸按键开关的四位输出作为逻辑电平送入到数码管显示模块的译码器输入端，使输入DCBA的逻辑电平按四位二进制变化（从0000到1111变化），观察数码管显示的字符与输入逻辑电平的对应关系，自拟表格记录。

四、实验内容

2.测试74LS161加法计数器的逻辑功能

将四位二进制加法计数器74LS161的输出Q3、Q2、Q1、Q0接译码器输入端，LD、EP、ET接高电平，CP接逻辑电平开关，CR端接低电平后再接高电平。然后通过按逻辑电平开关观察数码管显示是否符合16进制的功能，判断74LS161是否完好。

四、实验内容

3.24进制计数器

利用两片四位二进制加法计数器74LS161构成一个24进制计数器，其中CP脉冲用数字电子技术实验箱的基准频率模块提供。根据预习时自行设计画出的线路图，连好线路，并将输出引至两个数码管的输入端，观察数码管的显示是否符合设计要求。

四、实验内容

4.60进制计数器

利用两片四位二进制加法计数器74LS161构成一个60进制计数器，其中CP脉冲用数字电子技术实验箱的基准频率模块提供。根据预习时自行设计画出的线路图，连好线路，并将输出引至两个数码管的输入端，观察数码管的显示是否符合设计要求。

四、实验内容

4.数字钟*

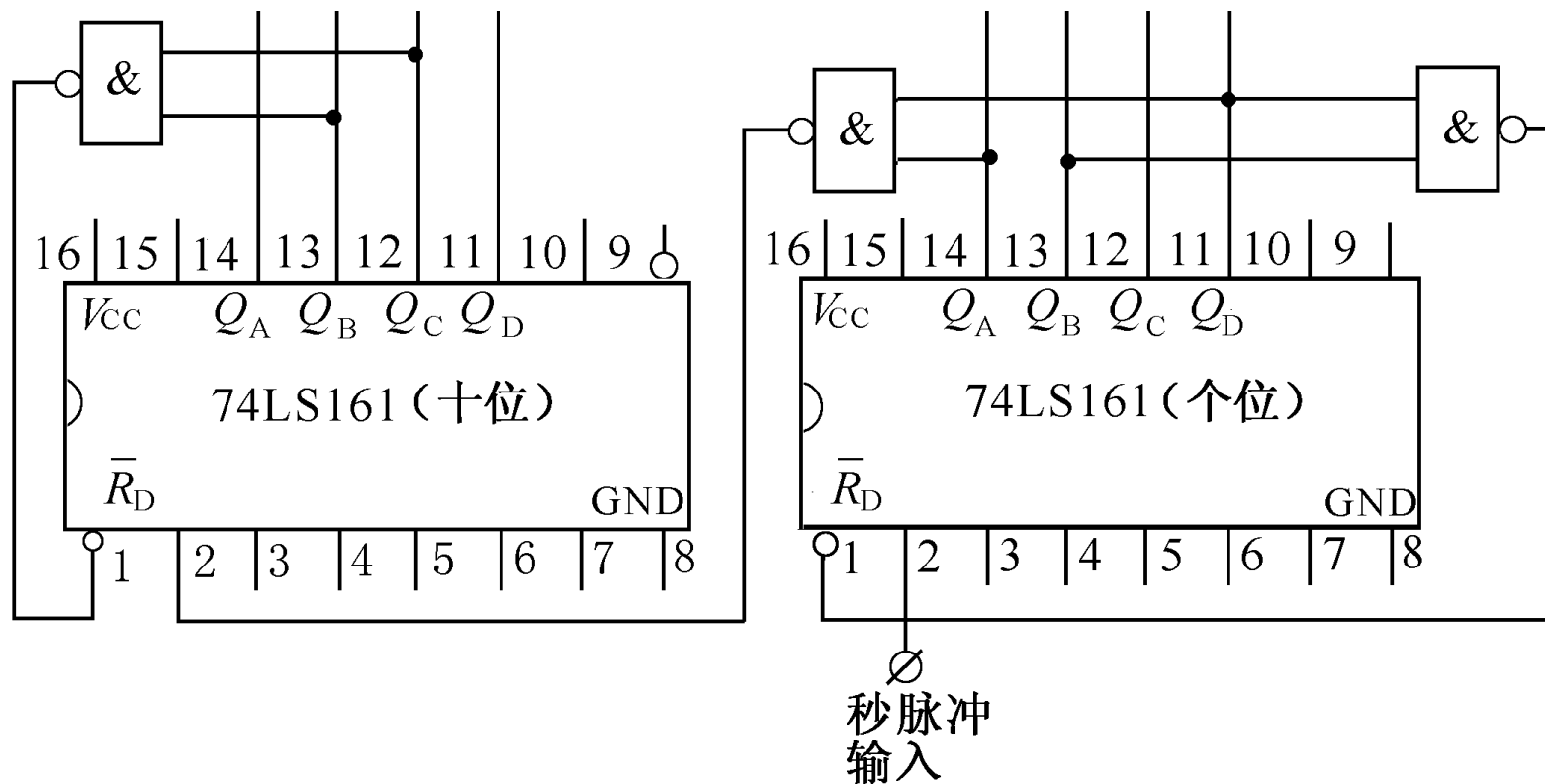
利用四片四位二进制加法计数器74LS161构成一个数字钟的分、秒电路，其中CP脉冲用数字电子技术实验箱的基准频率模块提供。根据预习时自行设计画出的线路图，连好线路，并将输出引至四个数码管的输入端，观察数码管的显示是否符合设计要求。

五、实验总结

- 画出实验电路接线图。
- 整理实验表格和波形图。
- 总结实现计数器不同进制转换的方法及体会，找出规律。
- 分析实验中遇到的问题。

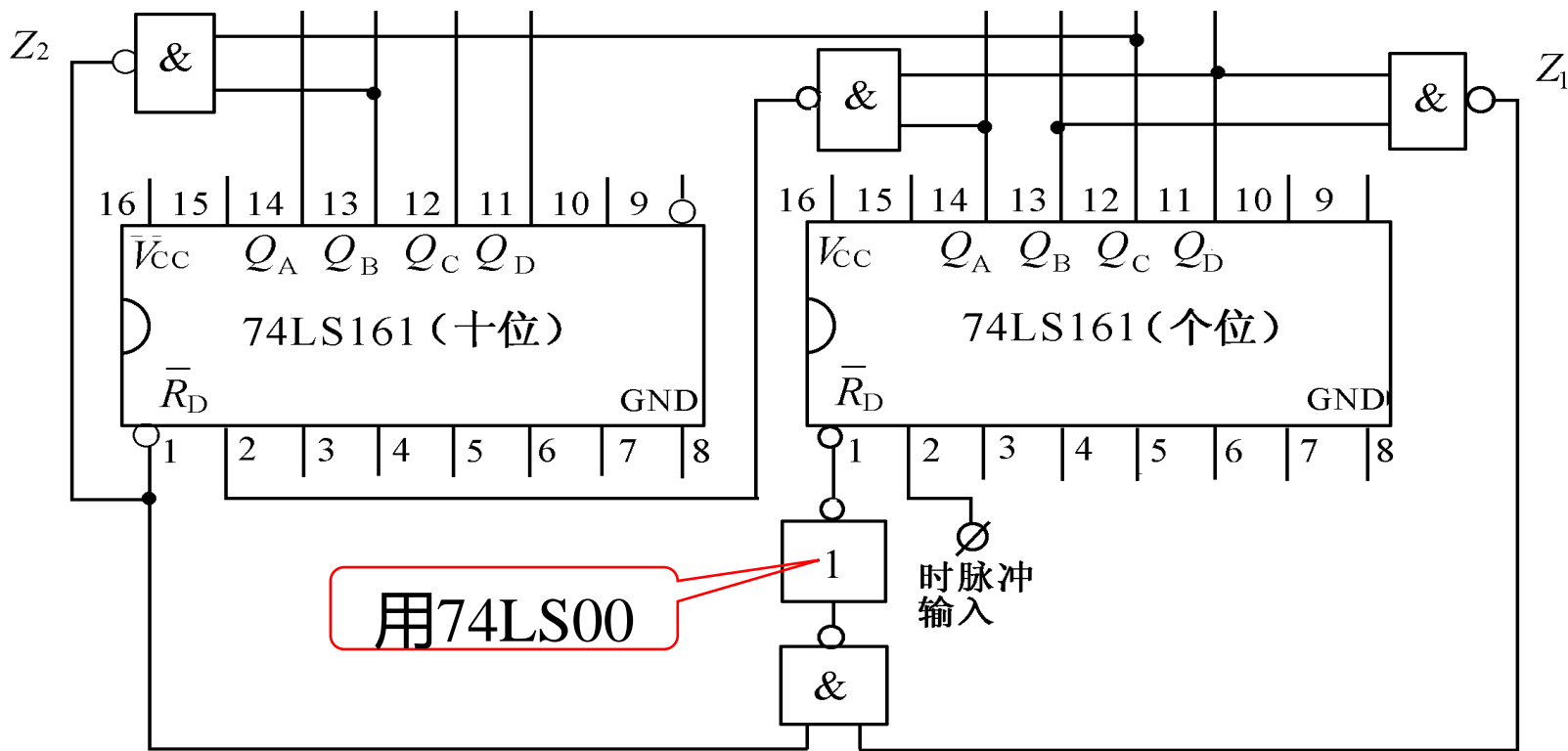
参考设计(续一)

► 8421BCD编码的60进制计数器



参考设计(续二)

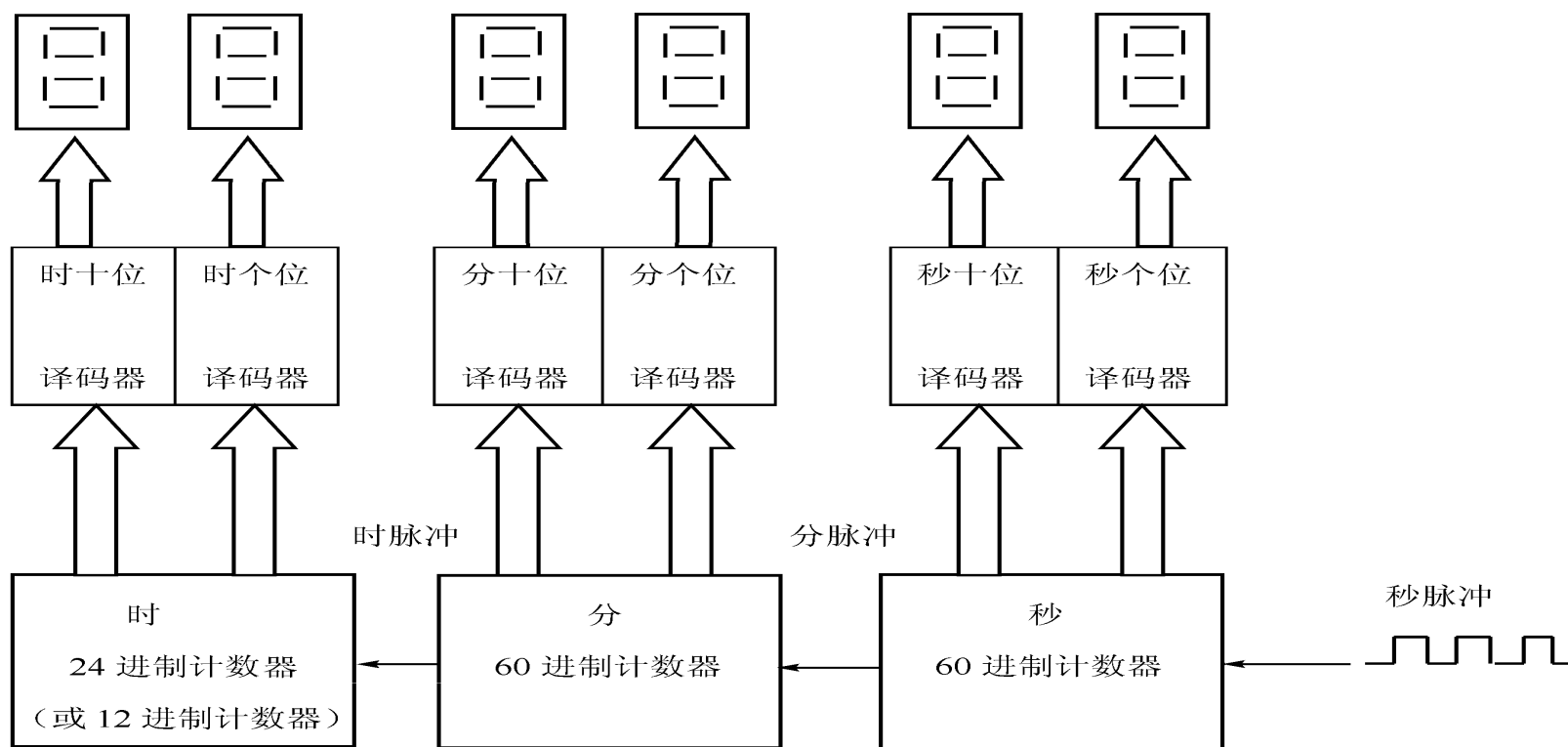
► 8421BCD编码的24进制计数器



	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

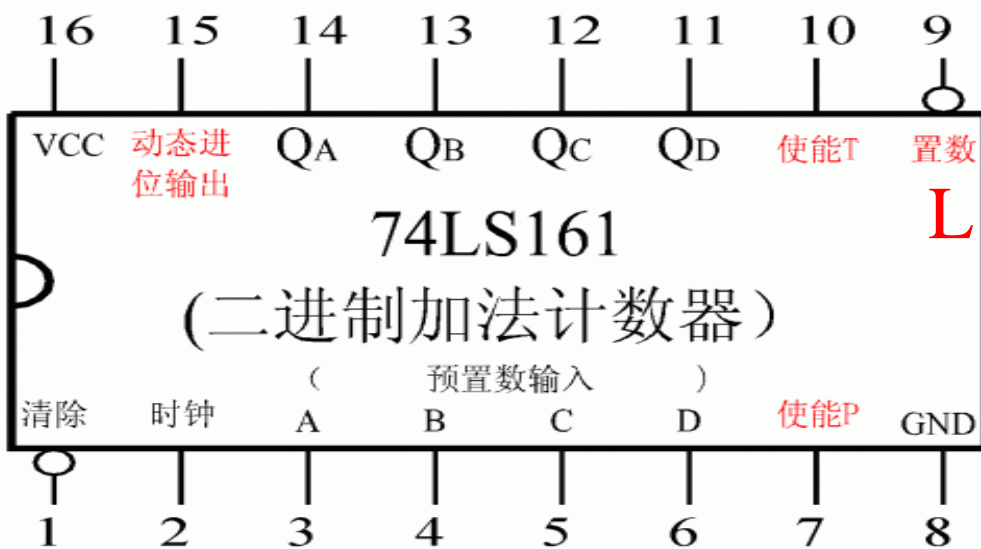
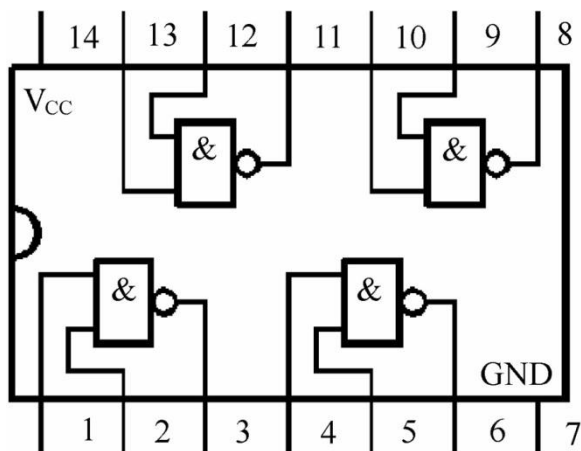
参考设计(续三)

➤数字钟整体结构

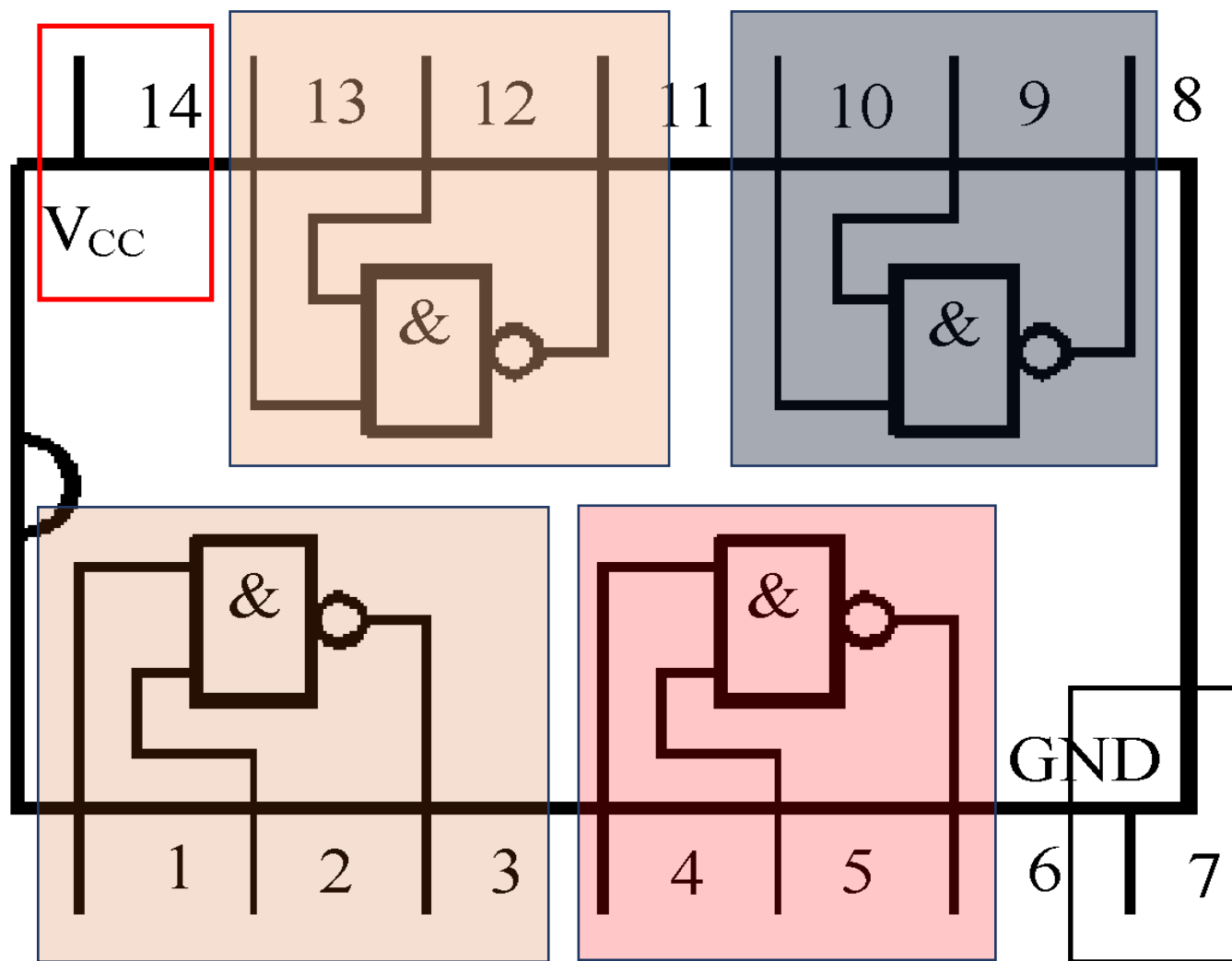


参考设计(续四)

➤ 芯片脚排列

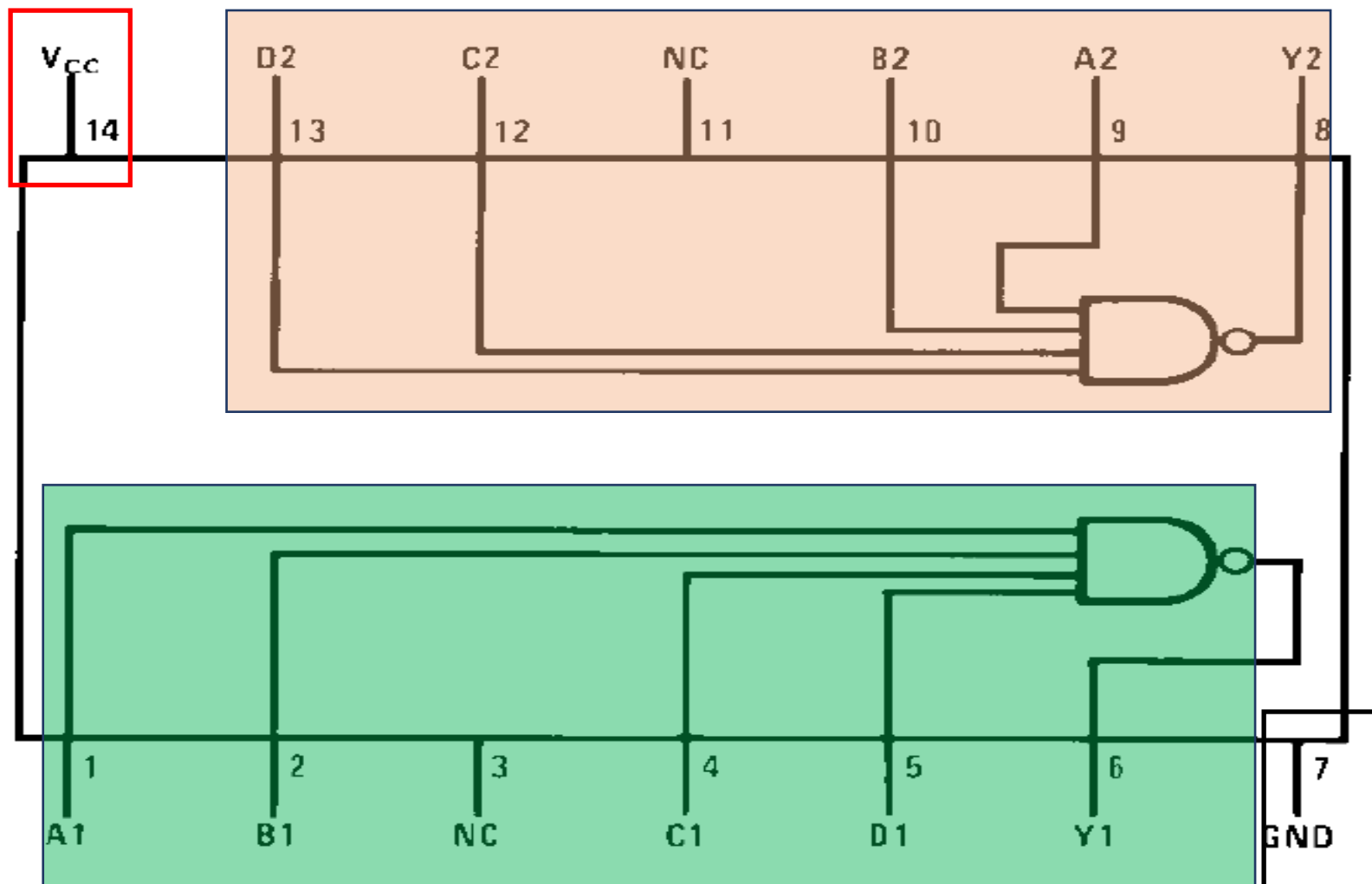


74LS00二输入与非门



74LS00

74LS20四输入与非门



实验注意事项

- 实验箱**1**秒脉冲驱动能力不足，注意缓冲
- 手动**CP**脉冲不可用数据开关输入，而要用**逻辑开关**
- **FF**不用的输入端一般不可悬空，要接固定电平，尤其**清零端**必须的
- 掌握分级调试方法。在调试时，应**分阶段连接调试，一步一步地进行**。例如，先连接好个位的十进制计数器，电路工作正确后，再接十位的计数器。两者都正常后，再将**60**进制计数器连接起来。采用这种步步为营的接线和调试方法（称为自下而上），能**较容易地发现问题并排除故障**。

60进制可能遇到的问题

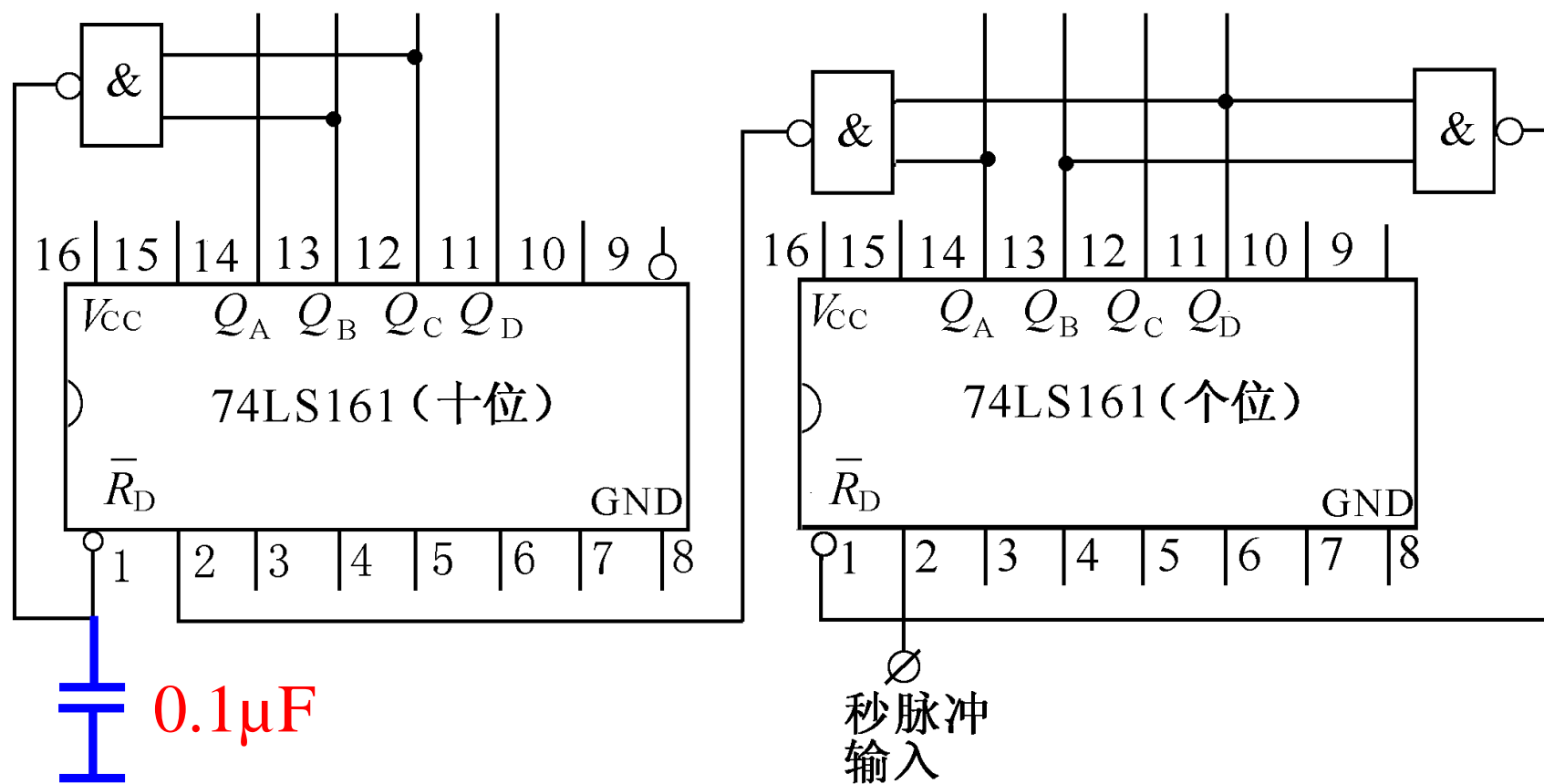
有些同学在10进制和6进制都正确且接线经检查无误后，仍然出现60进制计数错误的情况。其原因可能是：

- 实验箱的因素（5V电源稳压性能、时钟边沿特性不佳、芯片距离太远等）
- 接线布局等因素引入干扰（接线太长、层叠太多、引脚悬空等）

60进制遇到问题的解决方法

- **改善接线布局以减少干扰（换短的电线、层叠在3层以下、置数L接高电平、芯片电源处接滤波电容，或重新接一次）；**
- **在十位计数器的1脚（清零端）接滤波电容；**
- **由于异步电路存在“毛刺”，容易产生误动作，因此，解决这一问题的根本方法是采用同步时序电路来设计60进制计数器。**

在十位计数器的1脚(清零端)接滤波电容



验收

- 24进制或60进制连接后计数输出结果，用数码管显示。