

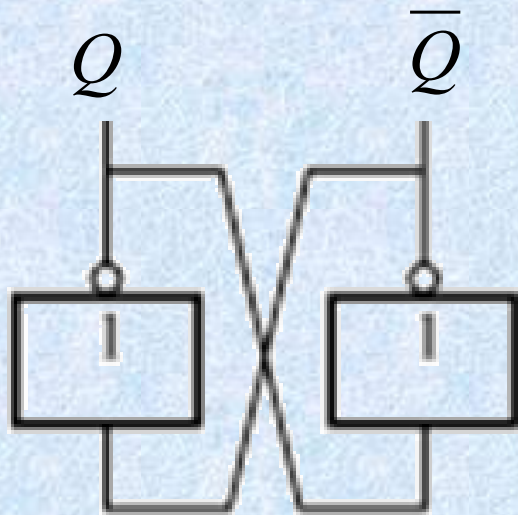
# 第3章 数字信号的存储

- 3.1 二进制存储单元
- 3.2 寄存器
- \*3.3 半导体存储器

# 3.1.1 基本RS锁存器 (触发器)

## 一、基本RS锁存器的结构

能记忆一位二进制信息的电路



由图可知,  $Q$  和  $\bar{Q}$  相互交叉连接, 所以二者一定为互补输出,  $Q=0$  时,  $\bar{Q}=1$ ; 反之也行。但是是0还是1 ( $\bar{Q}$  是1还是0) 不能人为确定, 是随机的。

为了能明确决定是记忆0信息，还是记忆1信息，  
电路中引入二个输入端， $\overline{R}_D(R_D)$  和  $\overline{S}_D(S_D)$  端。

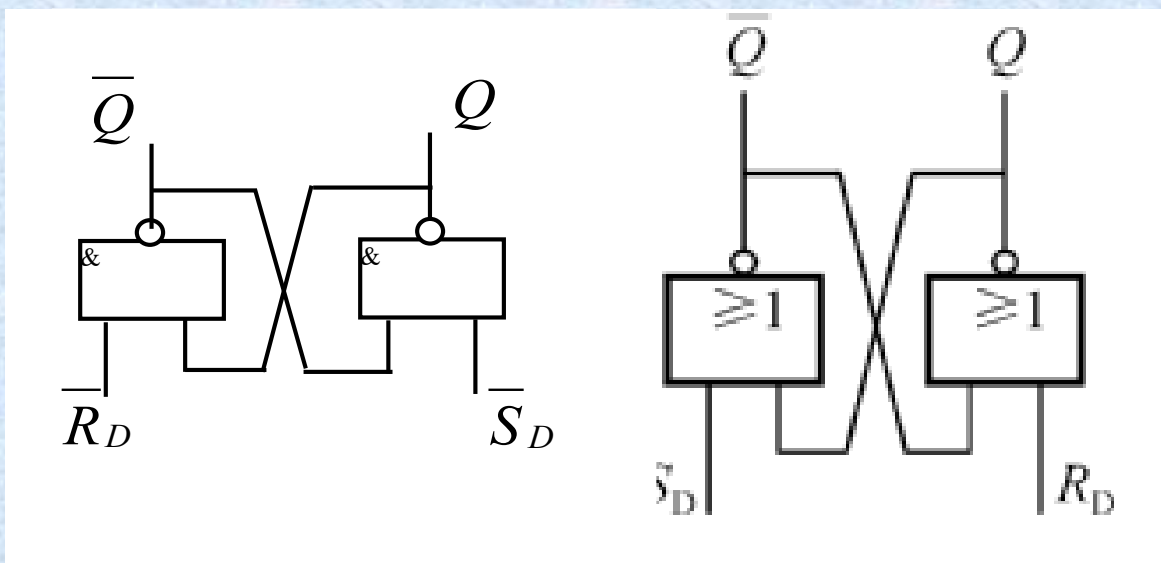
**Q的状态代表触发器的输出状态。**

*R – Reset*

*S – Set*

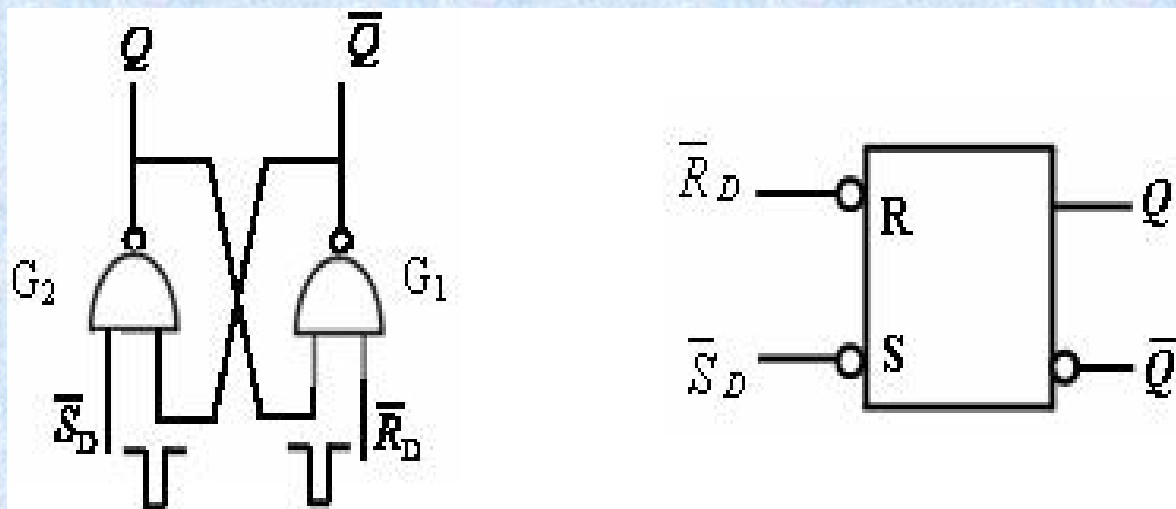
$\overline{R}_D(R_D)$  复位端，使Q为“0”状态

$\overline{S}_D(S_D)$  置位端，使Q为“1”状态



## 二、基本RS锁存器的逻辑功能

以二个与非门组成的基本RS锁存器电路加以分析：



$\overline{R}_D$  和  $\overline{S}_D$  上加了非号是表示输入低电平时，改变输出状态。

当  $\overline{R}_D = \overline{S}_D = 1$  时，触发器的状态不变，由原状态决定。这种情况称触发器为**保持功能**；



$\overline{R_D} = 0 \quad \overline{S_D} = 1$  时,  $\overline{Q} = 1 \quad Q = 0$

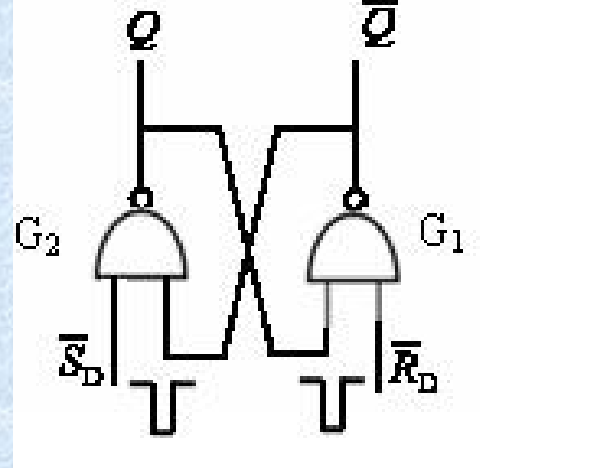
称锁存器为**置0功能**（也称**复位**）

$\overline{R_D} = 1 \quad \overline{S_D} = 0$  时,  $\overline{Q} = 0 \quad Q = 1$

称锁存器为**置1功能**（也称**置位**）

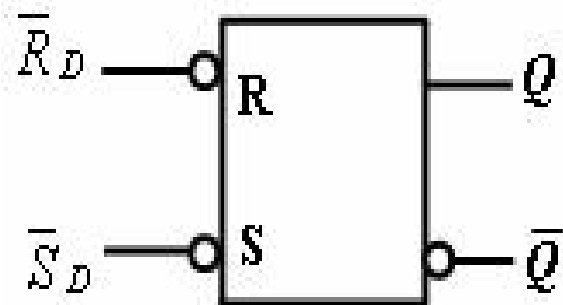
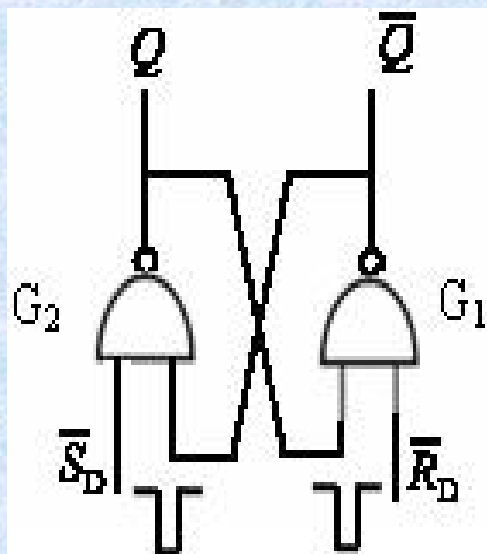
$\overline{R_D} = \overline{S_D} = 0$  时,  $\overline{Q} = Q = 1$ ; 当 $\overline{R_D} = \overline{S_D} = 0$  同时撤除后,  $Q$ 和 $\overline{Q}$ 的状态是0还是1将具有随机性, 所以, 在

实际使用时 $\overline{R_D} = \overline{S_D} = 0$ 这种情况应避免, **通常用禁用或约束表示。**

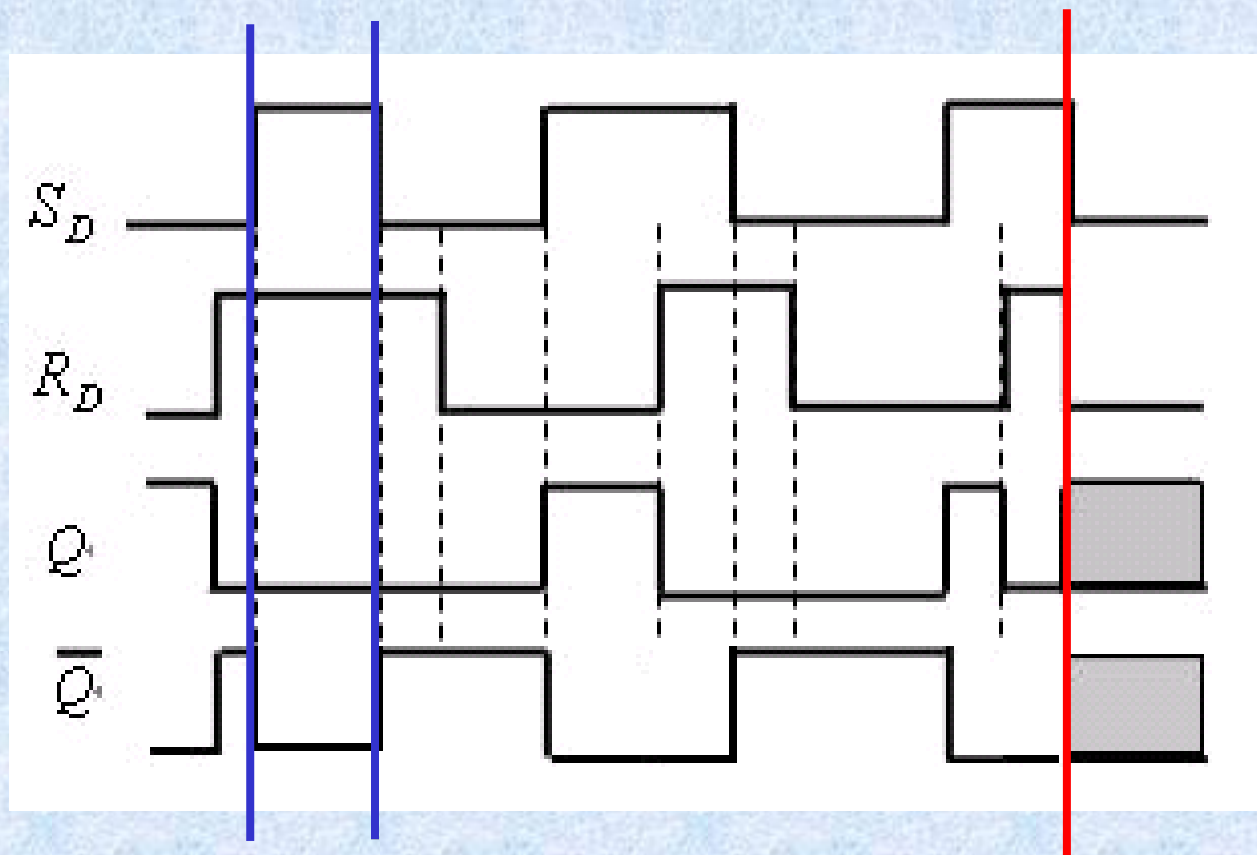
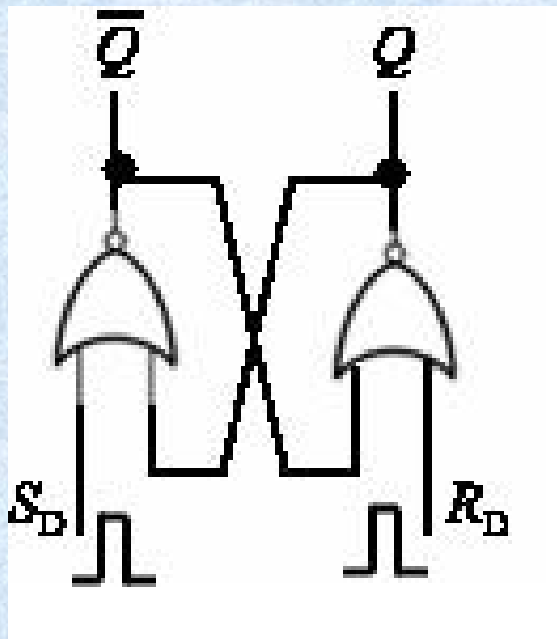


上述分析的功能通常用真值表描述

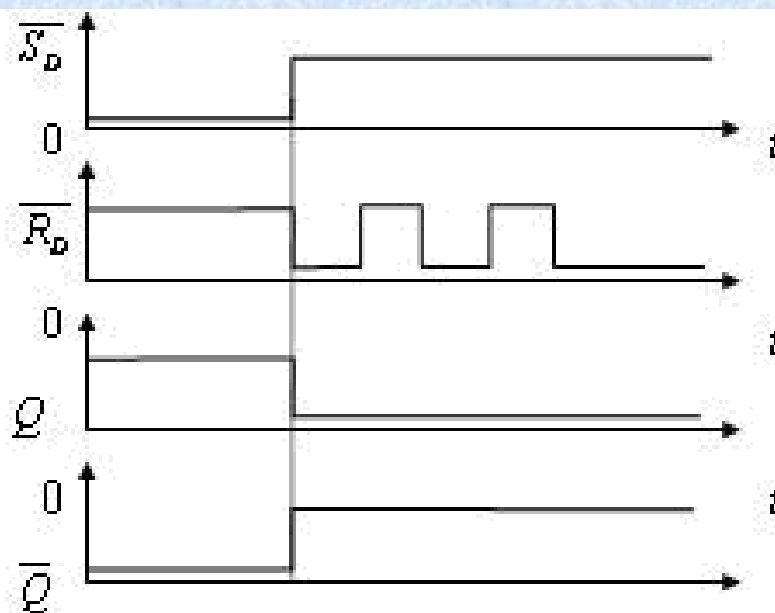
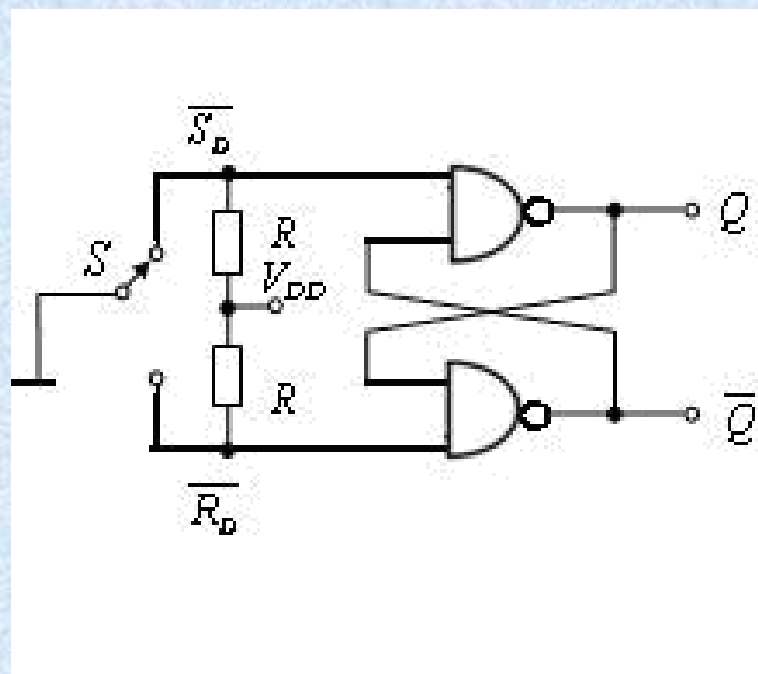
$\overline{R_D}$	$\overline{S_D}$	$Q$	$\overline{Q}$	说明
0	0	$\times$	$\times$	禁用
0	1	0	1	置0
1	0	1	0	置1
1	1	—	—	保持



【例】 试画出输入波形作用下的  $Q$   $\bar{Q}$  对应波形  
 假定  $R_D = S_D = 0$  作用前锁存器状态为高电平。



例：用基本RS锁存器实现无弹跳开关（去抖动）连接的说明。



当 $S$ 处在 upper 端时， $Q=1$ ，当开关向下拨动时，因开关的机械弹性可能会在下触点附近出现几次“抖动”，但此时，锁存器的输出只变化一次。



### 3.1.2 电平触发的锁存器（触发器）

在时序逻辑电路中，都要求用一个统一的时钟信号来协调整个电路的工作。有时钟信号时电路的输出状态翻转，否则电路的输出状态不变。简单地说，电路状态的改变与时钟出现是同步的，所以也称同步锁存器。

## 一、高电平触发的RS锁存器

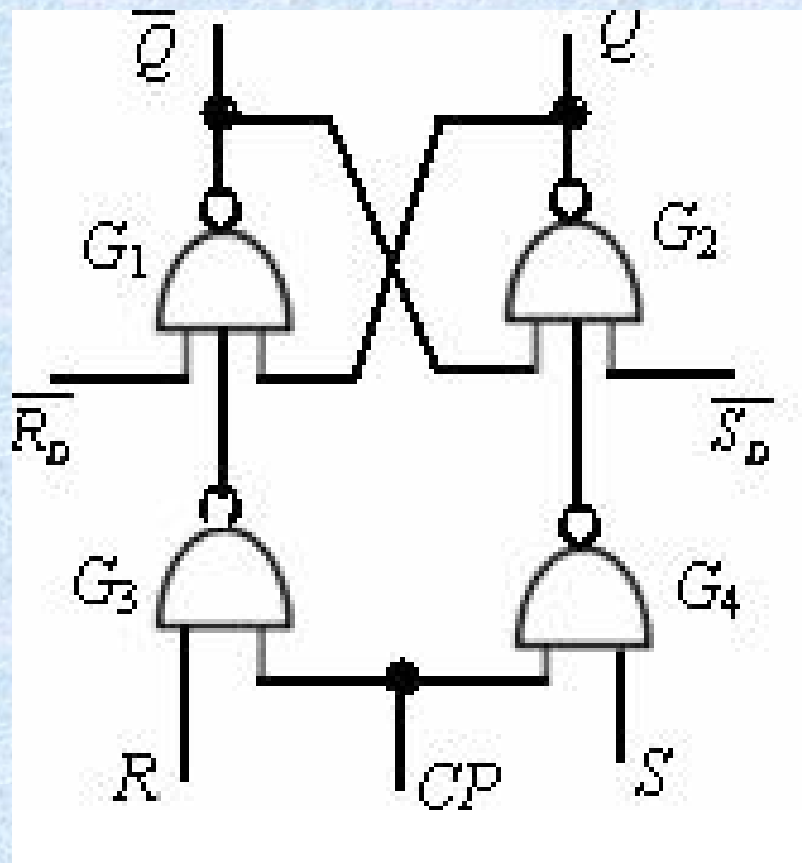
在基本RS锁存器的基础上增加了两个与非门，同时引入了时钟信号。

令CP脉冲作用之前锁存器的状态为  $Q^n$  → **初始状态**

CP脉冲作用后的状态为

$Q^{n+1}$  → **次态**

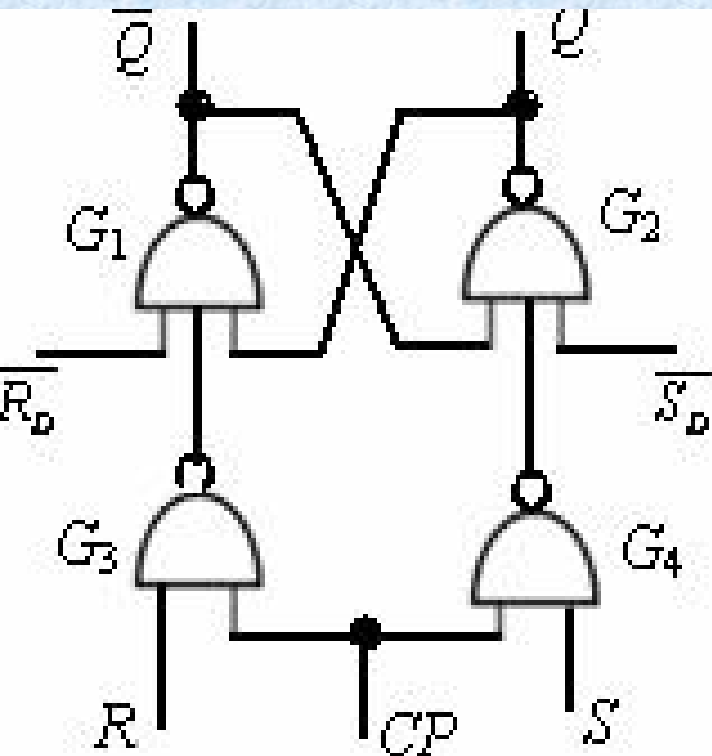
(下一状态)



$\overline{R}_D$ 和 $\overline{S}_D$ 是当 $CP = 0$ 时用来决定触发器初态的

如 $CP = 0$   $\overline{S}_D = 0$ 时 触发器 $Q = 1$ 即置“1”

如 $CP = 0$   $\overline{R}_D = 0$ 时 触发器 $Q = 0$  即置“0”



当触发器初态设置好后  
 $\overline{R}_D$ 、 $\overline{S}_D$ 都应放在高电平。

使锁存器件能按正常功能工作

①  $R=S=0$ 时，CP脉冲高电平作用后，锁存器的状态不变，即： $Q^{n+1}=Q^n$  这种情况称锁存器为**保持**功能。

②  $R=0, S=1$ 时，CP脉冲高电平作用后，

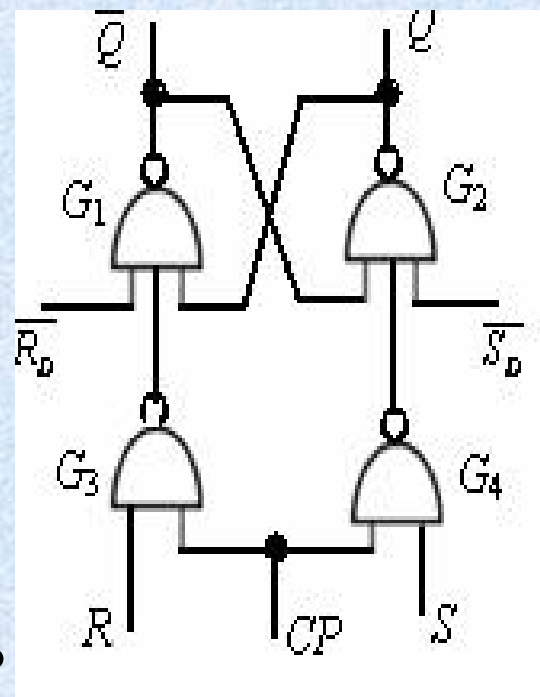
$Q^{n+1}=1$  锁存器实现了**置1**功能。

③  $R=1, S=0$ 时，CP脉冲高电平作用后， $Q^{n+1}=0$  锁存器实现了**置0**功能

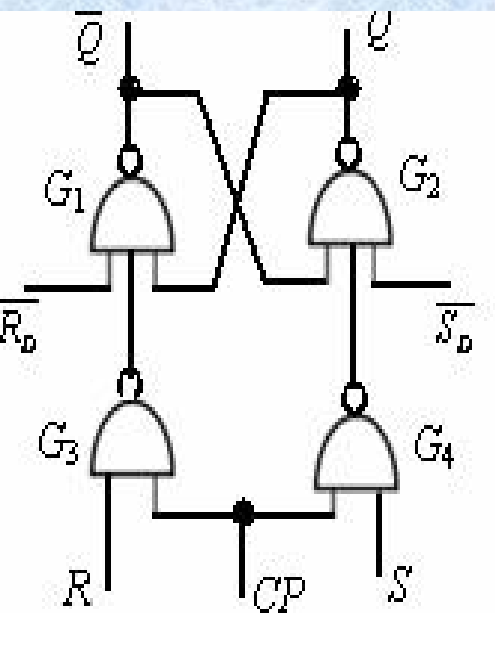
④  $R=1, S=1$ 时，CP脉冲高电平作用后， $Q^{n+1}=\times$  锁存器状态为**随机态**。

它表明：CP存在时， $\overline{Q^{n+1}}=Q^{n+1}=1$

而CP变低电平（即撤消）后  $Q^{n+1}=\times$  **这种情况应禁用**







真值表表示

$\overline{R_D}$	$\overline{S_D}$	$R$	$S$	$Q^n$	$Q^{n+1}$	说明
0	1	×	×	×	0	异步清0
1	0	×	×	×	1	异步置1
1	1	0	0	0	0	$Q^{n+1} = Q^n$ 保持功能
1	1	0	0	1	1	
1	1	0	1	0	1	$Q^{n+1} = 1$ 置1功能
1	1	0	1	1	1	
1	1	1	0	0	0	$Q^{n+1} = 0$ 置0功能
1	1	1	0	1	0	
1	1	1	1	0	×	禁用（约束）
1	1	1	1	1	×	

保持功能

置1功能

置0功能

高电平触发的RS锁存器

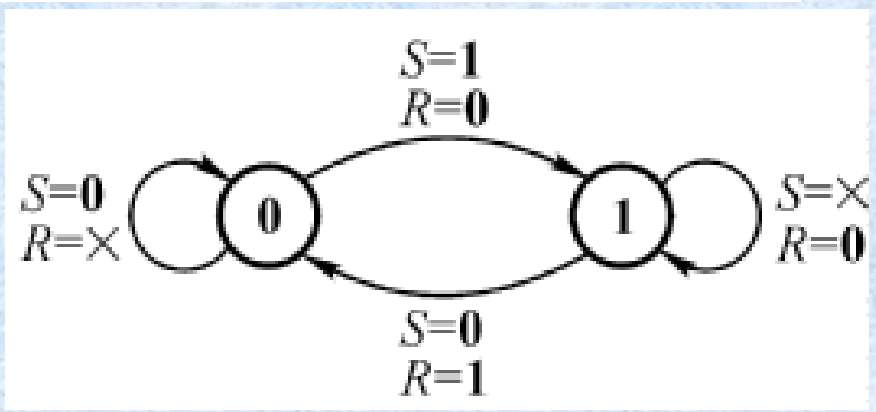
$Q^{n+1}$ $R \backslash SQ^n$					
		00	01	11	10
0		0	1	1	1
1		0	0	×	×



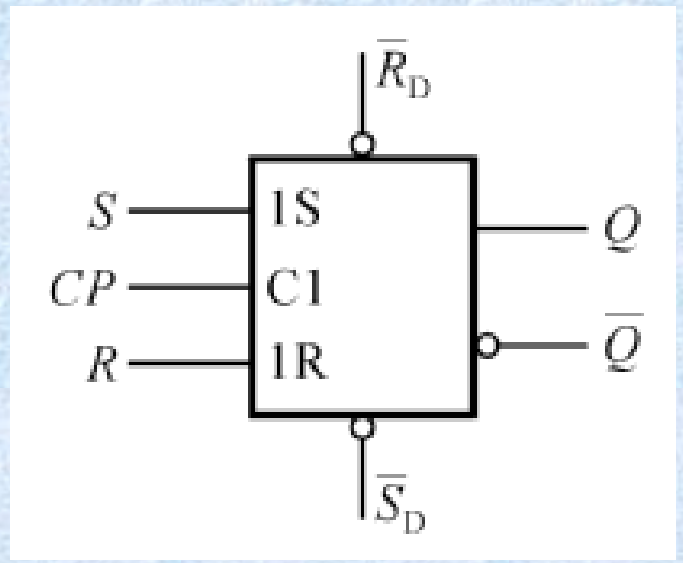
功能的逻辑函数表示→画卡诺图得出

$Q^{n+1}$		$SQ^n$			
$R$		00	01	11	10
	0	0	1	1	1
	1	0	0	×	×

$$\left\{ \begin{array}{l} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \text{ 约束条件} \end{array} \right.$$



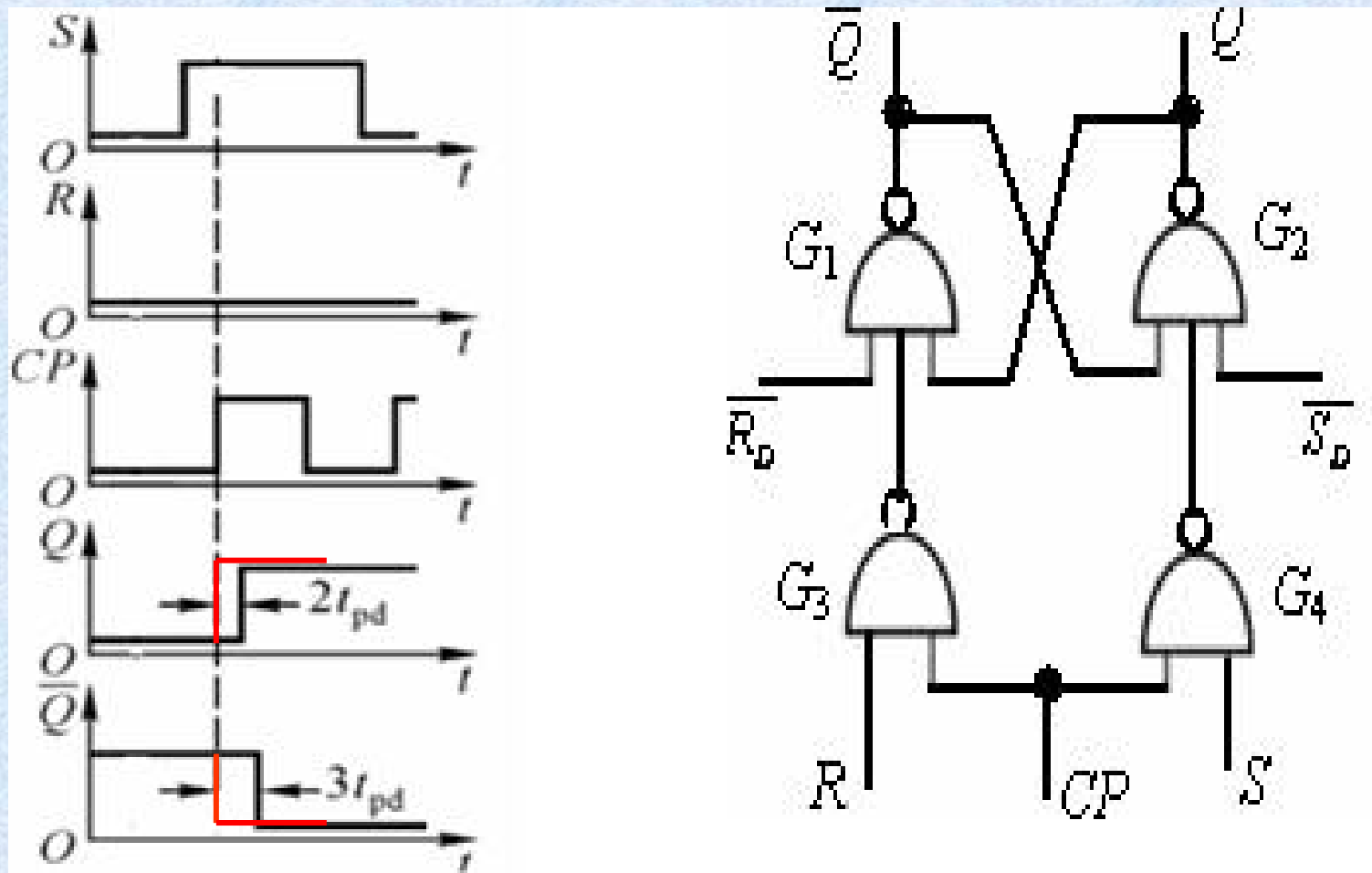
状态转换图



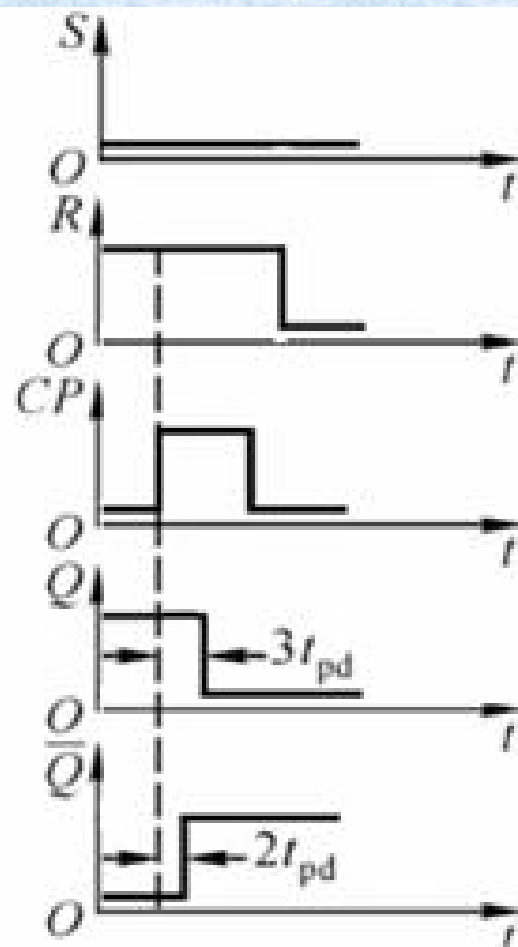
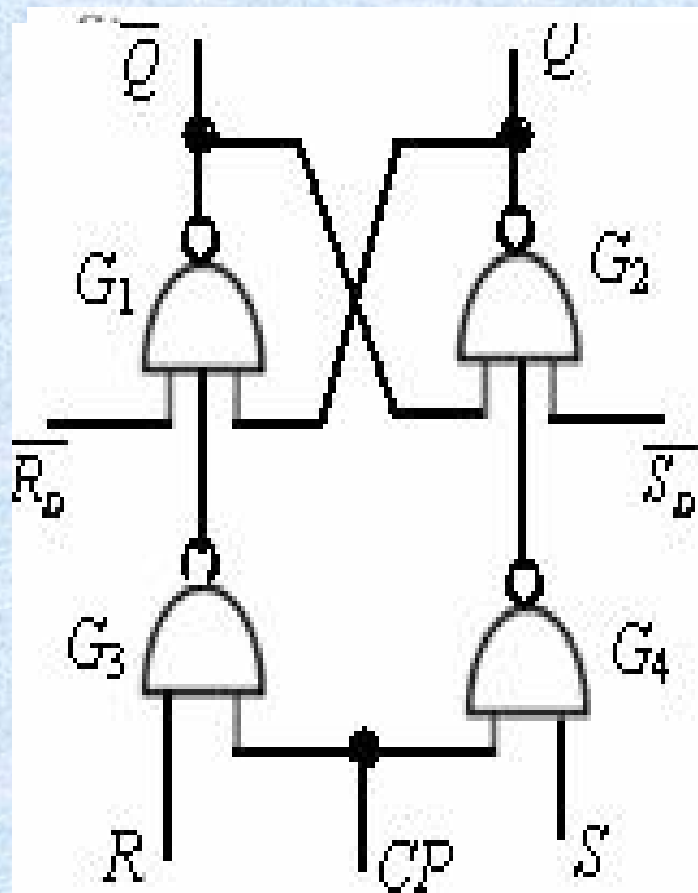
逻辑符号

高电平触发的RS锁存器

RS锁存器的动态特性分析如下:



状态由“0”翻转为“1”



状态由“1”翻转为“0”

为使锁存器触发翻转可靠：

(1) 时钟脉冲高电平持续时间必须大于  $3t_{pd}$

(2) 锁存器  $Q$  端状态由“0”翻转为“1”的时间为：

$$t_{pdLH} = 2t_{pd}$$

(3) 锁存器  $Q$  端状态由“1”翻转为“0”的时间为：

$$t_{pdHL} = 3t_{pd}$$

(4) R和S端的状态交换应该在时钟脉冲低电平期间完成

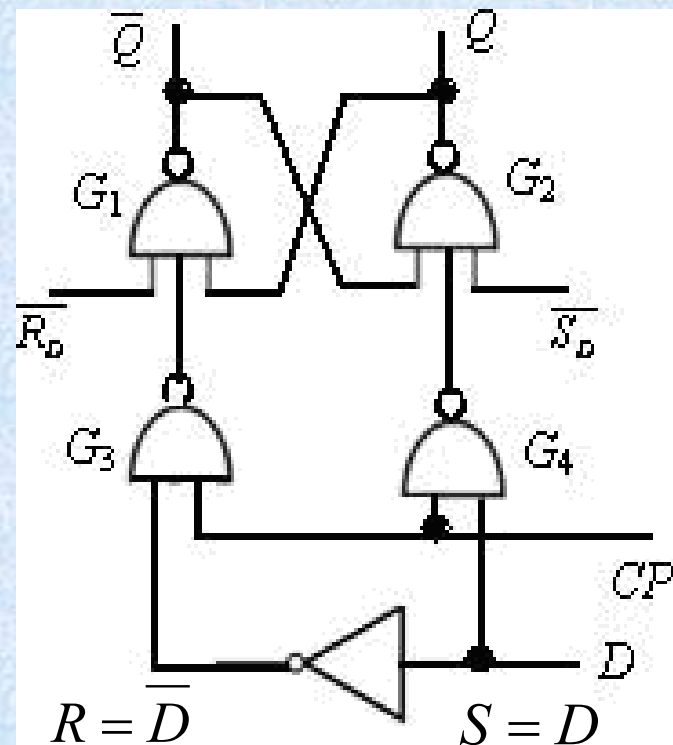
## 二、高电平触发的D锁存器

由内部逻辑图可以分析功能这里可以利用RS锁存器的次态逻辑函数分析。因为原RS锁存器的R端为 $\bar{D}$ ，S端为D输入，代入公式后得：

$$Q^{n+1} = S + \bar{R}Q^n = D + \bar{\bar{D}}Q^n = D$$

(CP高电平有效)

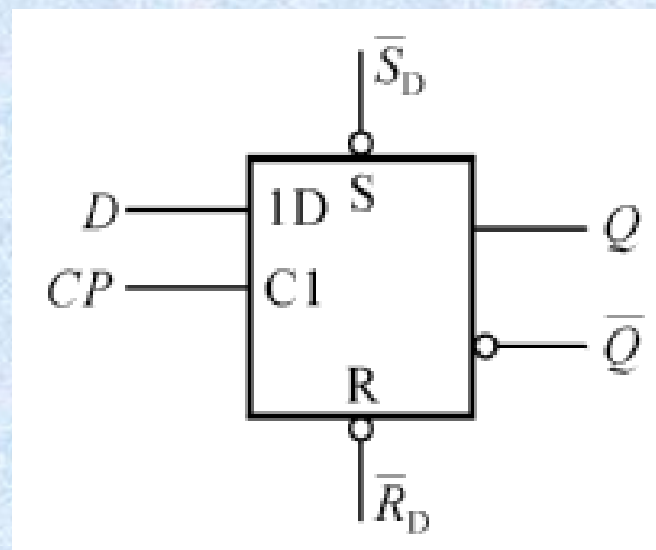
说明高电平触发的D锁存器的次态与D端状态相同





高电平D锁存器的真值表，电路符号分别如下：

D	$Q^n$	$Q^{n+1}$	说明
0	0	0	置0
	1		
1	0	1	置1
	1		

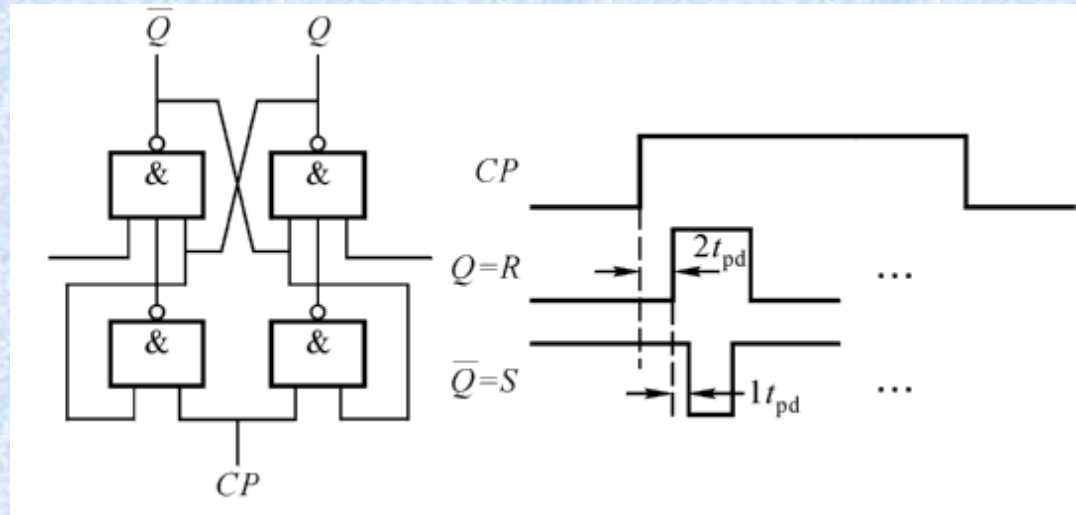


$$Q^{n+1} = D$$

## ◆ 同步锁存器的特点及存在问题

在 $CP=1$ 高电平期间， $RS$ 的变化都会使锁存器翻转。故 $RS$ 端的数据必须在 $CP=0$ 期间完成转换。说明在 $CP=1$ 期间，非常容易接收干扰信号，**抗干扰能力差**。

右图实现**翻转锁存器**功能即：每来一个 $CP$ 脉冲，锁存器状态改变一次。

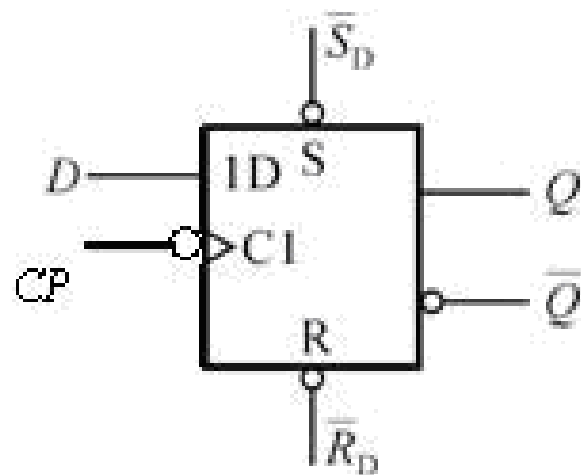
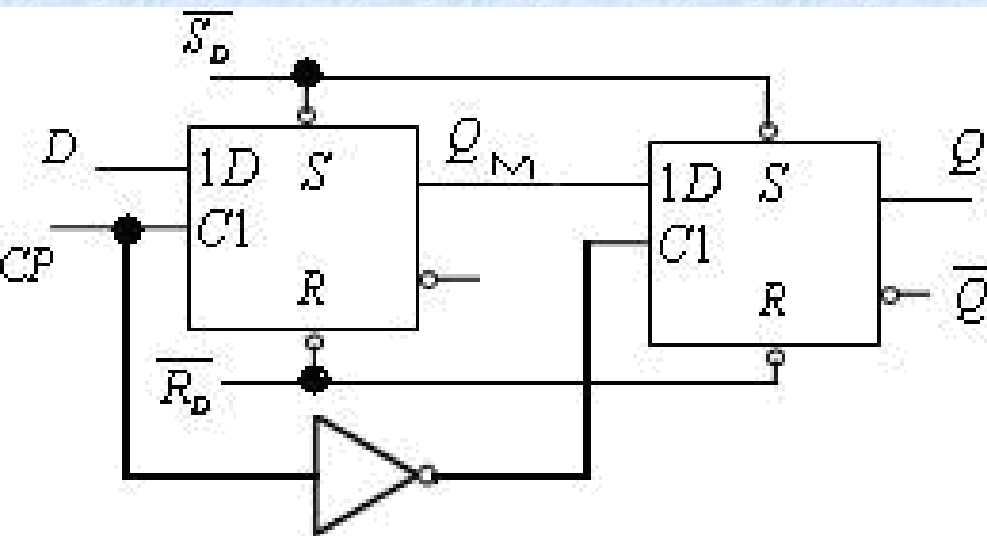


但该电路在 $CP=1$ 的时间太长时，翻转后状态再送回 $S$ 端，锁存器的状态再次翻转（**空翻现象**）。

### 3.1.3 边沿触发的触发器

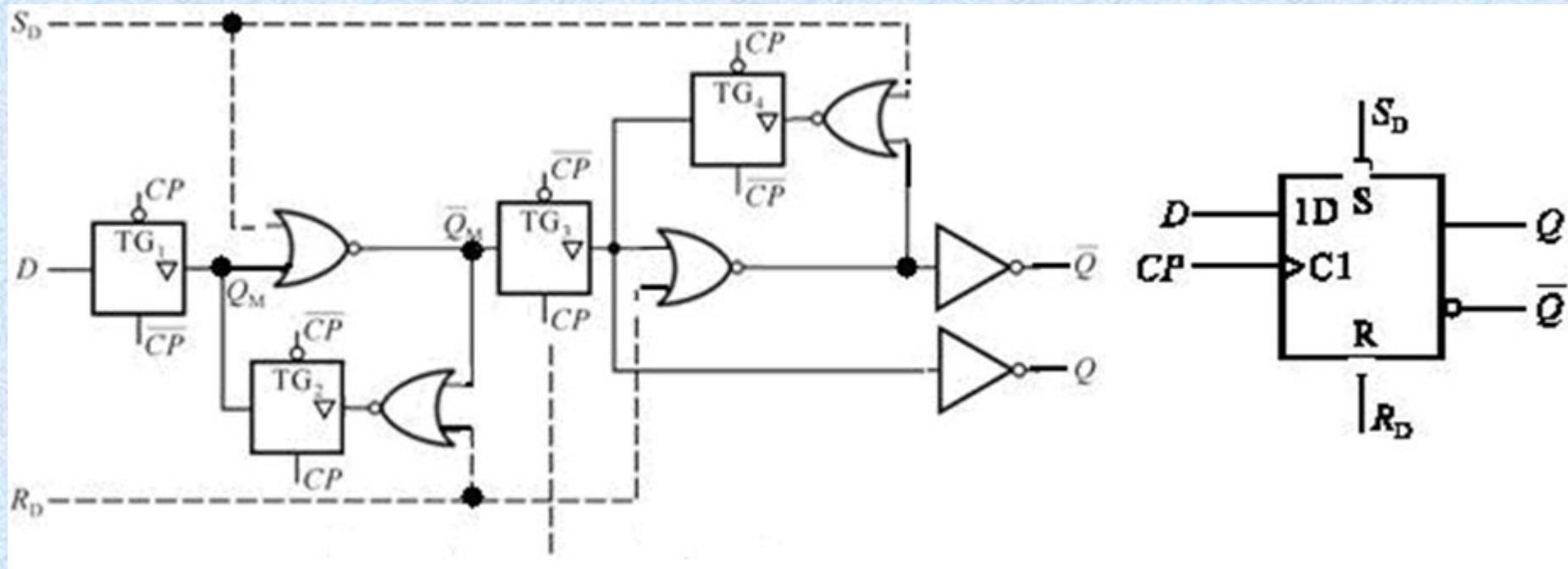
边沿触发器只有在CP脉冲的上升沿或下降沿时接收信号，并完成翻转。由于触发器响应输入信号的时间极短，所以，电路的可靠性高，抗干扰能力强。目前的触发器产品一般都采用该技术。

# 一、边沿触发D触发器



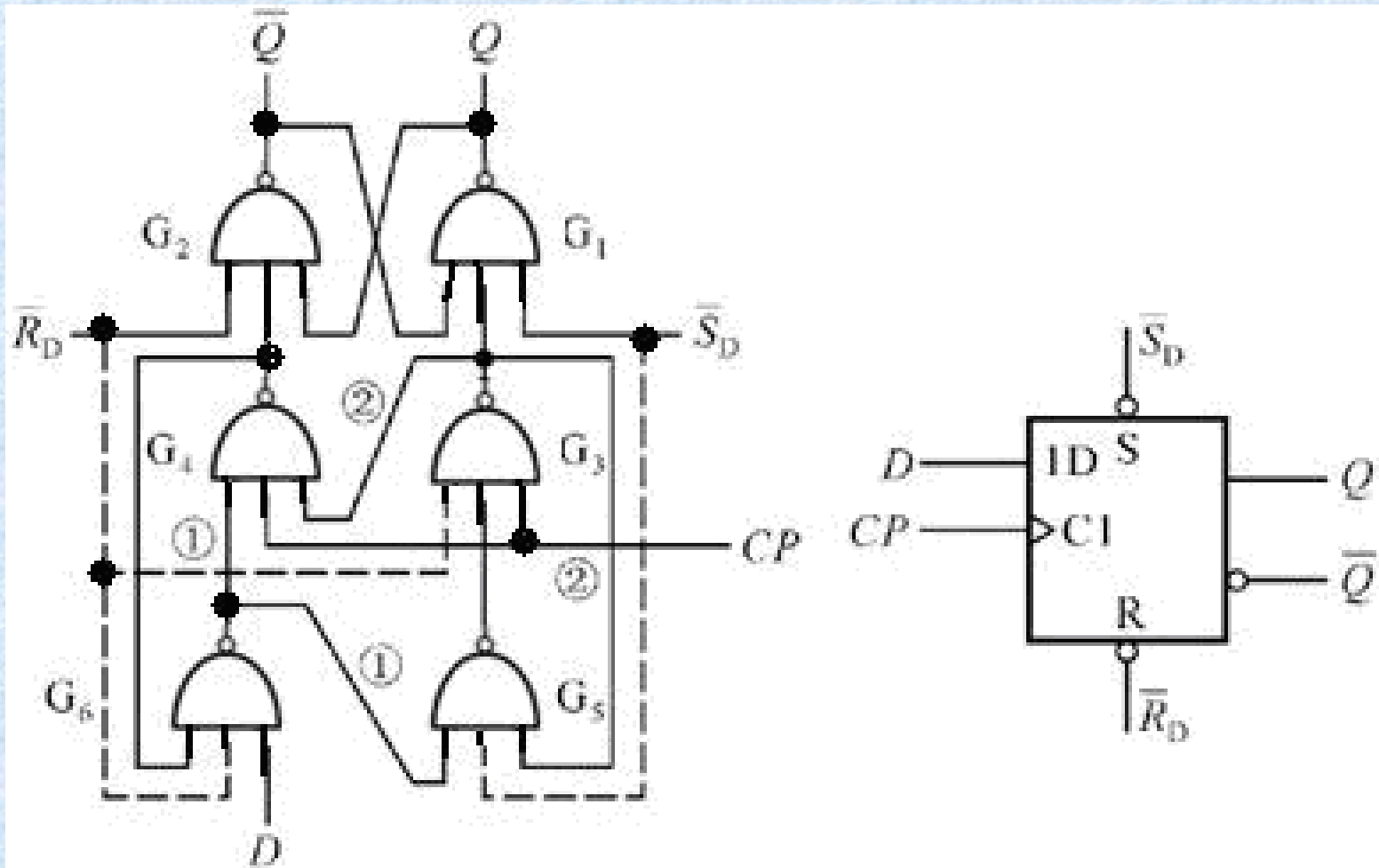
分别由时钟高电平触发和时钟低电平触发的两个D触发器串联而成电路，受同一个时钟脉冲CP触发，形成了主从D触发器结构。实现边沿触发功能。

# 利用传输门构成上升沿触发D触发器 (CMOS门)

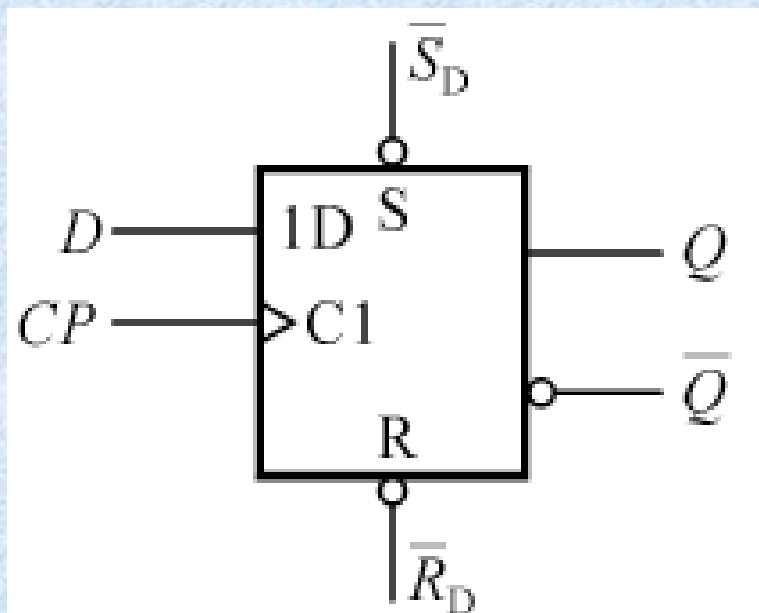




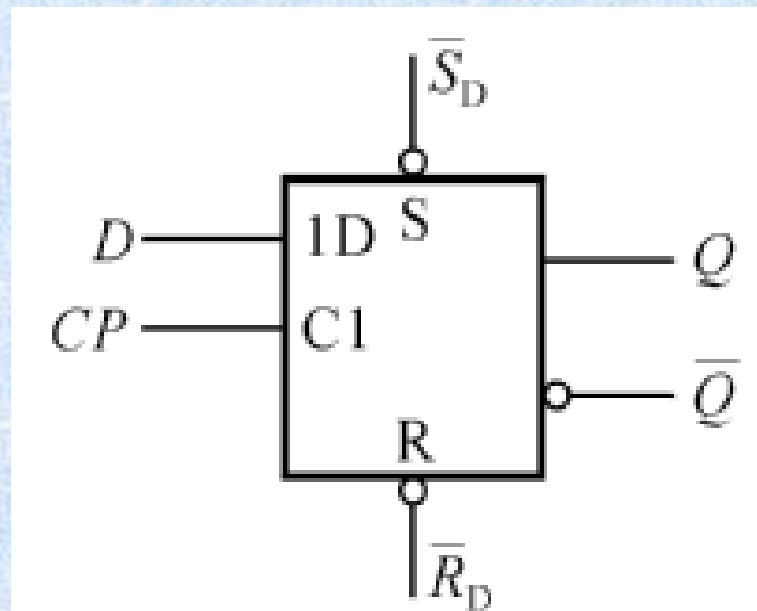
## 二、维持阻塞型上升沿触发D触发器 (TTL门)



下图是上升沿触发的D触发器逻辑符号，请注意它与电平触发器的区别。

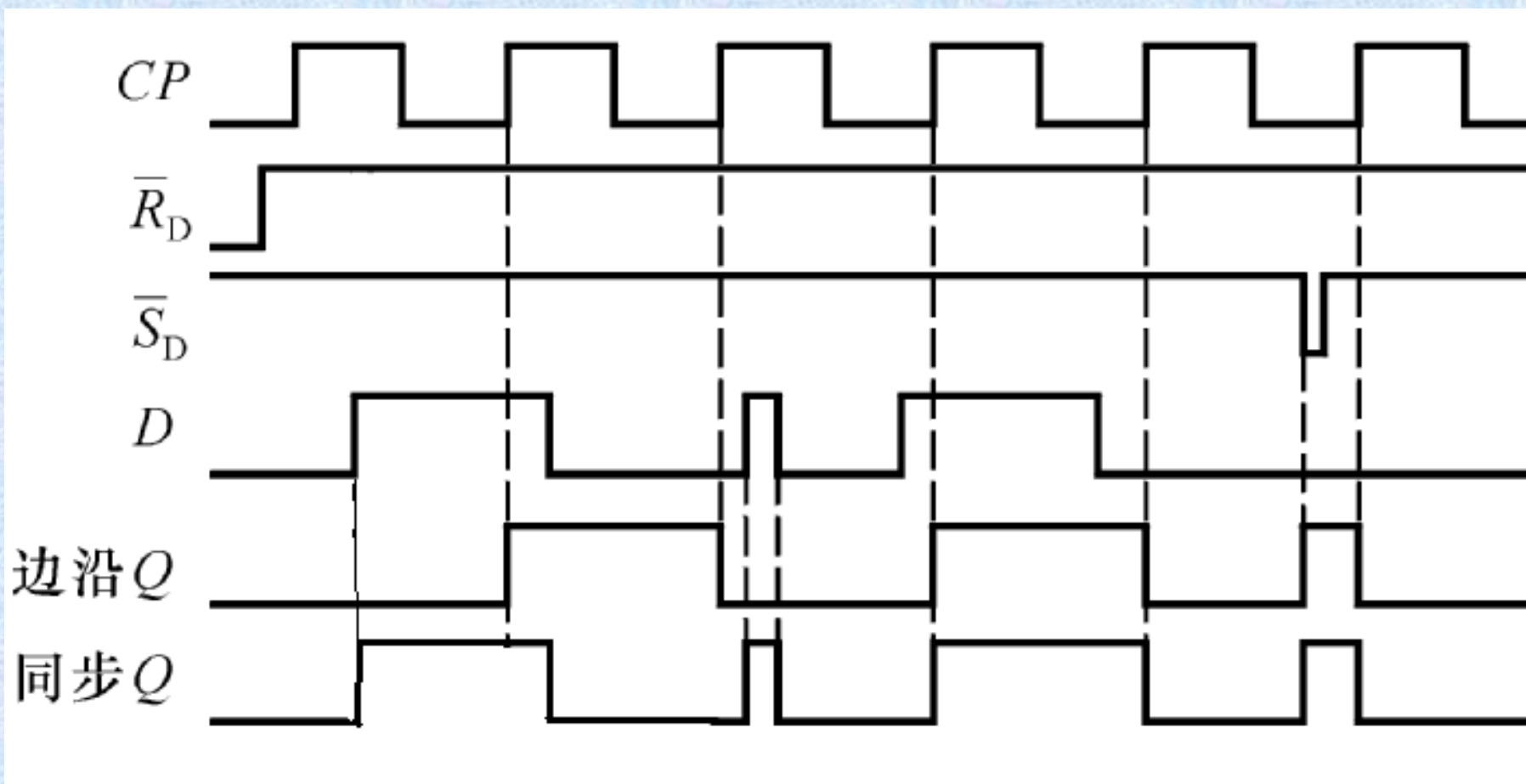


上升沿D触发器



高电平D触发器(锁存器)

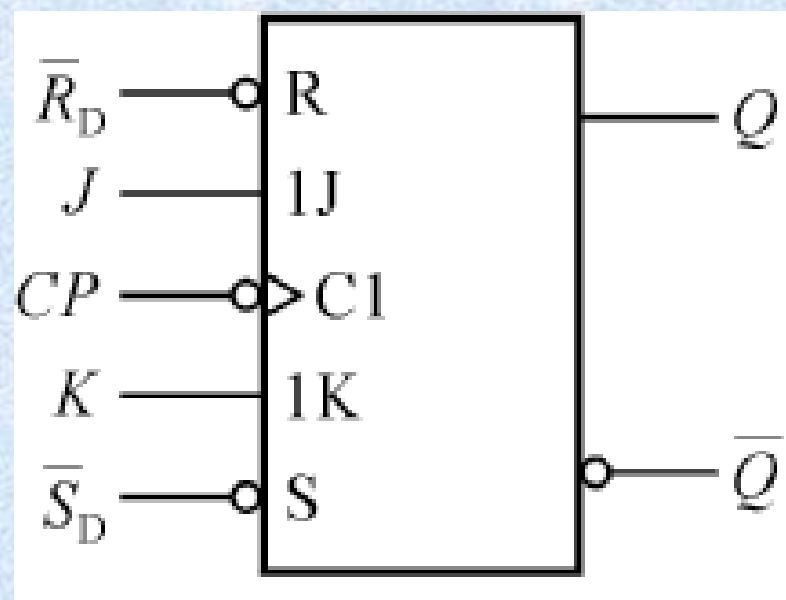
波形图表示已知CP、D以及 $\overline{R}_D$ 和 $\overline{S}_D$ 下画出的两种触发器的波形图

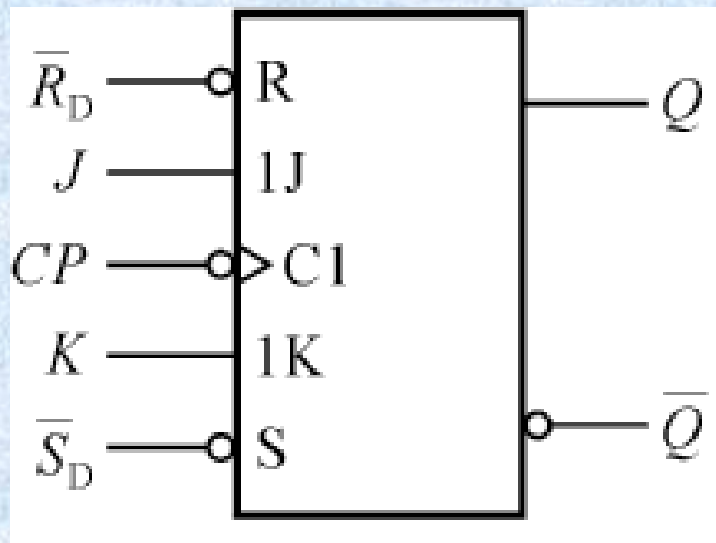


一、上升沿触发的D触发器

二、下降沿触发的JK触发器

该电路在CP脉冲下降沿期间接收JK信号并完成状态翻转，靠的是内部门电路延时时间差而实现的。





下降沿触发的触发器

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

电路功能可从表达式得到：**J=K=0**， $Q^{n+1} = Q^n$

**J=0，K=1**， $Q^{n+1} = 0$

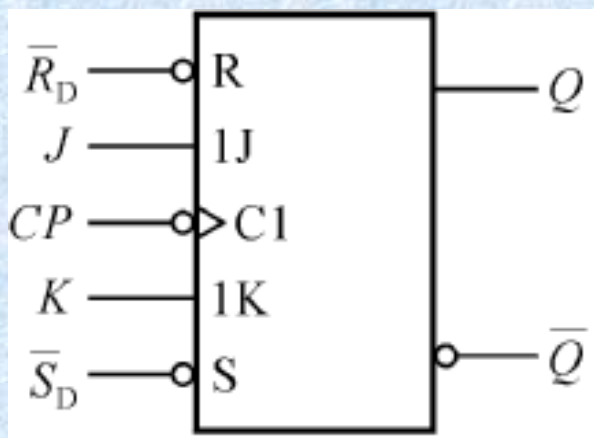
**J=1，K=0**， $Q^{n+1} = 1$

**J=K=1**， $Q^{n+1} = \overline{Q}^n$

真值表

J	K	$Q^n$	$Q^{n+1}$	说明
0	0	0	0	$Q^{n+1} = Q^n$ 保持
0	0	1	1	
0	1	0	0	$Q^{n+1} = 0$ 置0
0	1	1	0	
1	0	0	1	$Q^{n+1} = 1$ 置1
1	0	1	1	
1	1	0	1	$Q^{n+1} = \overline{Q}^n$ 翻转
1	1	1	0	

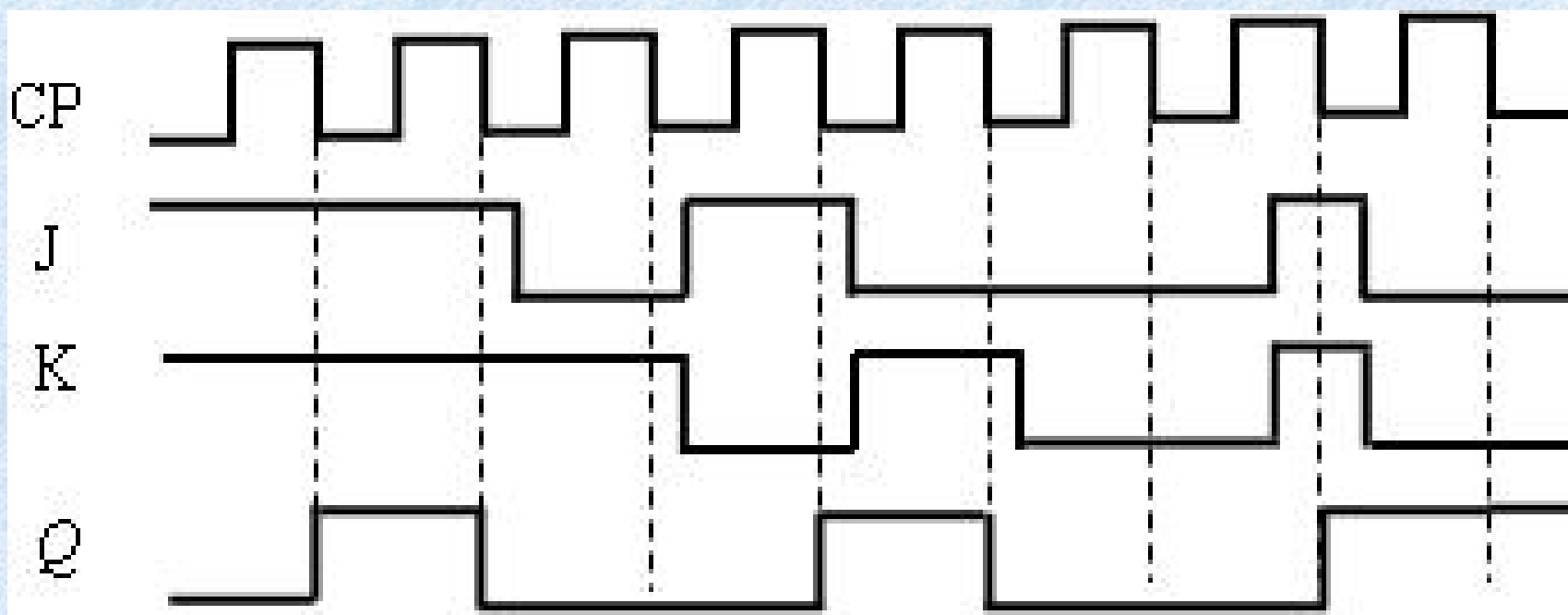
JK触发器具备有四种功能，  
是一个全功能触发器。



【例3】 触发器的初始状态为“0”，异步复位端和置位端

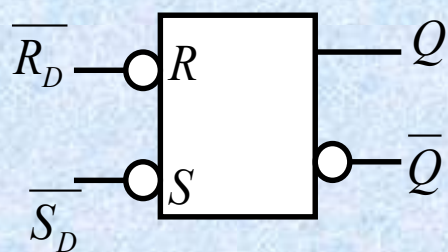
$\overline{R}_D$   $\overline{S}_D$  已为高电平，若时钟脉冲CP、同步输入端J、K

的波形如图所示，试画出触发器  $Q$  的波形。

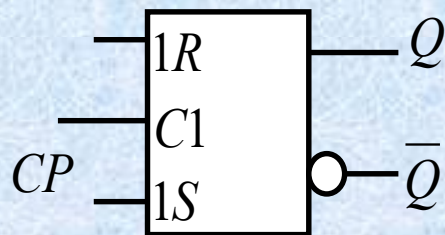


## 四、其它功能锁存器/触发器

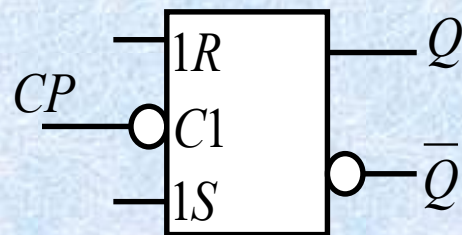
**电路结构：**基本RS、电平触发、边沿触发等，可从CP脉冲引入端的符号加以区别。



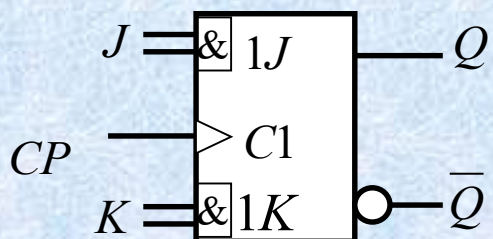
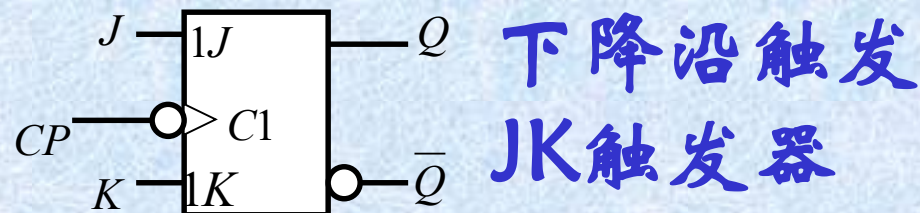
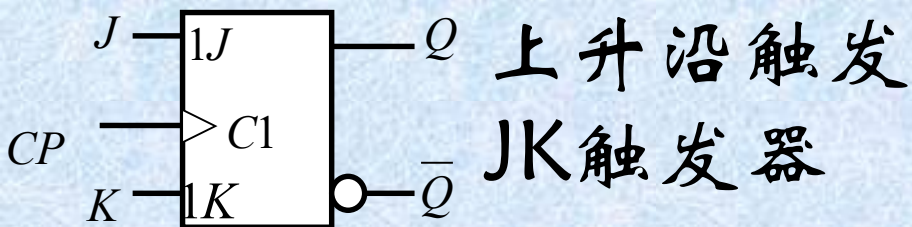
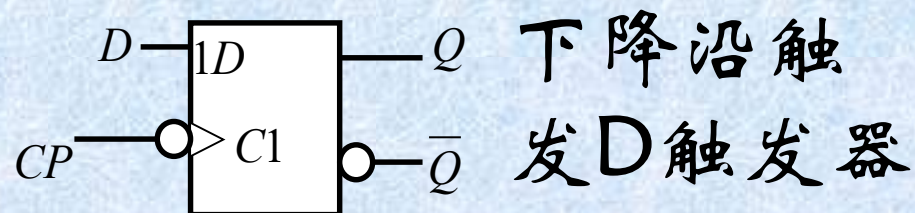
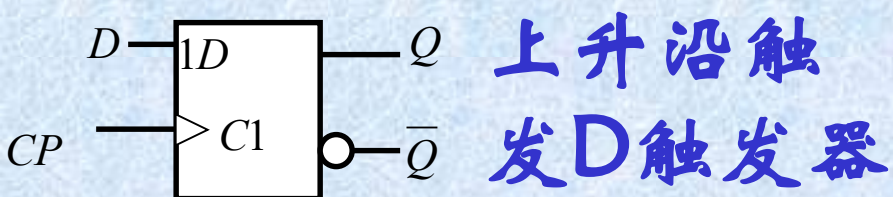
基本RS锁存器



高电平触发  
RS锁存器



低电平触发  
RS锁存器



JK端分别有二个  
与逻辑变量



# 功能描述方法

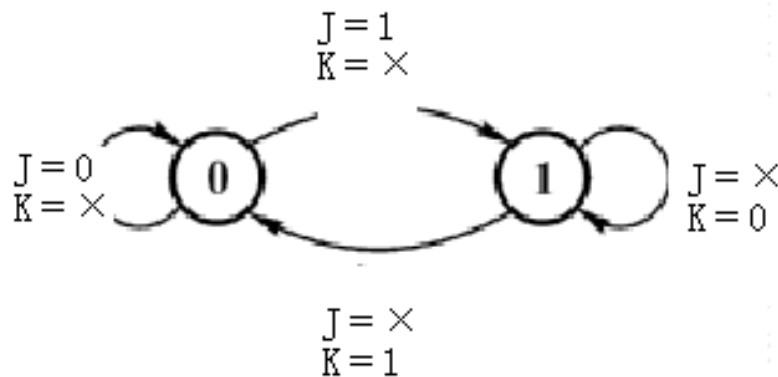
真值表（特性表），状态函数（特性方程），  
状态转换图，激励表

现以JK触发器为例：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

J	K	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$Q^n \rightarrow Q^{n+1}$	J K	D	R S	T
0 0	0×	0	×0	0
0 1	1×	1	1 0	1
1 0	×1	0	0 1	1
1 1	×0	1	0×	0





## 逻辑功能：

RS 三种功能：置0，置1，保持，约束 $RS=0$

D 二种功能：置0，置1

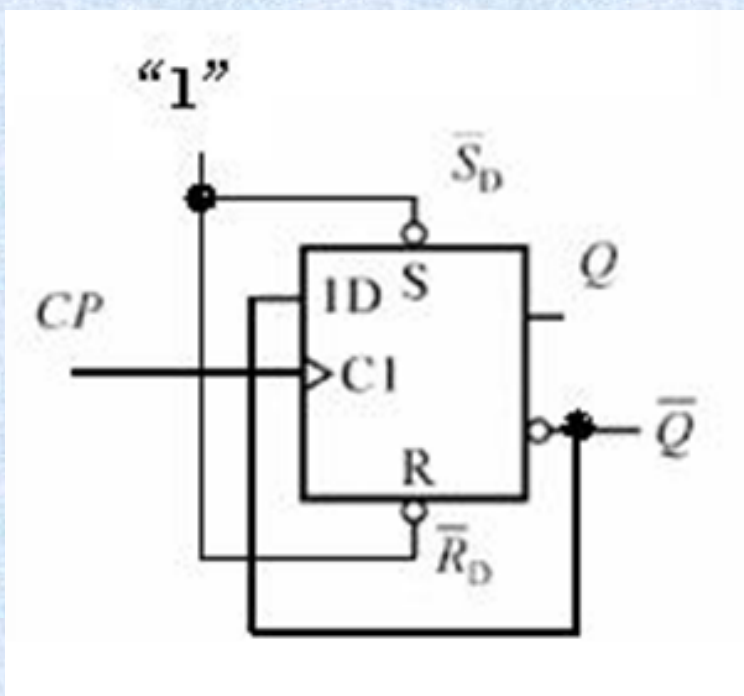
JK 四种功能：置0，置1，保持，翻转（计数）

T 二种功能：翻转，保持

### 3.1.4 触发器功能转换

是指一种功能的触发器可以转换成另一种功能。

1、D→翻转触发器T'：



$$\left. \begin{aligned} Q^{n+1} &= \overline{Q^n} \\ Q^{n+1} &= D \end{aligned} \right\} D = \overline{Q^n}$$

2、RS→D:  $S = D, R = \overline{D}$

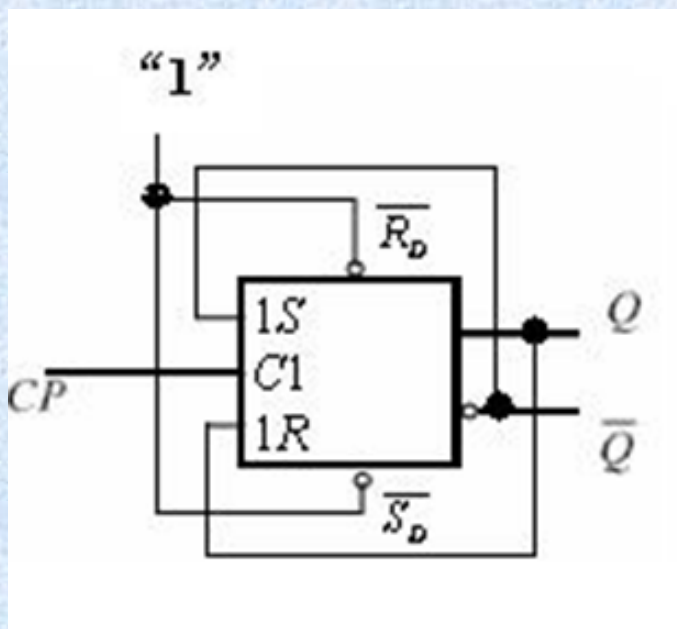
$$\left\{ \begin{array}{l} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \text{ 约束条件} \end{array} \right.$$

3、RS→翻转触发器 T'

$$Q^{n+1} = S + \overline{R}Q^n \quad \text{需要实现} \quad Q^{n+1} = \overline{Q^n}$$

$RS = 0$  约束条件

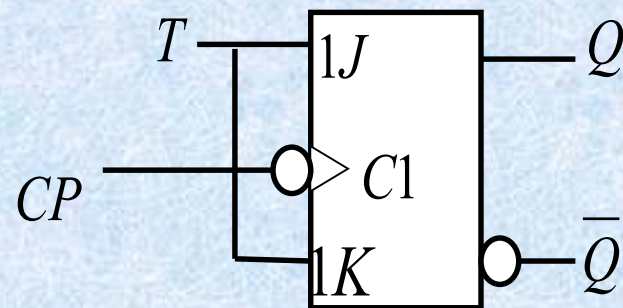
$$S = \overline{Q^n}, R = Q^n$$



#### 4、JK→D:

$$\left. \begin{aligned} Q^{n+1} &= J\overline{Q}^n + \overline{K}Q^n \\ Q^{n+1} &= D = D(\overline{Q}^n + Q^n) = D\overline{Q}^n + DQ^n \end{aligned} \right\} J = D, K = \overline{D}$$

5、JK→T:  $J = K = T$   
 JK→T'  $J = K = 1$

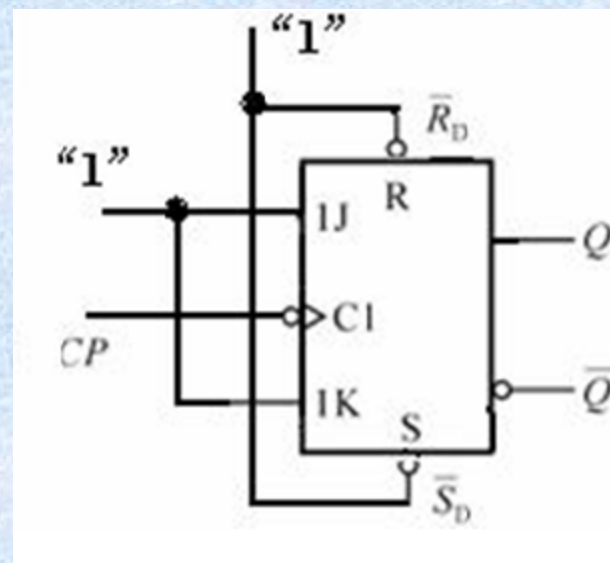


- 把JK触发器的JK端相连作T端。

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n = T \oplus Q^n$$

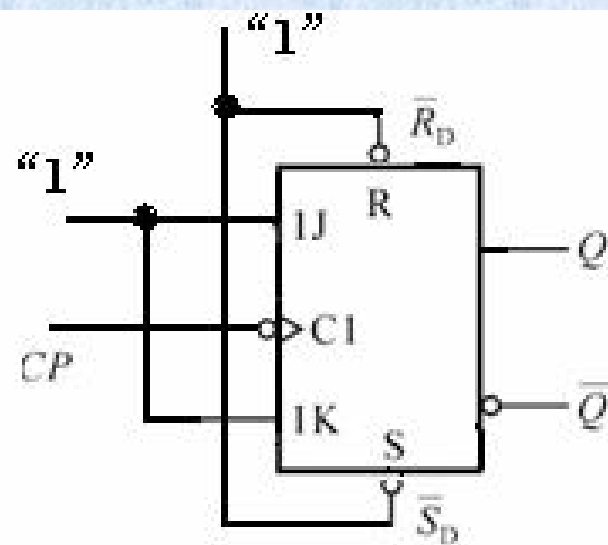
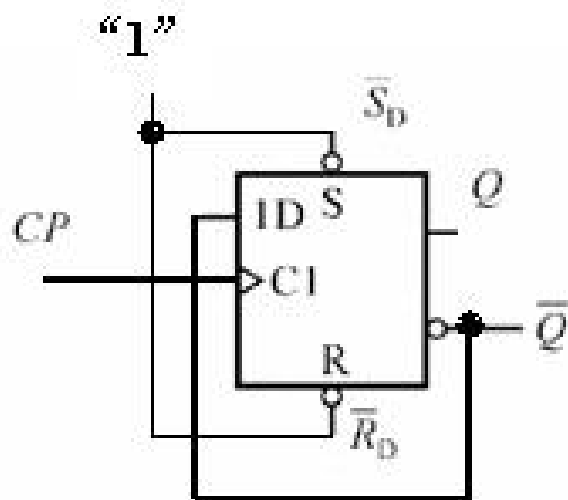
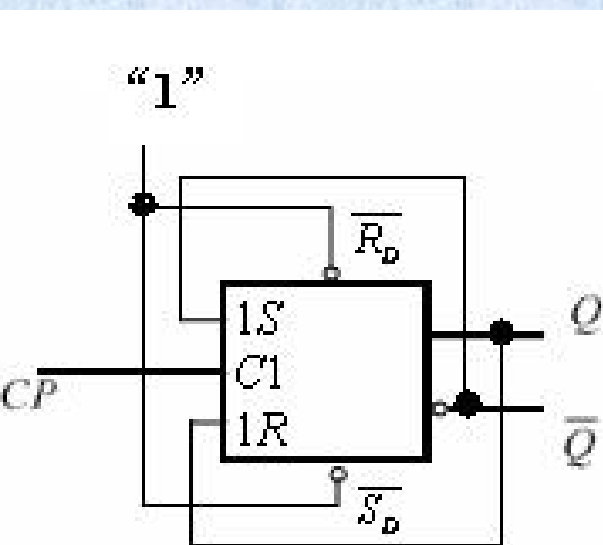
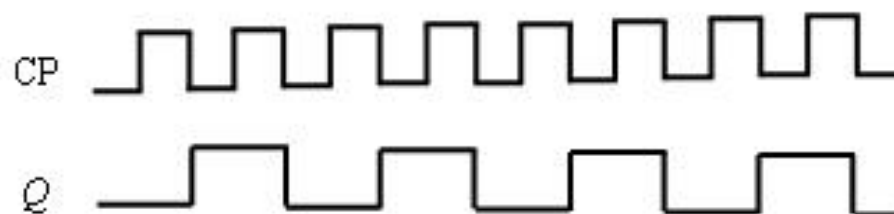
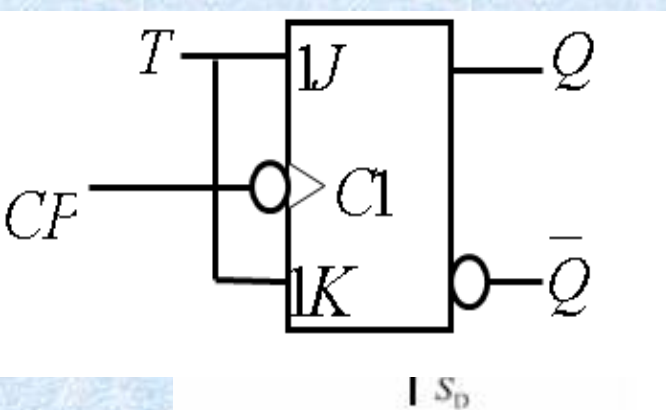
$T = 0$ 时  $Q^{n+1} = Q^n$ , 保持功能

$T = 1$ 时  $Q^{n+1} = \overline{Q^n}$ , 翻转功能





# 计数功能触发器 (T' 触发器) $Q^{n+1} = \overline{Q^n}$



## ◆ D功能可转换成JK功能

转换方案如图所示：

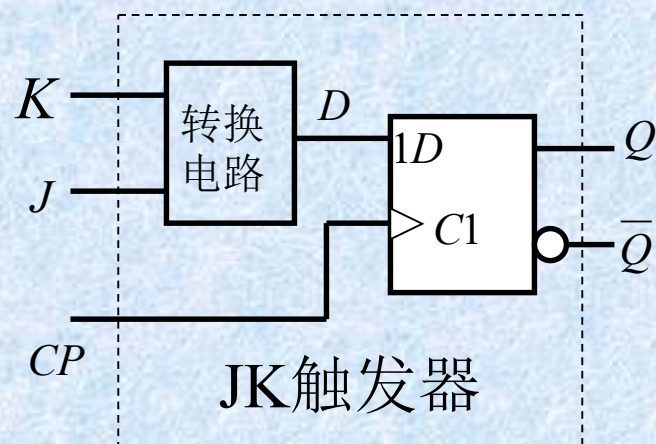
因为JK特性方程：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

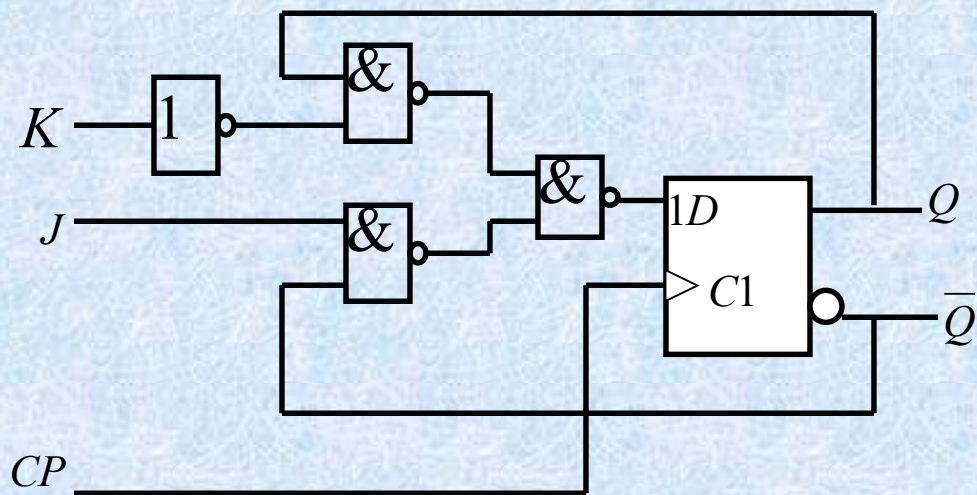
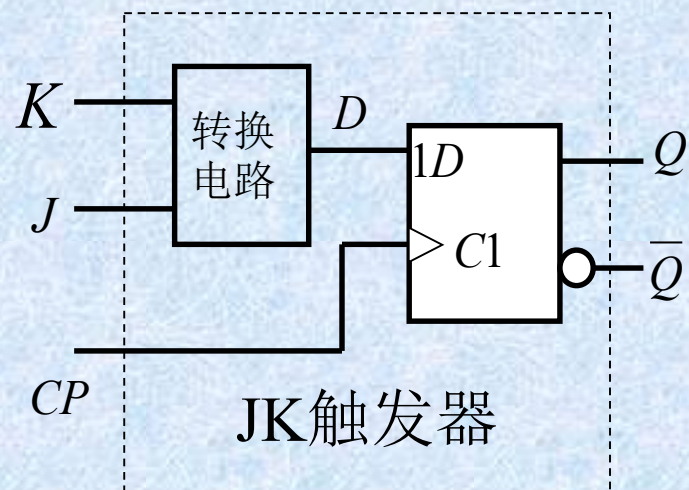
而D特性方程： $Q^{n+1} = D$

所以，转换电路的方程为：

$$D = J\overline{Q}^n + \overline{K}Q^n = \overline{\overline{J\overline{Q}^n + \overline{K}Q^n}}$$

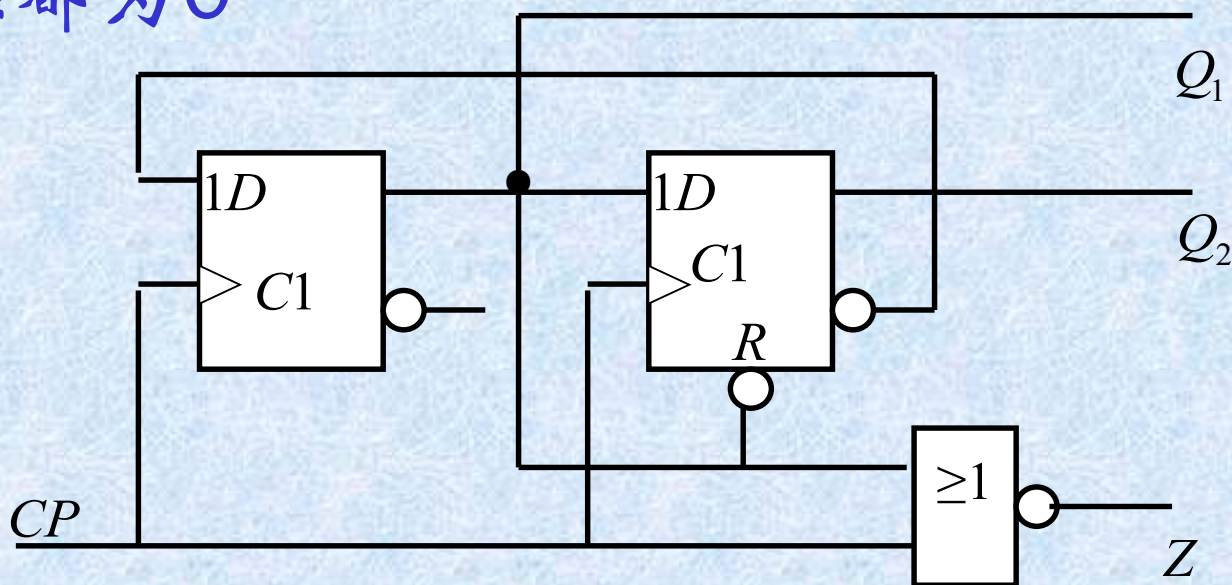


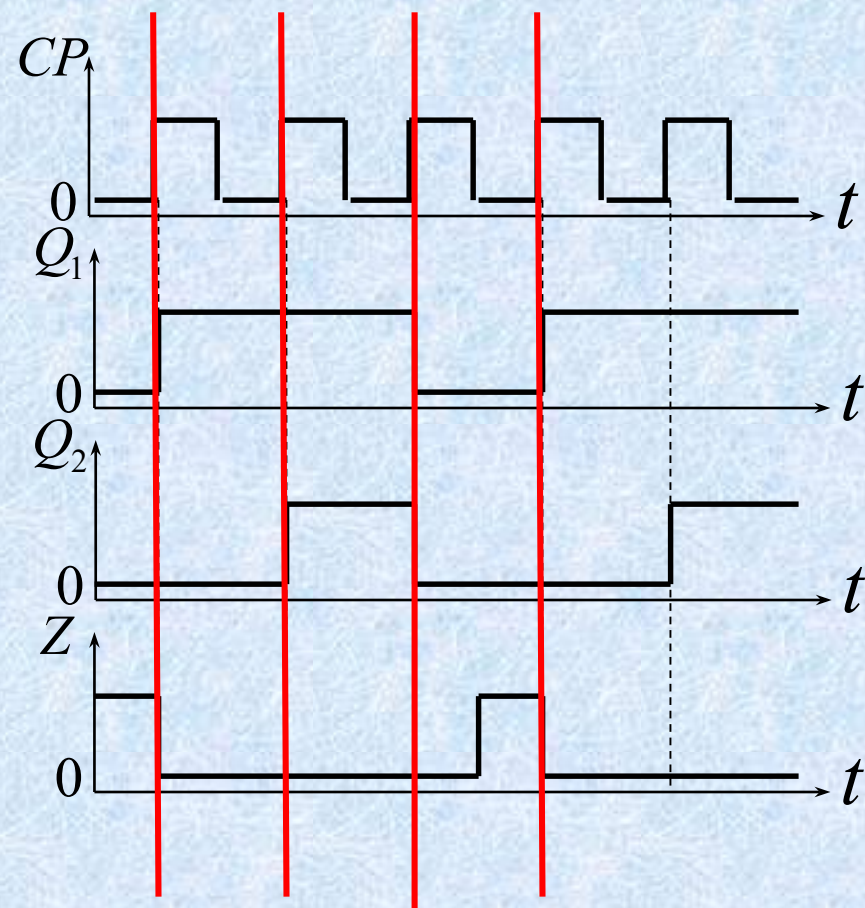
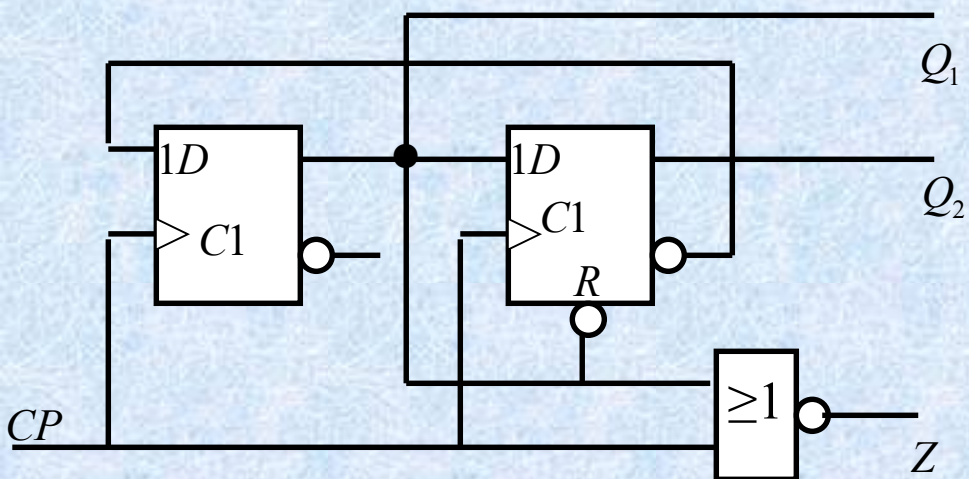
$$D = J\overline{Q}^n + \overline{K}Q^n = \overline{\overline{JQ^n} \bullet \overline{\overline{KQ^n}}}$$



## 举例1:

图示电路是用CMOS组成的边沿触发器和或非门组成的脉冲分频电路，试画出在一系列CP脉冲作用下Q1、Q2和Z端对应的输出波形。设触发器初态都为0





脉冲分频电路



# 第3章 数字信号的存储

➤ 3.1 二进制存储单元

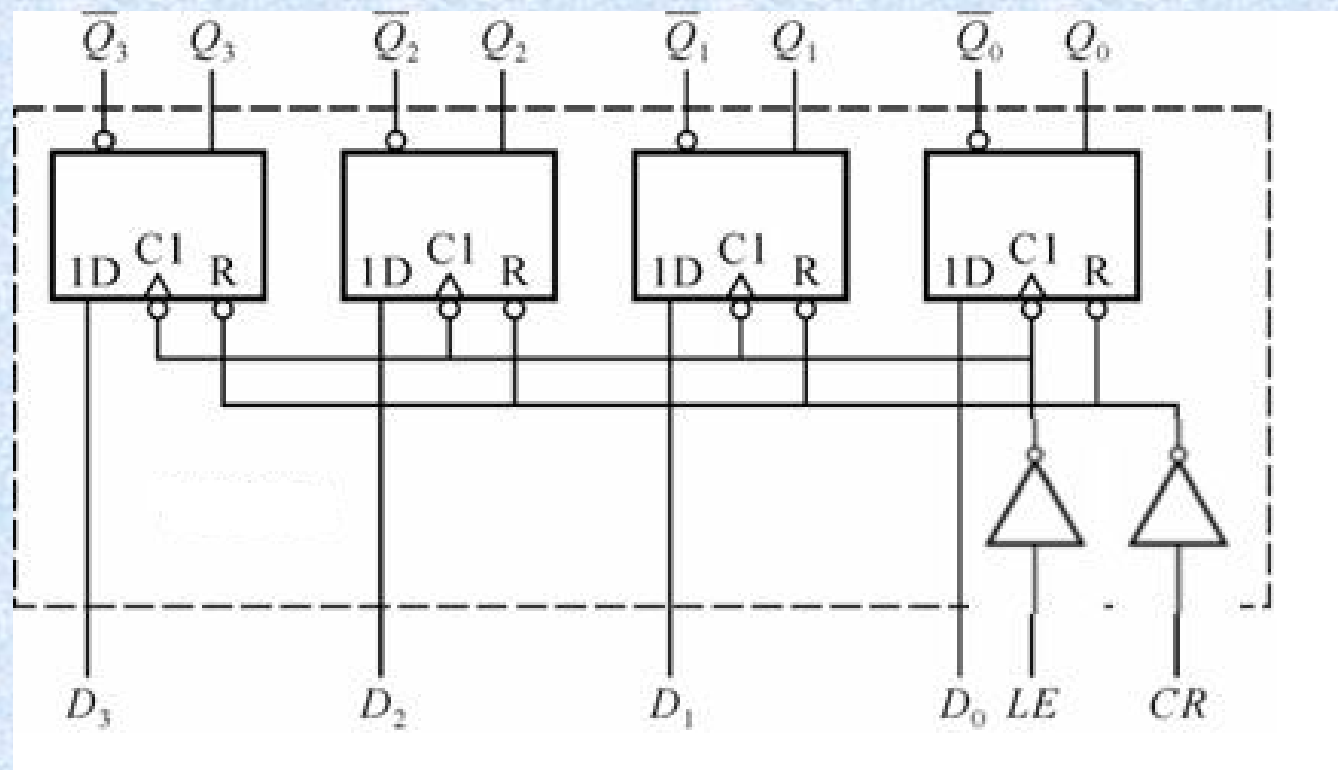
➤ 3.2 寄存器

➤ 3.3 半导体存储器

### 3.2.1 数码寄存器

寄存器用来存放二进制信息，这些信息通常是待运算的数据，代码或运算的中间结果。因此，寄存器是电子计算机的主要部件电路。由于一位触发器能寄存一位二进制信息，寄存位 $n$ 位二进制信息就需要 $n$ 个触发器。

# 四位并行数码寄存器74HC451

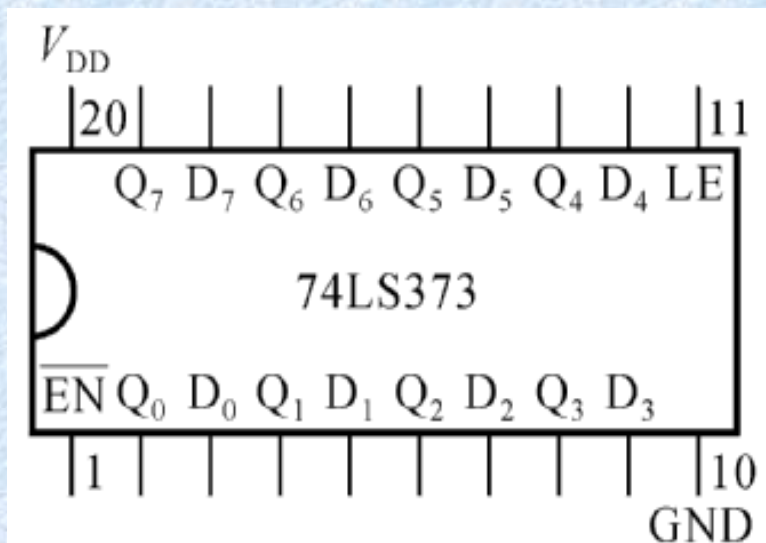


1.  $CR=1$ , 寄存器清零  $Q_3Q_2Q_1Q_0=0000$ ;
2.  $D_3D_2D_1D_0$  放置好数据, 如  
 $D_3D_2D_1D_0=1011$ ;
3. 给写入命令  $LE$  高电平,  $D_3D_2D_1D_0=1011$  就写入到触发器中;

如果触发器的输出门是三态门时，就可以实现总线连接，方便地进行信息的交换和传递。

例如下面的74LS373，74LS374等。

下图是由8个D触发器构成的8位数码锁存器，电路具有三态输出，一个写入控制和读出控制端。

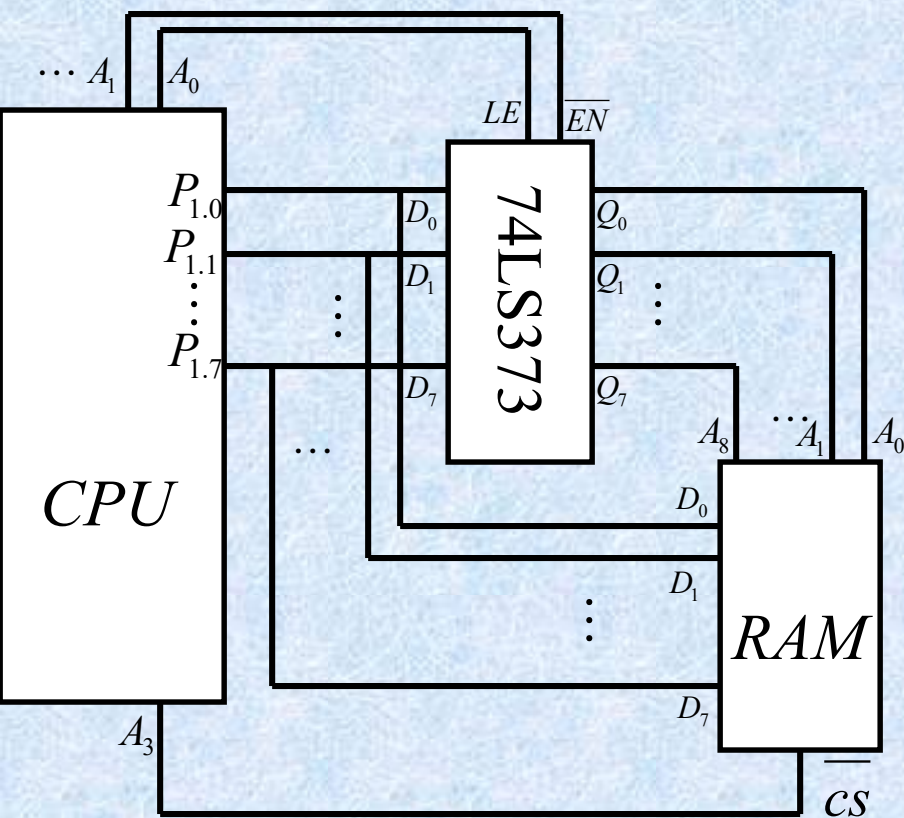


引脚图

**LE** 高电平时，透明畅通；低电平时，锁存  
具有三态输出功能且低电平使能







这是一个CPU和RAM之间进行信息读取的硬件电路，CPU的地址低二位A1、A0控制373进行数据存入或读出，373作RAM的地址锁存用，数据读取具体操作如下：

① CPU地址 $A_1A_0=10$ ，CPU的 $P_1$ 口送出一个数据，然后 $A_1A_0=01$ ，这时CPU送出的数

据被锁存在373中，该数据成为RAM的读写地址

② CPU对该地址中的具体内容进行写入或读出操作，当CPU的 $A_2=0$ ，读出RAM中的信息传输到CPU，当 $A_2=1$ 时，CPU中的信息存入RAM（上图中未给出该信号连接）

**这种操作只须二条指令即可**

## 例：分析理解

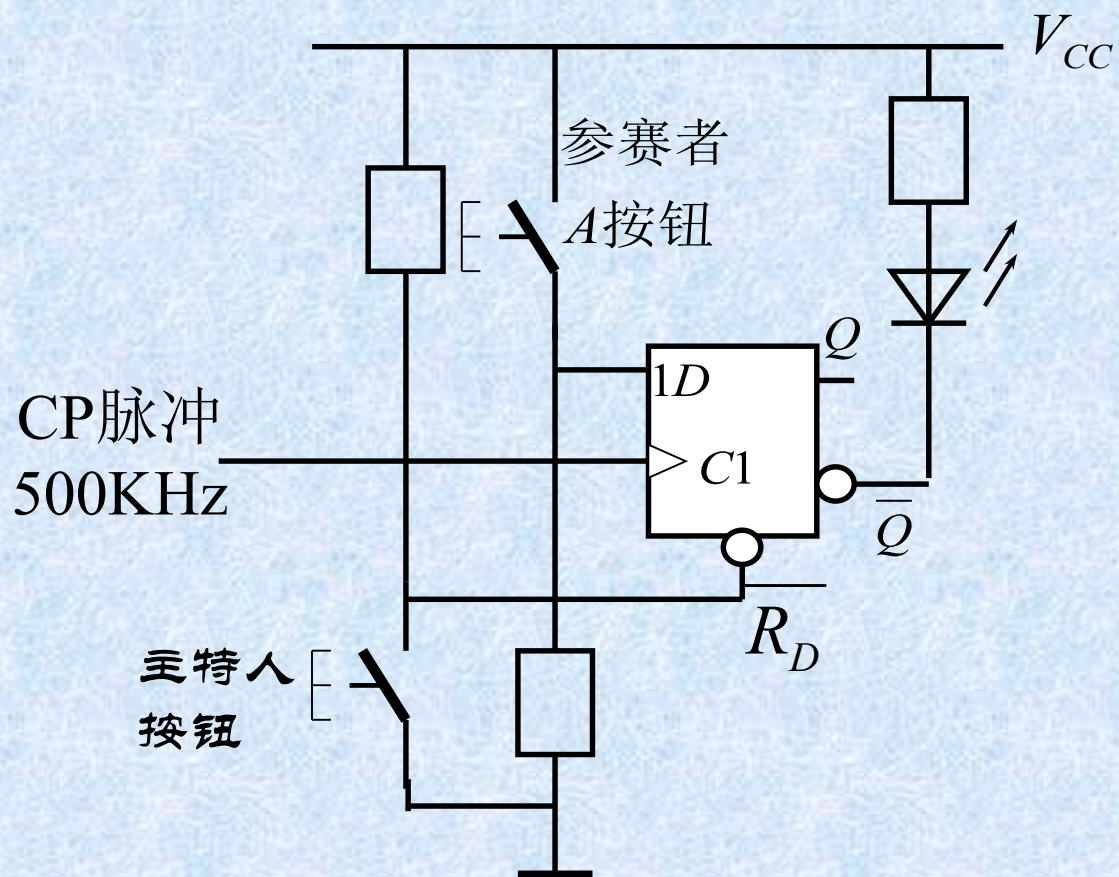
应用数码寄存器74HC175（实际上是一片四D触发器）设计一个四人抢答逻辑电路。

具体要求如下：(1) 每个参赛者控制一个按钮，用按动按钮发出抢答信号。

(2) 竞赛主持人用另一个按钮，用于将电路复位。

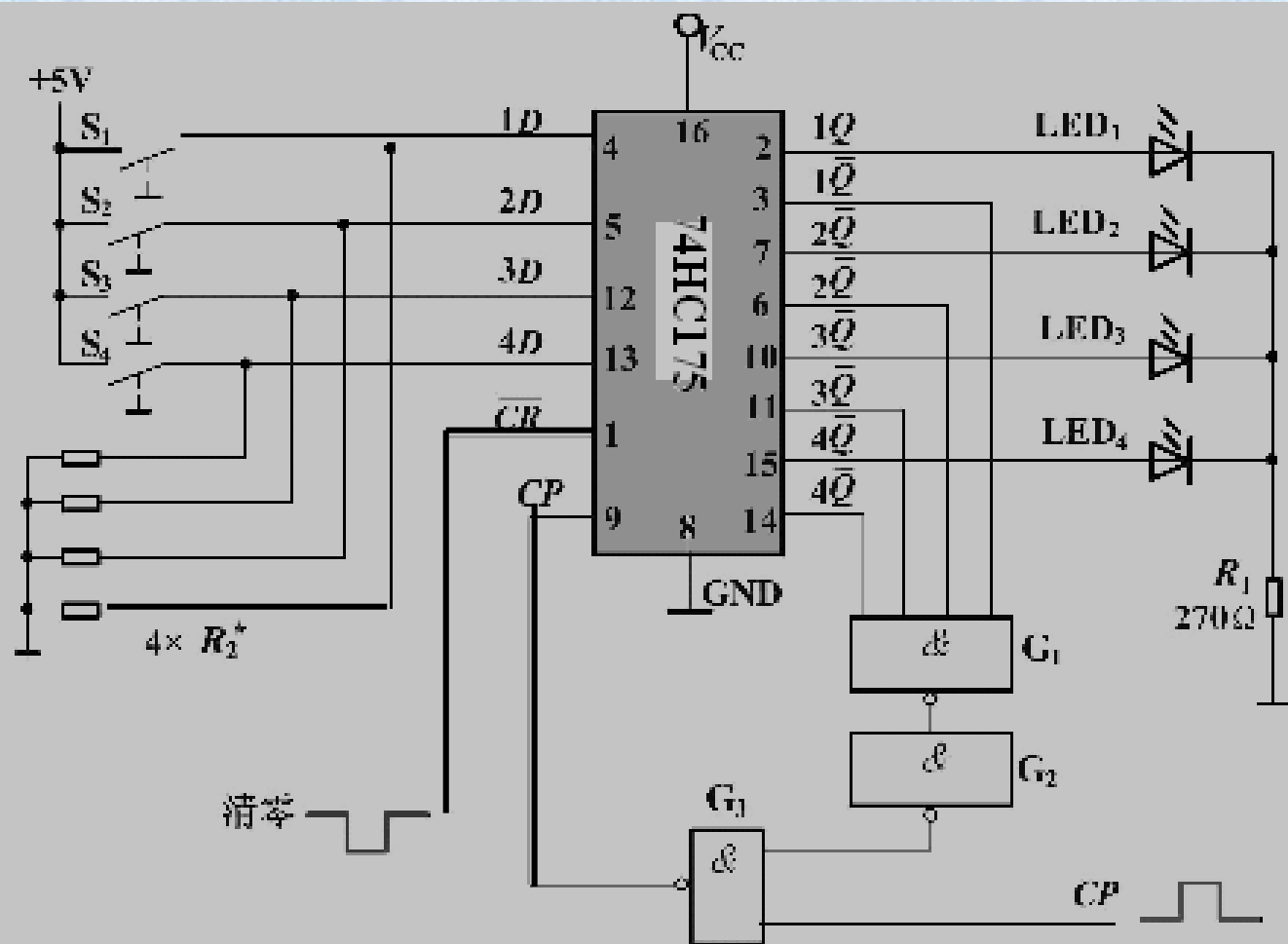
(3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后，其它三人再按动按钮对电路不起作用。

解：D端和复位端的数据通过开关接地或接高电平实现，四个参赛者分别控制一个触发器，四个D触发器的CP连在一起，由一个高频脉冲信号触发，输出端接发光二极管指示抢答成功与否。主持人开关控制四个触发器的复位端，作为总清零用，其电路如图所示。



抢答电路  
其中之一





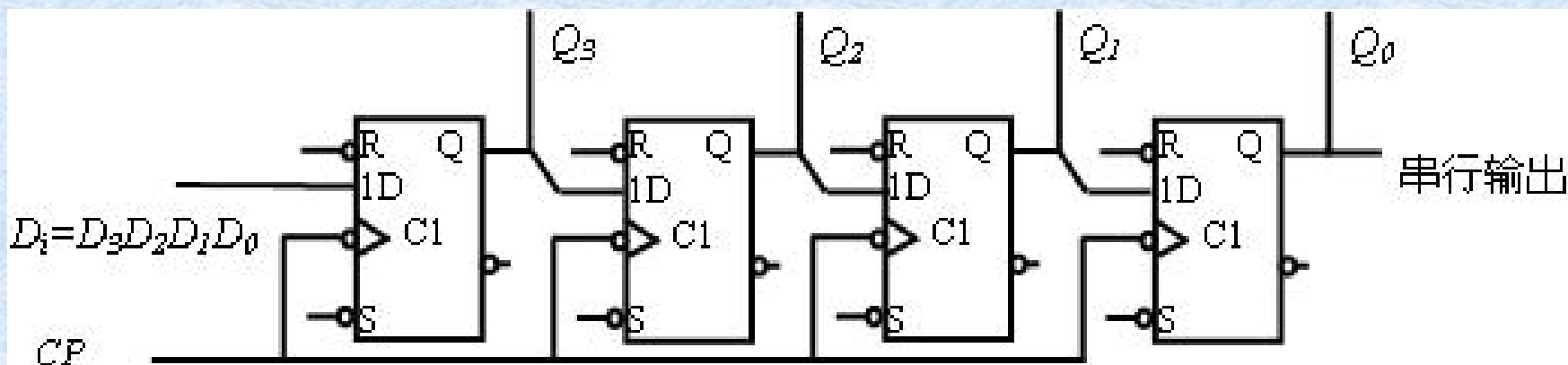


## 3.2.2 集成移位寄存器

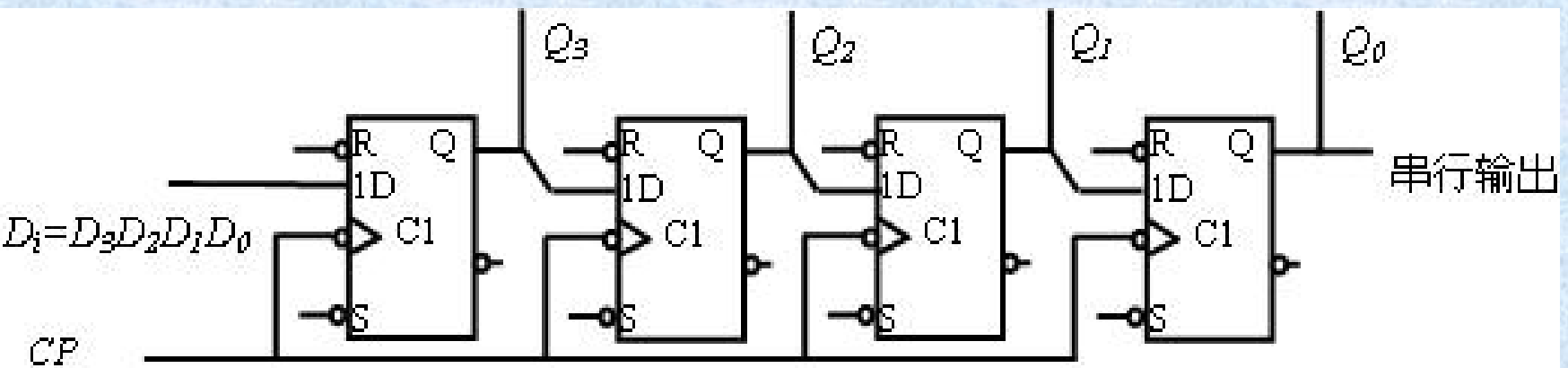
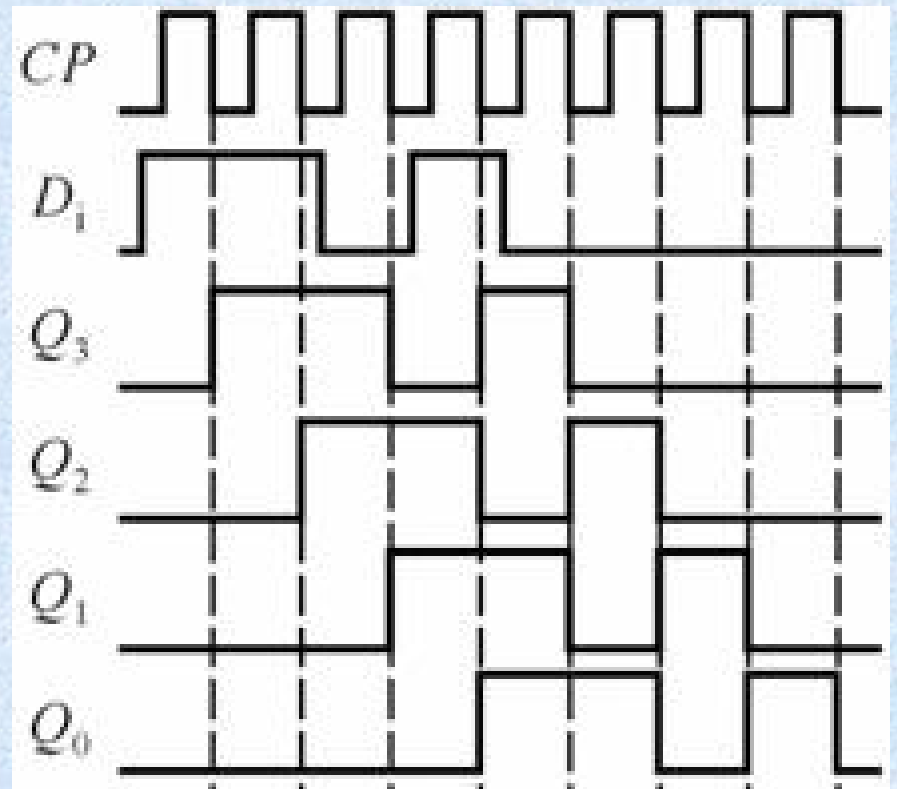
移位寄存器除能寄存二进制信息以外，还能对存入的信息在时钟脉冲的作用下进行移位操作

### 1. 单向移位寄存器

四位右向移位寄存器的逻辑电路：



例如，要寄存1011四位数据时，D0位数据先行，每加一位数据送一个CP脉冲，第4个CP下降沿后，四位数据1011存入了数码寄存器中。



该移位操作**从空间方向讲**：是右向移位寄存器，  
**从数据的高低位讲**：是高位依次向低位移位；

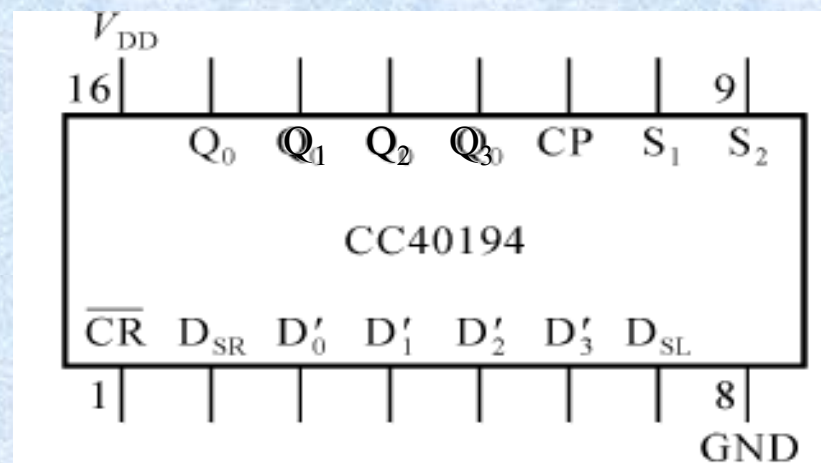
所以，通常**右移**是指：高位依次向低位移位，  
即每移动一位相当于 $\div 2$  ( $\times 2^{-1}$ )；

而**左移**是指：低位依次向高位移位操作，即每  
左移一位相当于 $\times 2^1$ ；

## 2、双向移位寄存器：

在控制信号的控制下，信息可以从右向或从左向存入并实现移位操作。

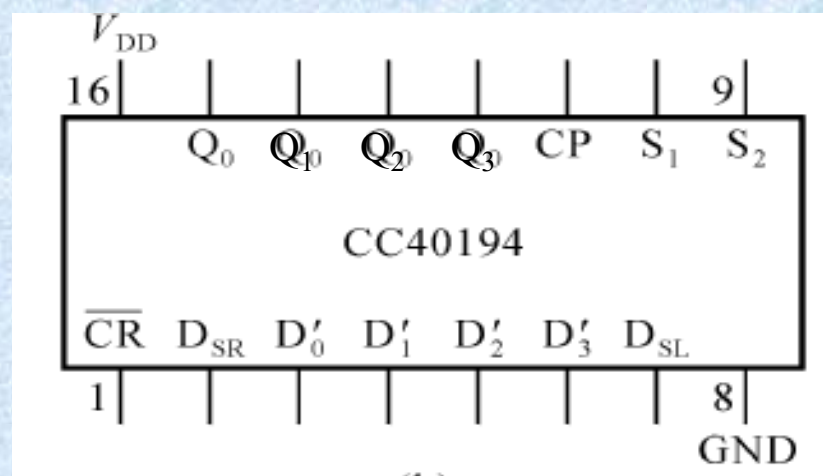
图示是一个CMOS的双向移位寄存器HCC40194型的逻辑电路图。



引脚排列图

集成双向移位寄存器 CC40194 的功能表

输入					输出	功能
$\overline{CR}$	CP	$S_2 S_1$	$D_{SR} D_{SL}$	$D_3 D_2 D_1 D_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	
0	X	XX	XX	XXXX	0000	清零
1	0	XX	XX	XXXX	$Q_3 Q_2 Q_1 Q_0$	异步保持
1	$\uparrow$	11	XX	DCBA	DCBA	并行输入
1	$\uparrow$	00	XX	XXXX	$Q_3 Q_2 Q_1 Q_0$	同步保持
1	$\uparrow$	01	DX	XXXX	$D Q_3 Q_2 Q_1$	右移(高 $\rightarrow$ 低)
1	$\uparrow$	10	XD	XXXX	$Q_2 Q_1 Q_0 D$	左移(低 $\rightarrow$ 高)





$S_2S_1$ 是四选一的地址控制。

$S_2S_1=00$ ，为保持；  $S_2S_1=01$ ，右移；

$S_2S_1=10$ ，左移；  $S_2S_1=11$ ，并行存数。

我们可以写出一位触发器的D端函数后，其它三位按理推出。如最高位 $1D_3$ 。

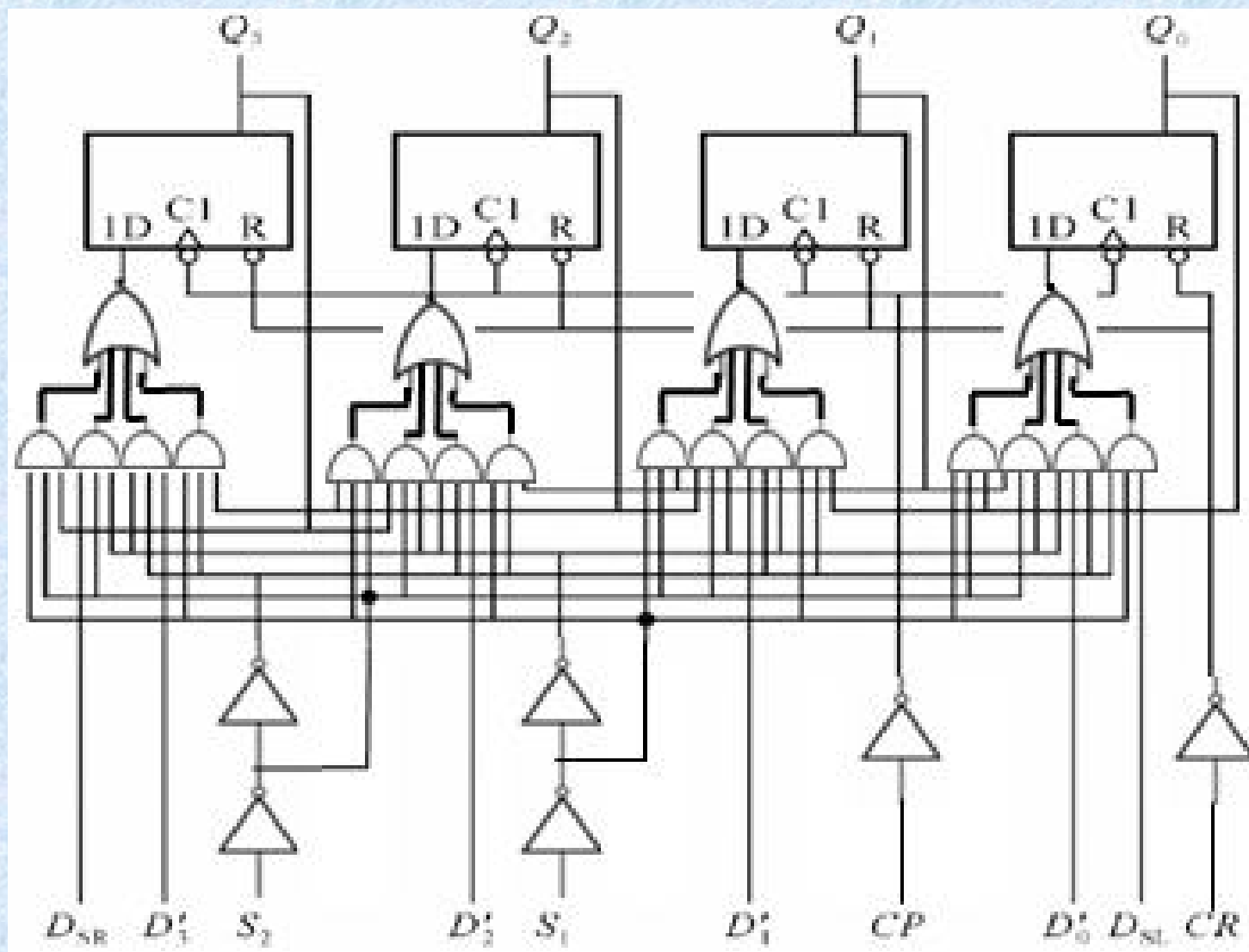
$$1D_3 = \overline{S_2}\overline{S_1}Q_3^n + \overline{S_2}S_1D_{SR} + S_2\overline{S_1}Q_2^n + S_2S_1D_3'$$

$$1D_2 = \overline{S_2}\overline{S_1}Q_2^n + \overline{S_2}S_1Q_3^n + S_2\overline{S_1}Q_1^n + S_2S_1D_2'$$

$$1D_1 = \overline{S_2}\overline{S_1}Q_1^n + \overline{S_2}S_1Q_2^n + S_2\overline{S_1}Q_0^n + S_2S_1D_1'$$

$$1D_0 = \overline{S_2}\overline{S_1}Q_0^n + \overline{S_2}S_1Q_1^n + S_2\overline{S_1}D_{SL} + S_2S_1D_0'$$

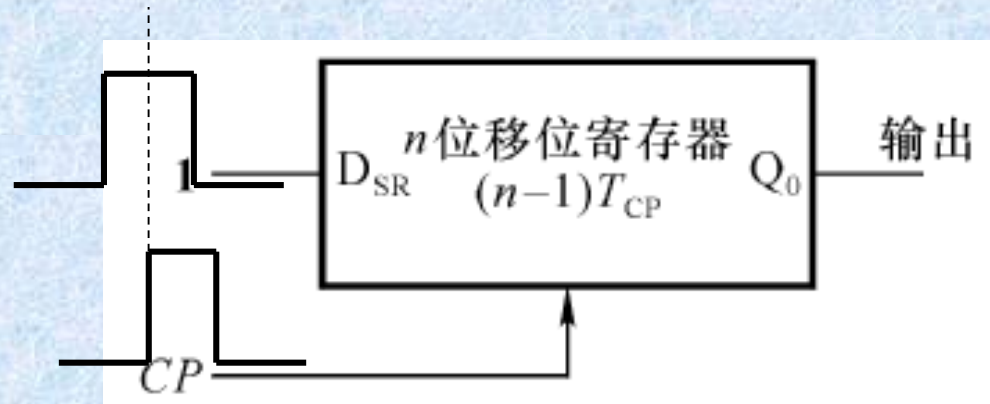
四个D触发器的D端信息由四选一的选择器决定



### 3、移位寄存器的应用举例

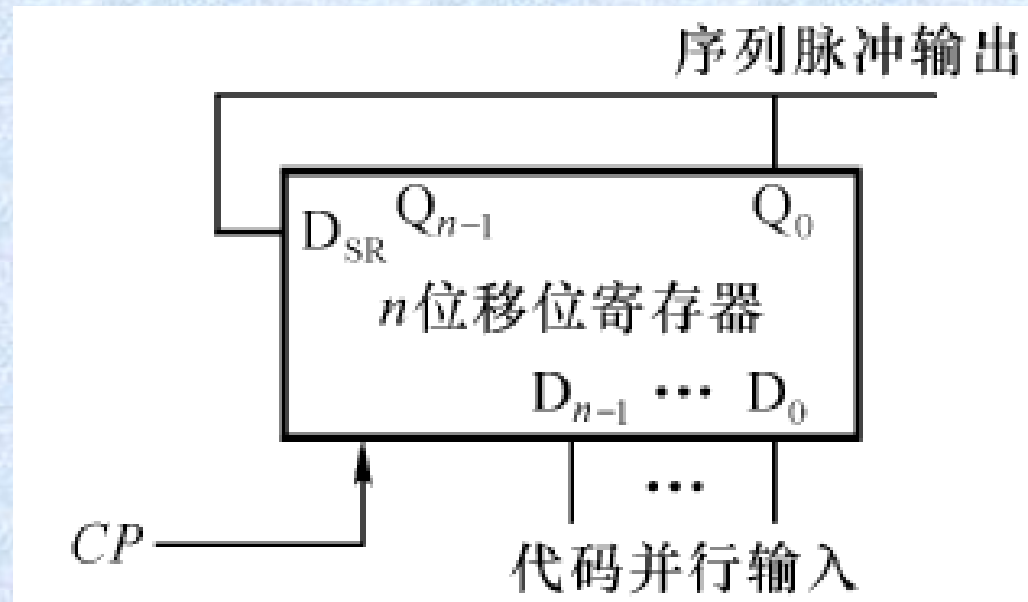
#### (1) 数字延迟线

$n$ 位的移位寄存器连接成右移串行输入模式,先在右移串行输入端加一个高电平脉冲, CP上升沿到达后, 将高电平存入 $n$ 位中的最高位, 然后, 经过 $(n-1)$ 个CP周期, 该高电平出现在输出 $Q_0$ , 实现了延迟的目的。

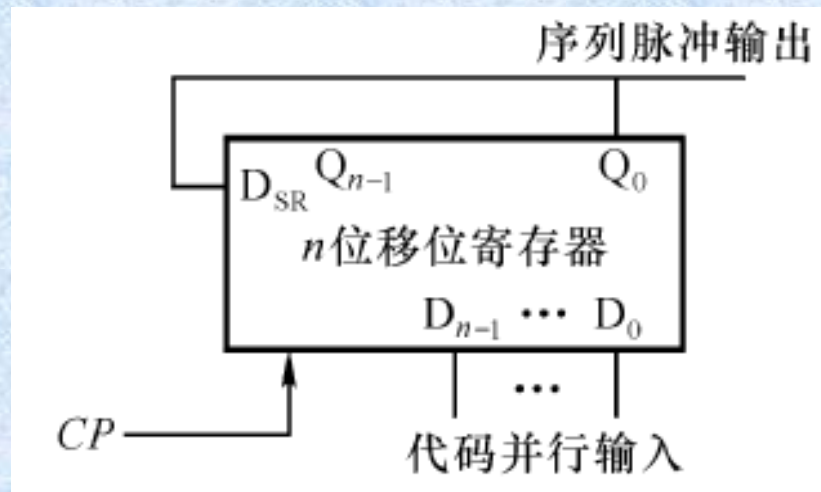
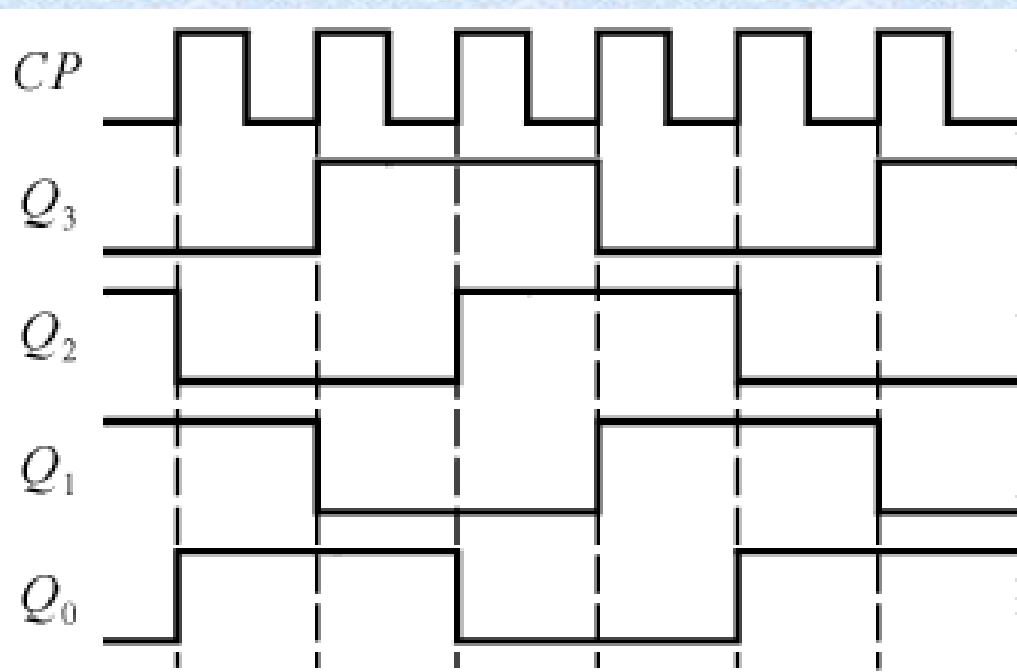


## (2) 产生序列脉冲

$n$ 位的移位寄存器连接成循环右移模式，如图，并行输入序列代码数据后，该序列就在移位寄存器中循环移位，产生一系列脉冲。如以四位为例子，并行存入0110序列代码后，序列脉冲波形如图所示。



循环右移模式。并行存入0110序列代码后，序列脉冲波形





### \* (3) 构成乘法器电路

乘法器的符号位用二个乘数的符号位异或实现，所以，乘法用原码运算最方便。

令被乘数为  $A = A_S A_{n-1} A_{n-2} \cdots A_1 A_0$

令乘数为：  $B = B_S B_{m-1} B_{m-2} \cdots B_1 B_0$

两数值部分相乘有：

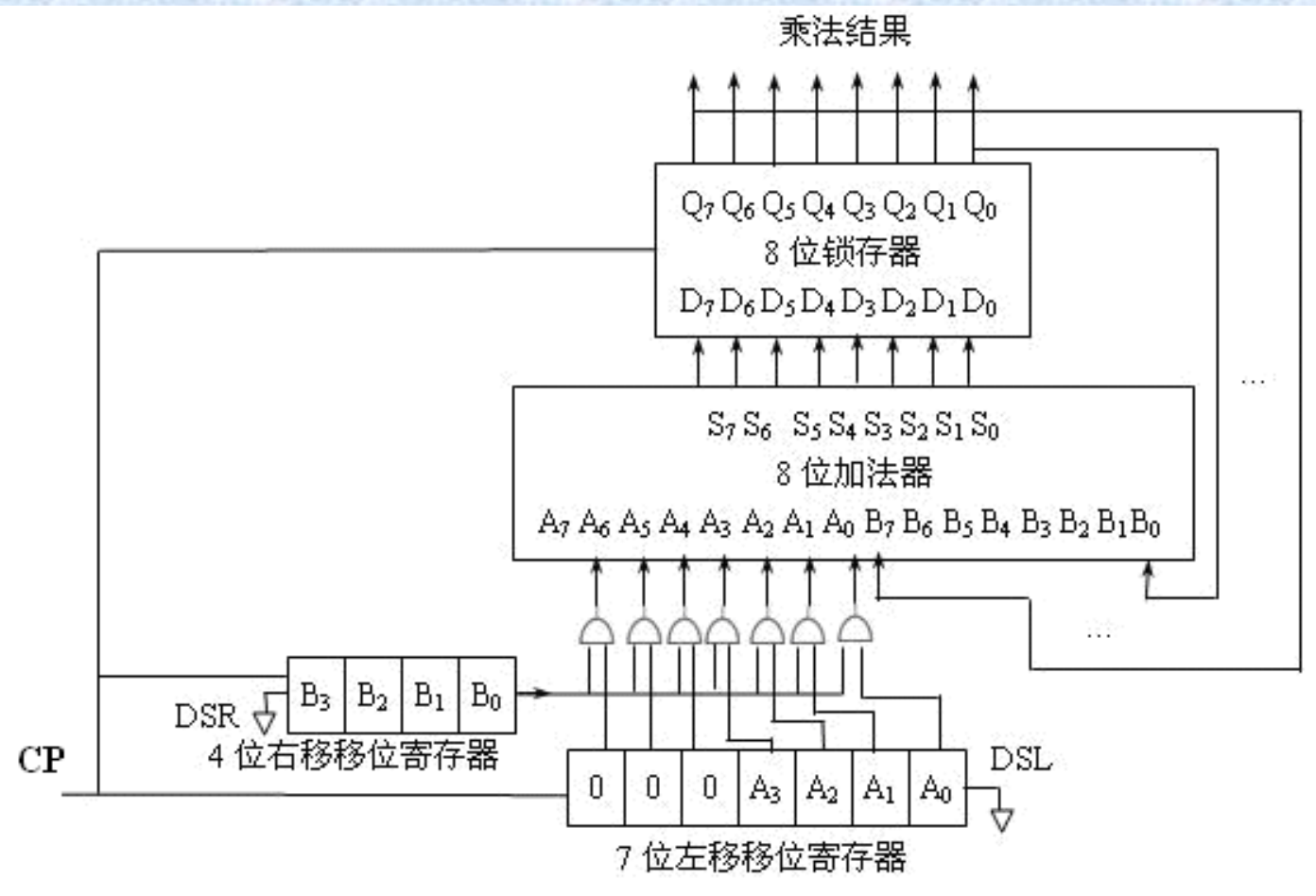
$$\begin{aligned} |Y| &= |A| \cdot |B| = |A| \cdot (B_{m-1} \cdot 2^{m-1} + B_{m-2} \cdot 2^{m-2} + \cdots + B_1 \cdot 2^1 + B_0 \cdot 2^0) \\ &= B_0 \cdot |A| \cdot 2^0 + B_1 \cdot |A| \cdot 2^1 + \cdots + B_{m-1} \cdot |A| \cdot 2^{m-1} \end{aligned}$$

式中的  $2^0$ 、 $2^1$ 、 $\dots$ 、 $2^{m-1}$  分别表示不移位、左移一位，二位， $\dots$ ， $m-1$  位。这表明，乘积的数值等于被乘数左移和相加二部分操作完成。

例如：A=-1010 ， B=+0110相乘；积的符号位为两乘数符号位异或，乘积部分有：1010×0110

$$\begin{array}{r}
 1010 \\
 0110 \\
 \hline
 0000 \\
 1010 \\
 1010 \\
 +0000 \\
 \hline
 111100
 \end{array}
 \begin{array}{l}
 \longrightarrow |A| \cdot B_0 \cdot 2^0 \\
 \longrightarrow |A| \cdot B_1 \cdot 2^1 \\
 \longrightarrow |A| \cdot B_2 \cdot 2^2 \\
 \longrightarrow |A| \cdot B_3 \cdot 2^3
 \end{array}
 \left. \vphantom{\begin{array}{l} \longrightarrow |A| \cdot B_0 \cdot 2^0 \\ \longrightarrow |A| \cdot B_1 \cdot 2^1 \\ \longrightarrow |A| \cdot B_2 \cdot 2^2 \\ \longrightarrow |A| \cdot B_3 \cdot 2^3 \end{array}} \right\} \text{部分乘积}$$

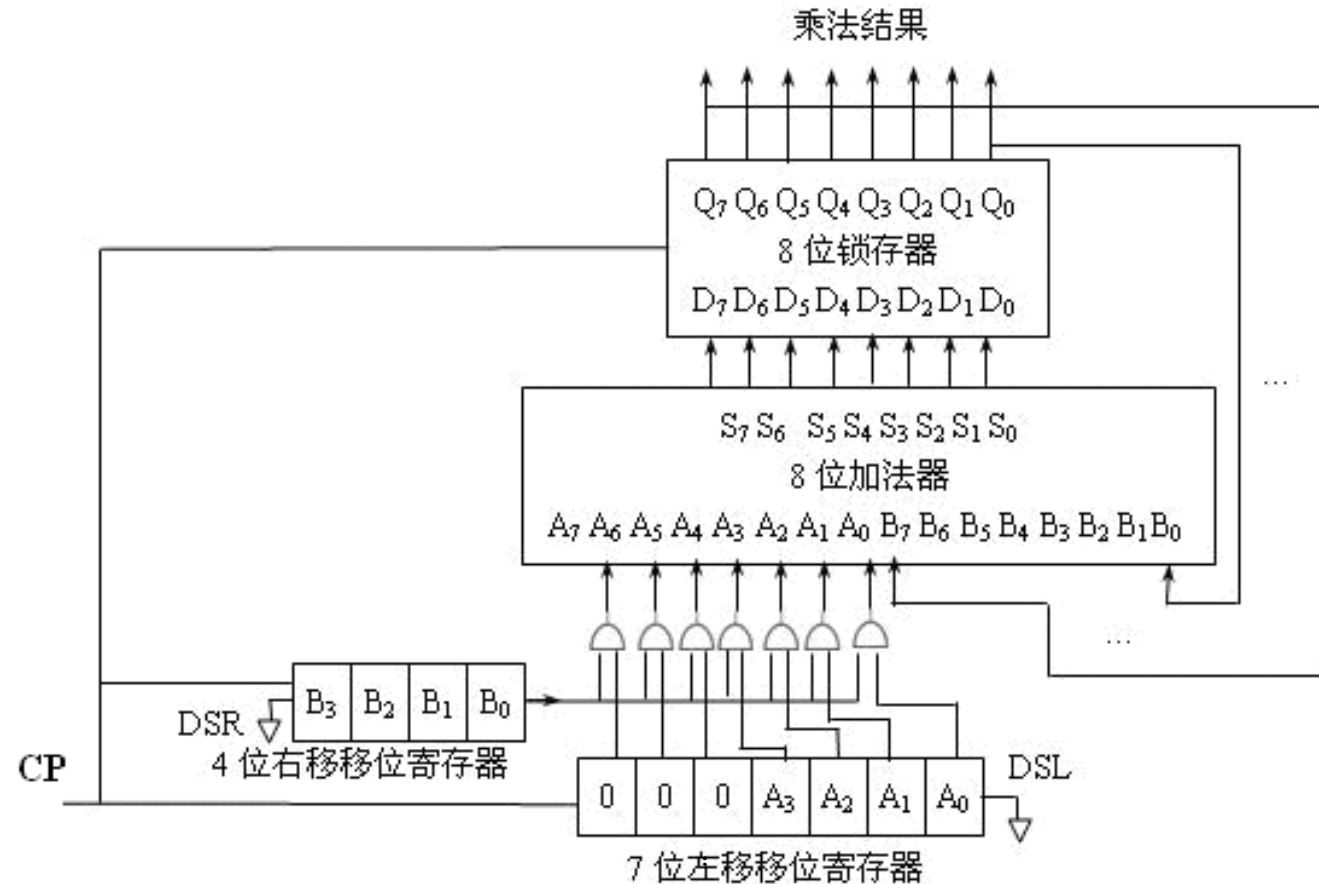
# 用移位寄存器构成的四位无符号数的二进制乘法器的逻辑电路图



首先，**CP脉冲未加入前**，将8位乘积锁存器置于初始状态00000000，两个移位寄存器经与门后计算  $(A \times 2^0) \times B_0$

8位二进制加法器计算  $SUM_0 = (A \times 2^0) \times B_0 + 00000000$

其结果出现在8位锁存器的输入端



**第1个CP脉冲加入后**，第1次的部分乘积  $SUM0$  被锁存器锁存，

乘数和被乘数经7个与门计算  $(A \times 2^1) \times B_1$

8位加法器计算后，得到第二次部分乘积  $SUM1 = (A \times 2^1) \times B_1 + SUM0$

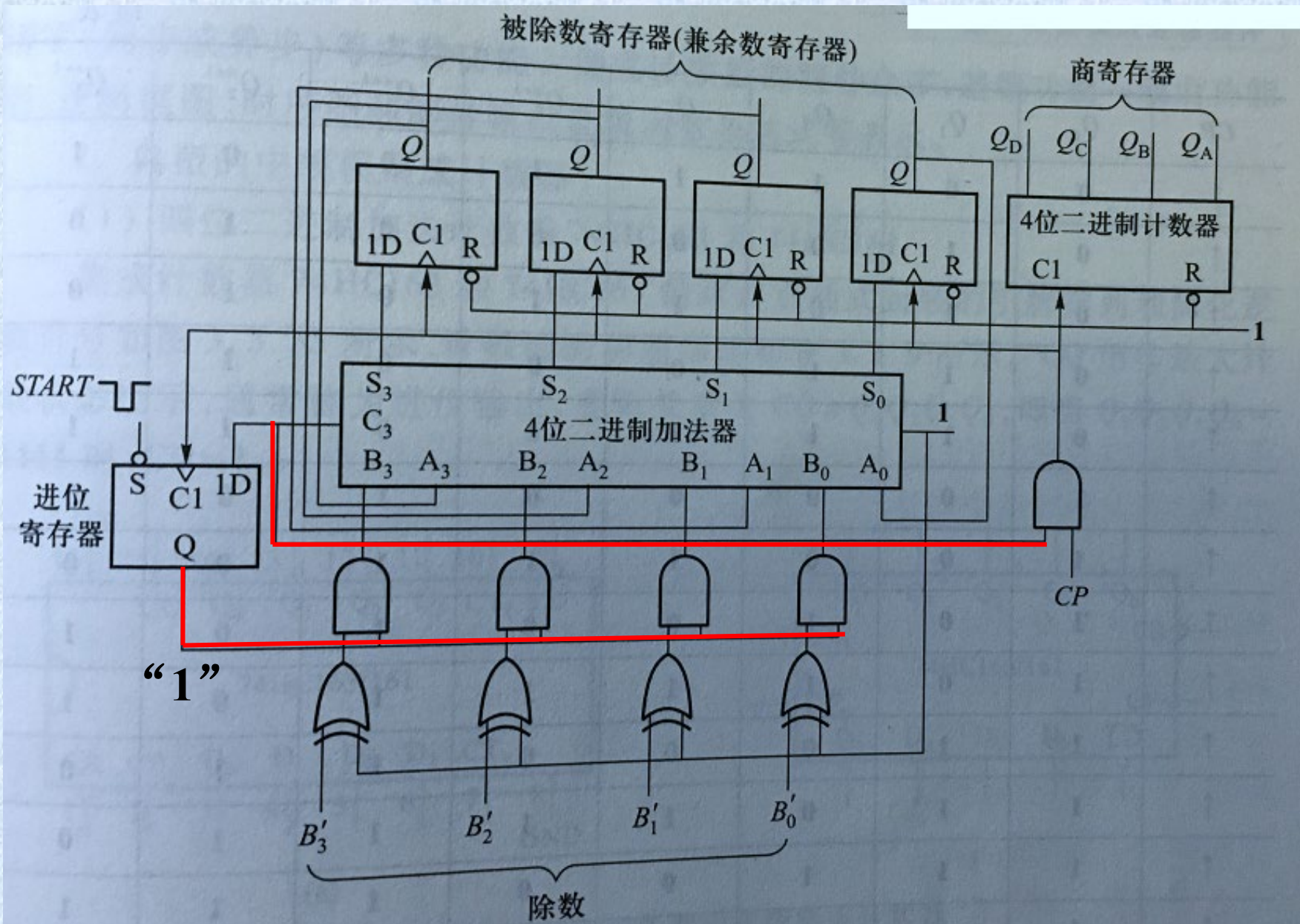


## \* (4) 构成除法器

### 工作原理说明:

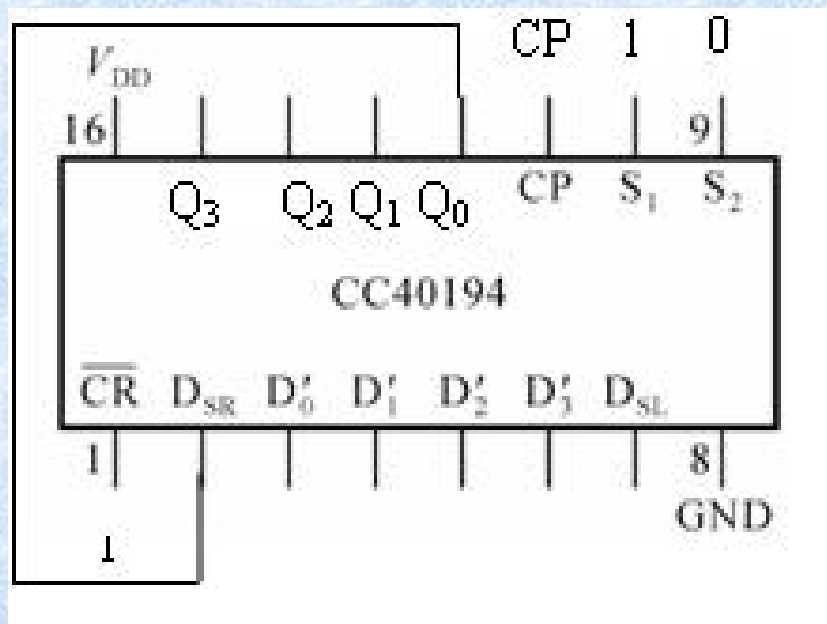
除法是通过一系列的重复减法来完成的。从被除数中不断的减去除数，所减的次数就是商，剩下的值就是余数。余数为零，即能整除，余数不为零时，不能整除。





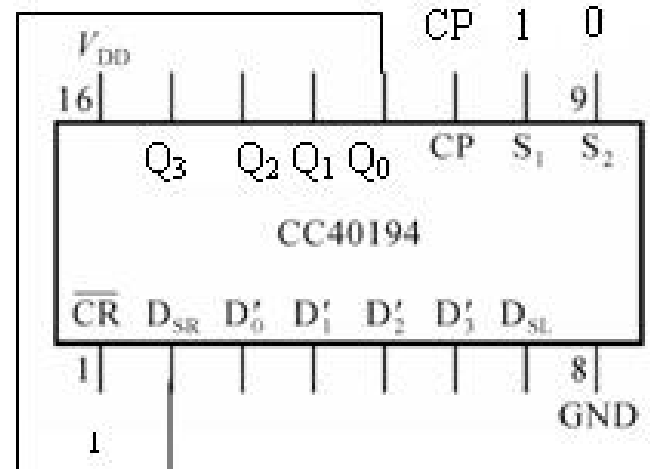
## (5) 移位寄存器型计数器

采用CC40194构成的环形计数器，CC40194工作设置在串入右移状态。



4 位环形计数器真值表

CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
↑	0	0	0	0	0	0	0	0
↑	0	0	0	1	1	0	0	0
↑	0	0	1	0	0	0	0	1
↑	0	0	1	1	1	0	0	1
↑	0	1	0	0	0	0	1	0
↑	0	1	0	1	1	0	1	0
↑	0	1	1	0	0	0	1	1
↑	0	1	1	1	1	0	1	1
↑	1	0	0	0	0	1	0	0
↑	1	0	0	1	1	1	0	0
↑	1	0	1	0	0	1	0	1
↑	1	0	1	1	1	1	0	1
↑	1	1	0	0	0	1	1	0
↑	1	1	0	1	1	1	1	0
↑	1	1	1	0	0	1	1	1
↑	1	1	1	1	1	1	1	1



简单的自启动设计是通过并行输入，在上电后将移位寄存器的状态强制置成主循环中的某个状态

