

第2章 数字电路中的基本门电路

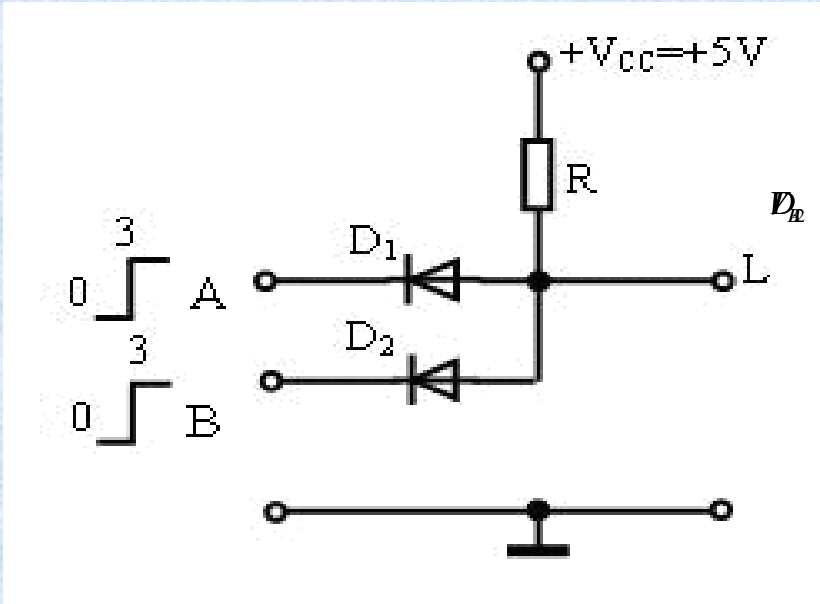
- 2.1 集成逻辑门电路的一般特性
- 2.2 CMOS集成门电路
- 2.3 TTL集成门电路
- 2.4 集成门电路的实际应用问题

◆ 半导体器件的开关特性和开关电路（回顾）

（一） 半导体二极管的开关特性和开关电路

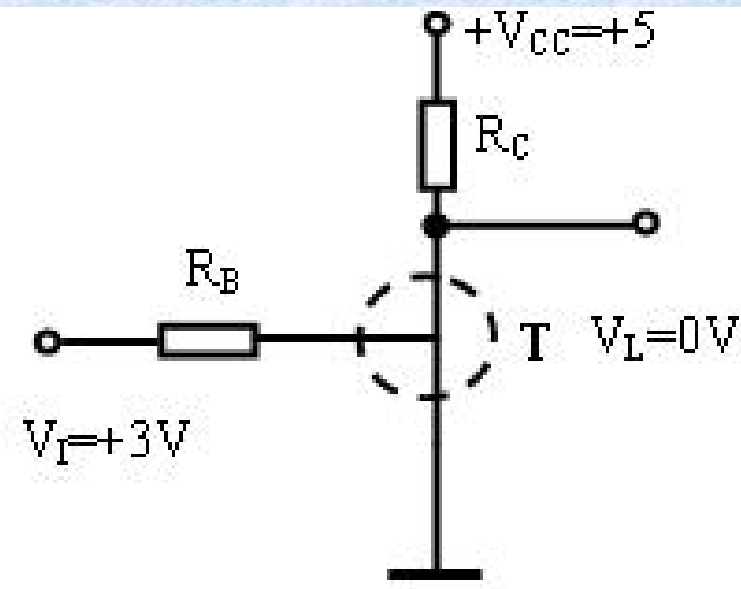
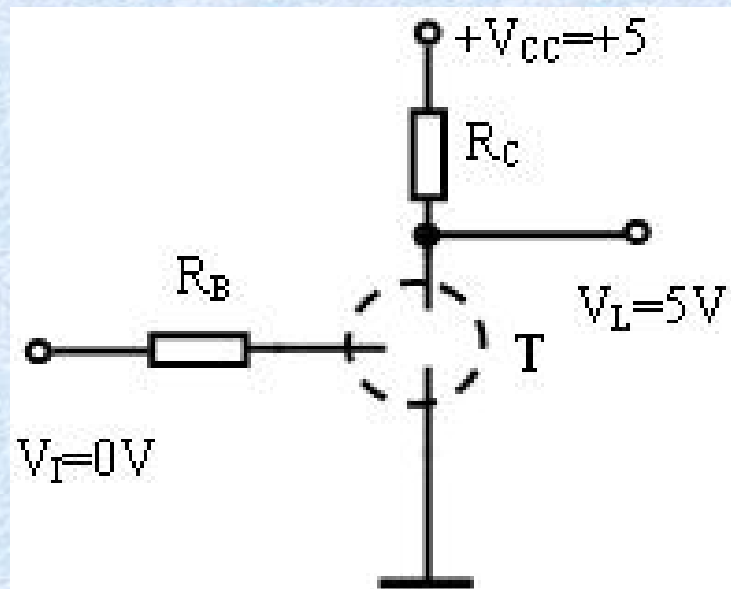
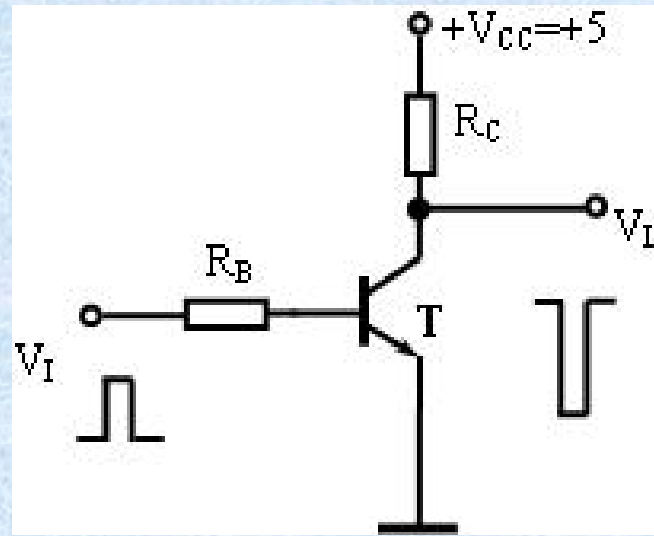


“与”逻辑功能的二极管电路

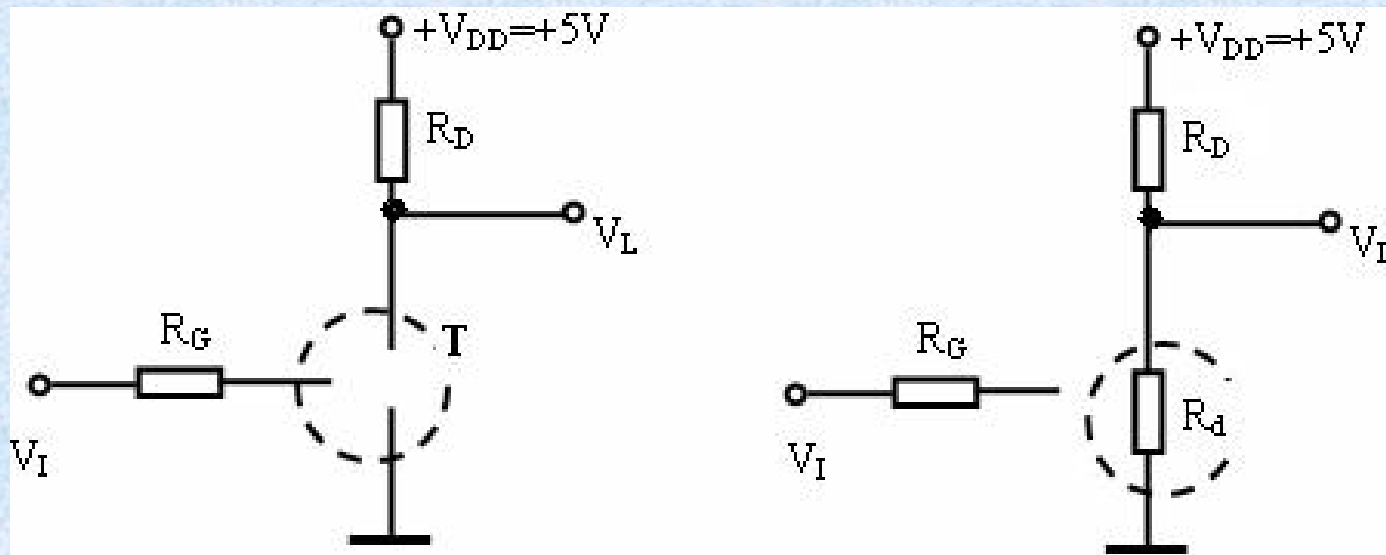
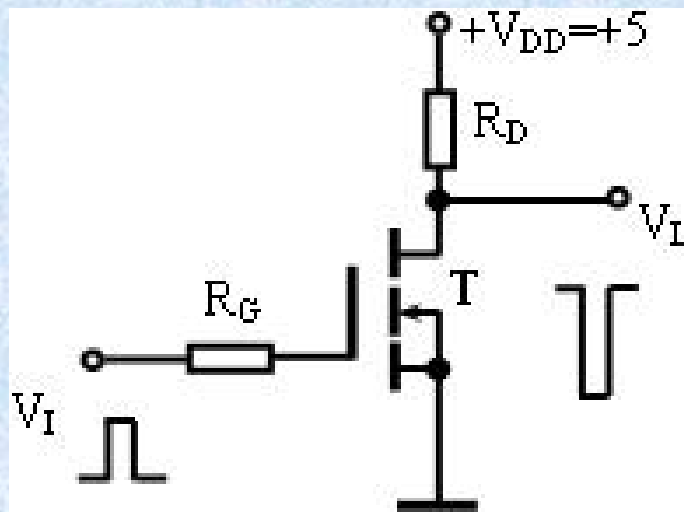


输入电压组合(V)		二极管工作状态		输出结果电压(V)
V_A	V_B	D_1	D_2	V_L
0	0	导电	导电	0
0	3	导电	截止	0
3	0	截止	导电	0
3	3	导电	导电	3

(二) 晶体三极管的开关特性和开关电路

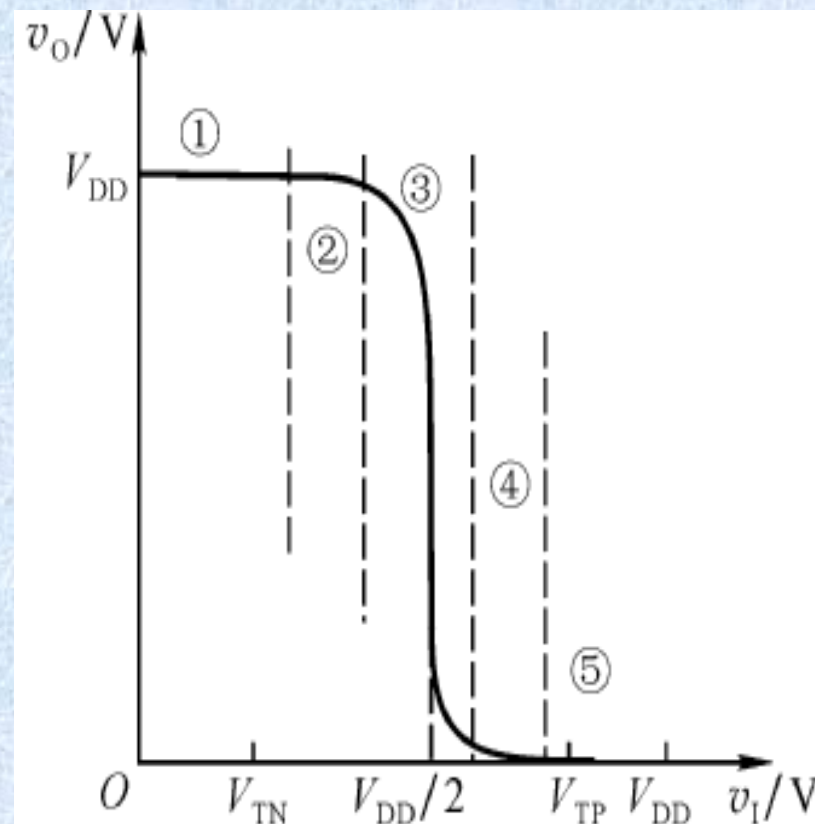
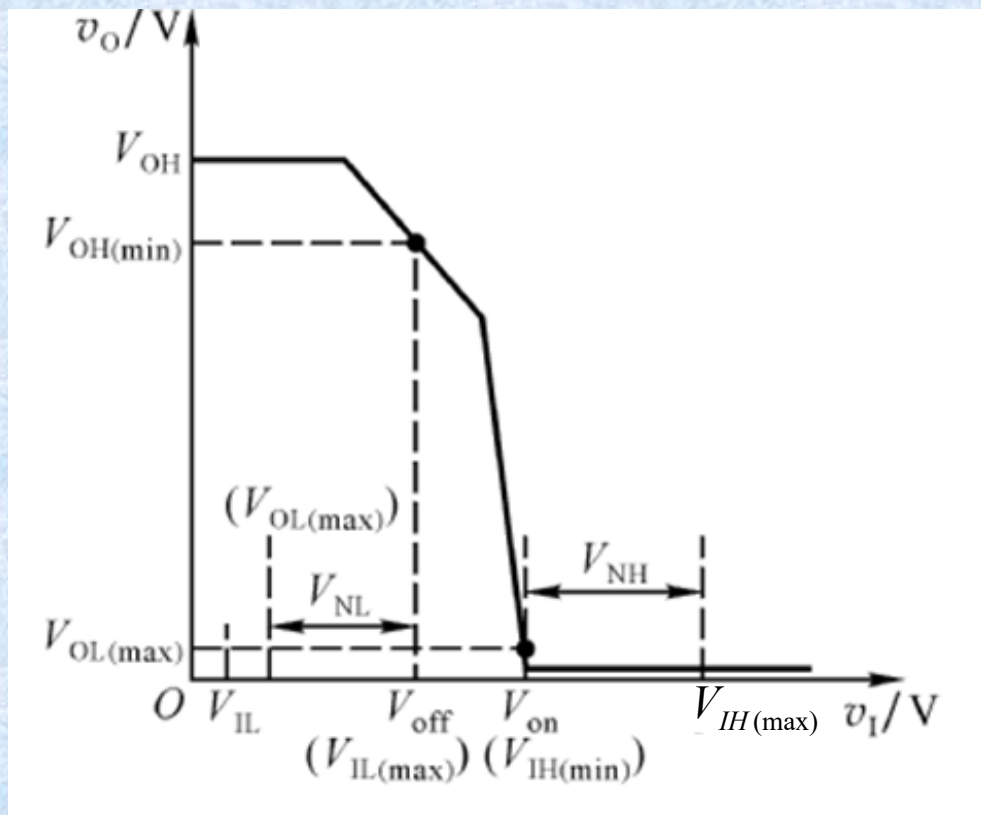


(三) MOSFET管的开关特性和开关电路



2.1 集成门电路的一般特性

(一) 电压传输特性



TTL和CMOS门电路电压传输特性

- ◆ **TTL** (Transistor—Transistor—Logic) 门电路是指电路由晶体管—晶体管组成的逻辑门电路。它是目前尚大量使用的一种中、小规模集成电路
- ◆ **CMOS** 是用NMOS和 PMOS组成的互补型的MOS电路。它在集成度、功耗、输出高低电平等方面，都比TTL优越，是目前集成电路的主流产品

(二) 输入和输出逻辑电平

种类 电平 V		CMOS 门电路 (+5V 电源)	TTL 门电路 (+5V 电源)
输出 电平	V_{OH}	5V	3.4V
	V_{OL}	0V	0.3V
输入 电平	V_{IH}	$>2.0V$	$>1.4V$
	V_{IL}	$<1.5V$	$<0.8V$

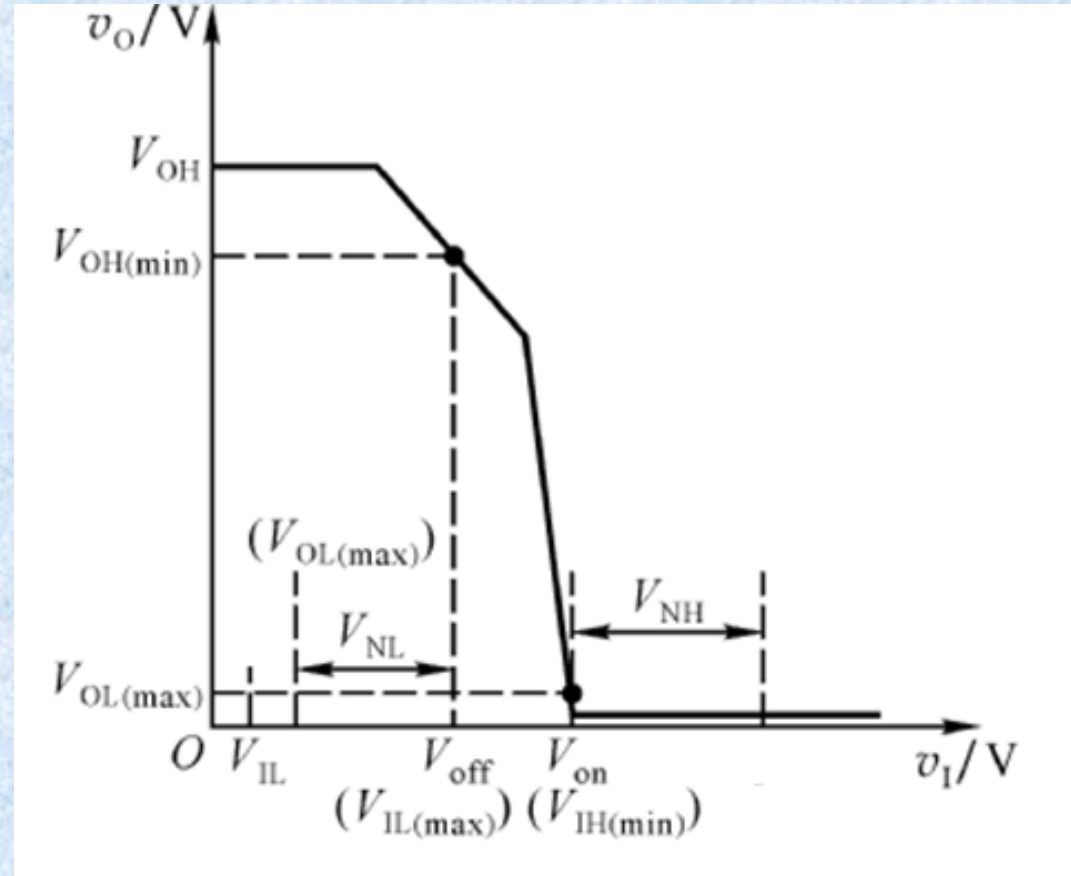
(三) 开门电平 V_{on} 和关门电平 V_{off}

输入低电平 V_{IL} :

输入低电平上限 V_{ILmax} ——关门电平 V_{Off}

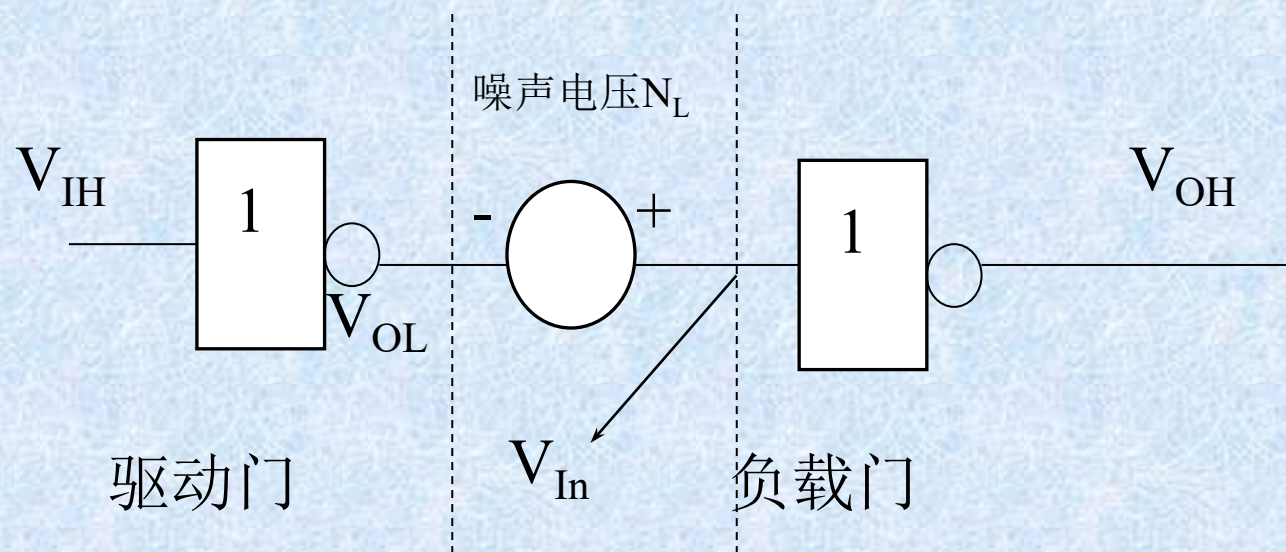
输入高电平 V_{IH} :

输入高电平下限 V_{IHmin} ——开门电平 V_{on}



(四) 输入信号噪声容限

它表征门电路的抗干扰能力强弱。在TTL驱动TTL集成门电路的情况下，串入两级门电路之间噪声电压大小分低电平输入噪声容限和高电平输入噪声容限二种情况。



$$\begin{aligned} V_{IN} &= V_{IL\max} = V_{NL} + V_{OL} \\ &= V_{NL} + V_{OL\max} \end{aligned}$$

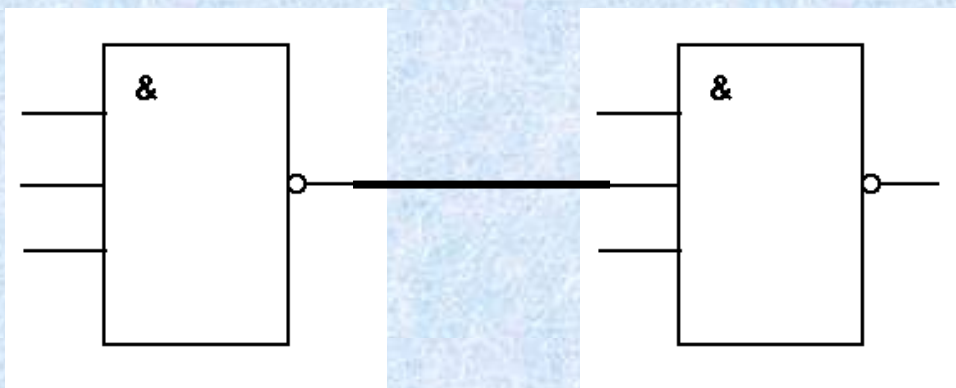
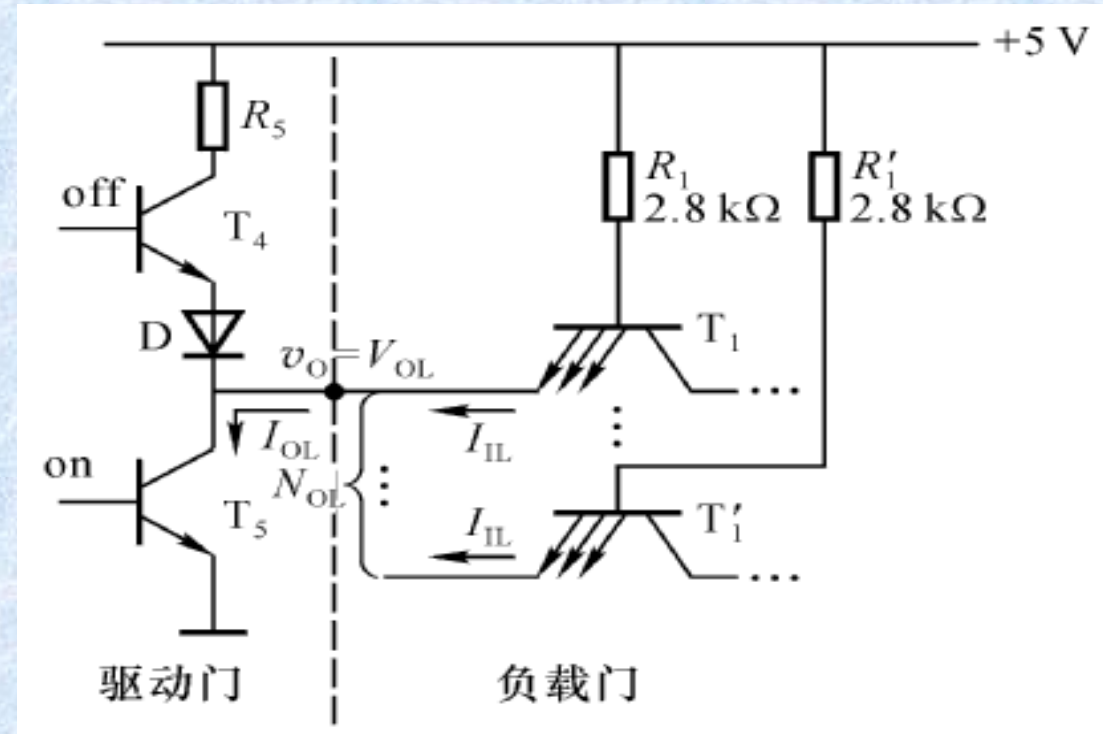
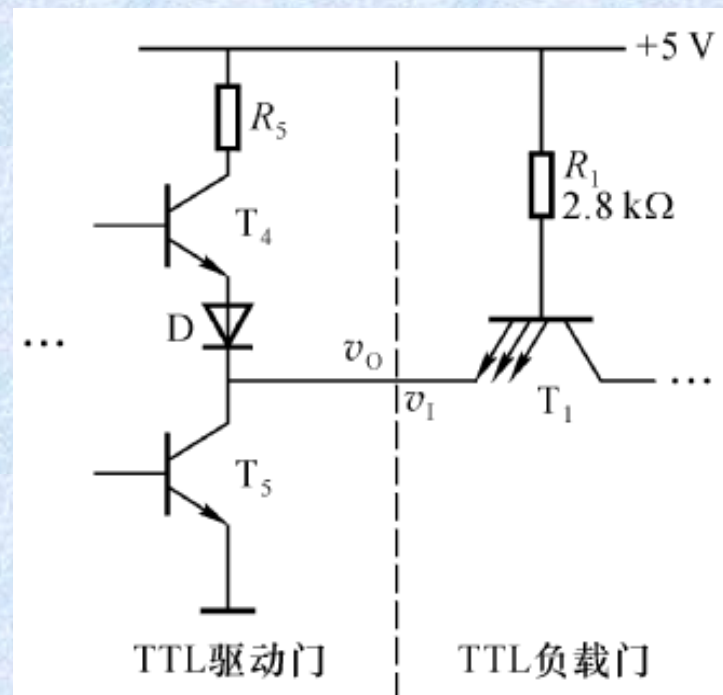
$$V_{NL} \leq V_{IL(\max)} - V_{OL(\max)}$$

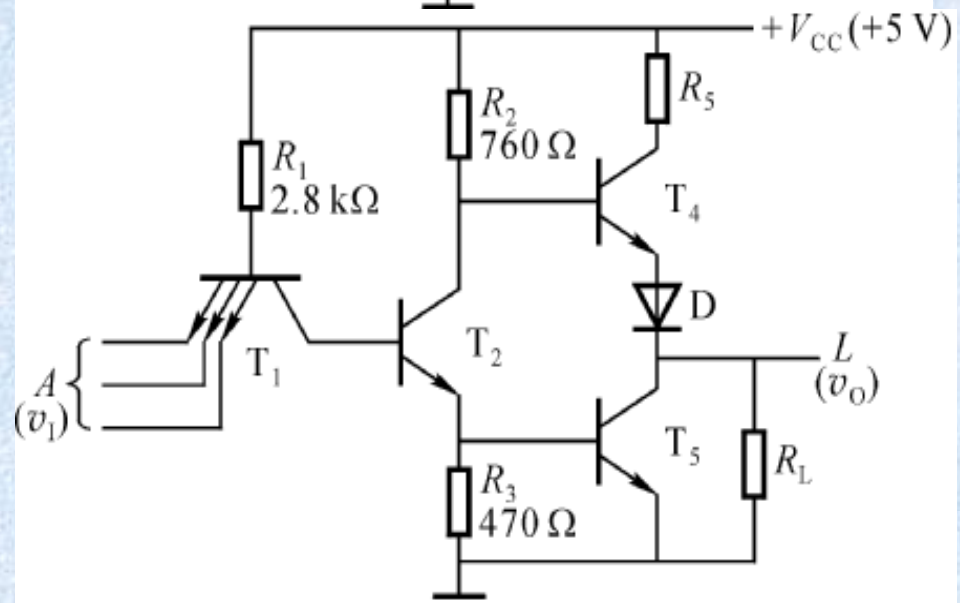
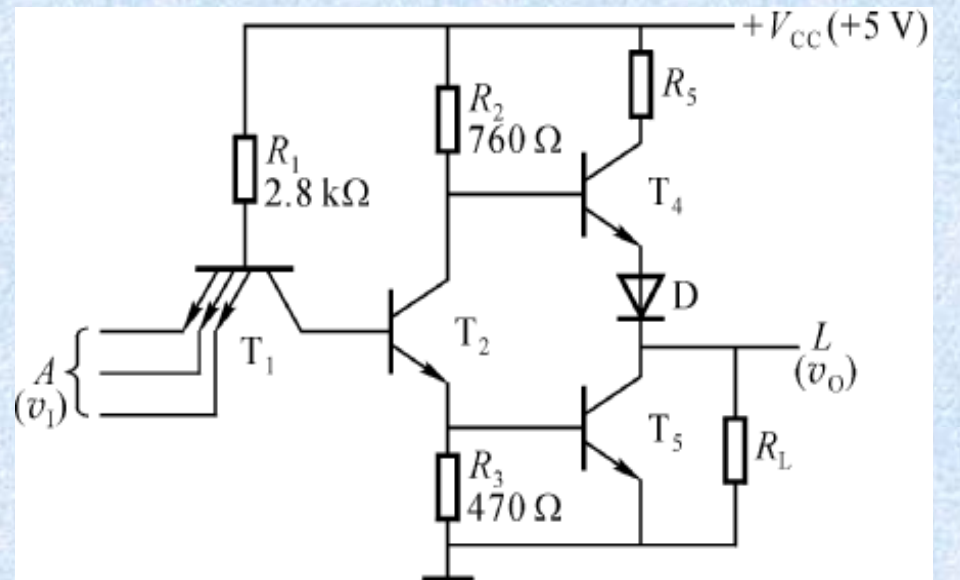
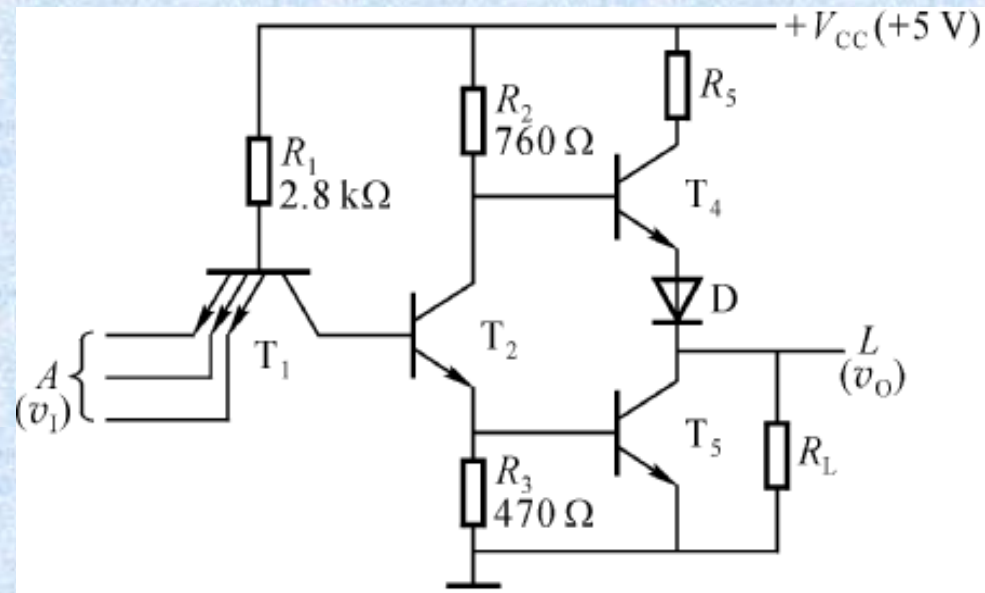
低电平输入噪声容限 V_{NL} ：—负载门输入低电平时
高电平输入噪声容限 V_{NH} ：—负载门输入高电平时

$$V_{NL} \leq V_{IL(\max)} - V_{OL(\max)}$$

$$V_{NH(\max)} \leq V_{OH(\min)} - V_{IH(\min)}$$

(五) 灌电流和拉电流负载





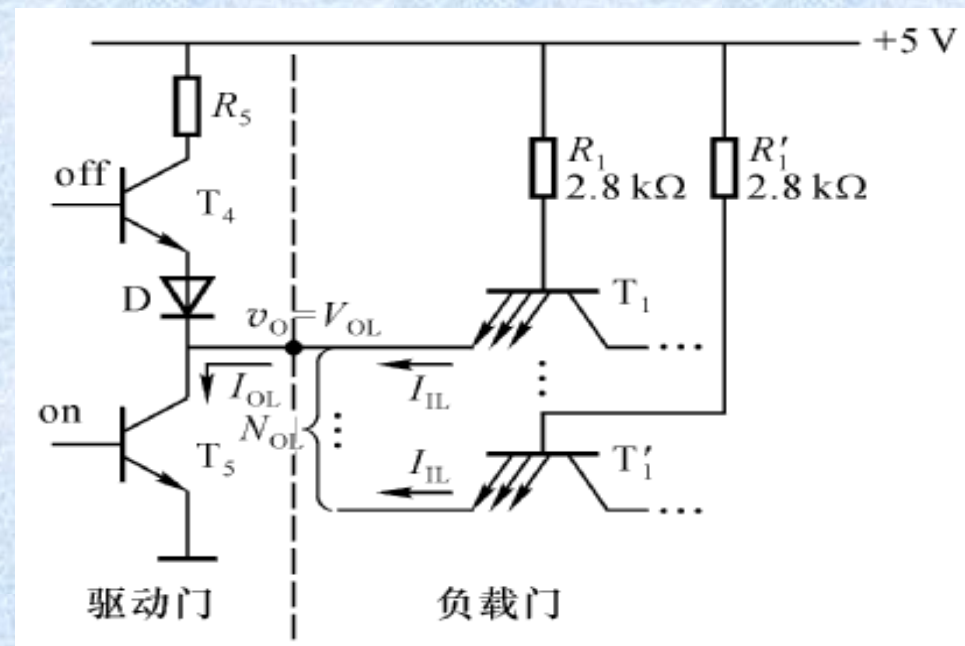
(1) 低电平输出特性—灌电流负载

驱动门输出低电平，输入低电平，负载电流流向驱动门（灌入）。

随着负载门数增加， I_{OL} 灌入的电流便增加，这促使 V_{OL} 电压升高， T_5 将由饱和趋向放大，破坏逻辑关系。

◆ 对负载应有一个限定值， V_{OL} 的上升有一个低电平上限值 V_{OLmax} 规定，使用时不超过。

驱动门数（扇出系数）由下式确定：

$$N_{OL} = \frac{I_{OLmax}}{I_{IL}} \bigg|_{V_{OLmax}}$$


(2) 高电平输出特性——拉电流负载

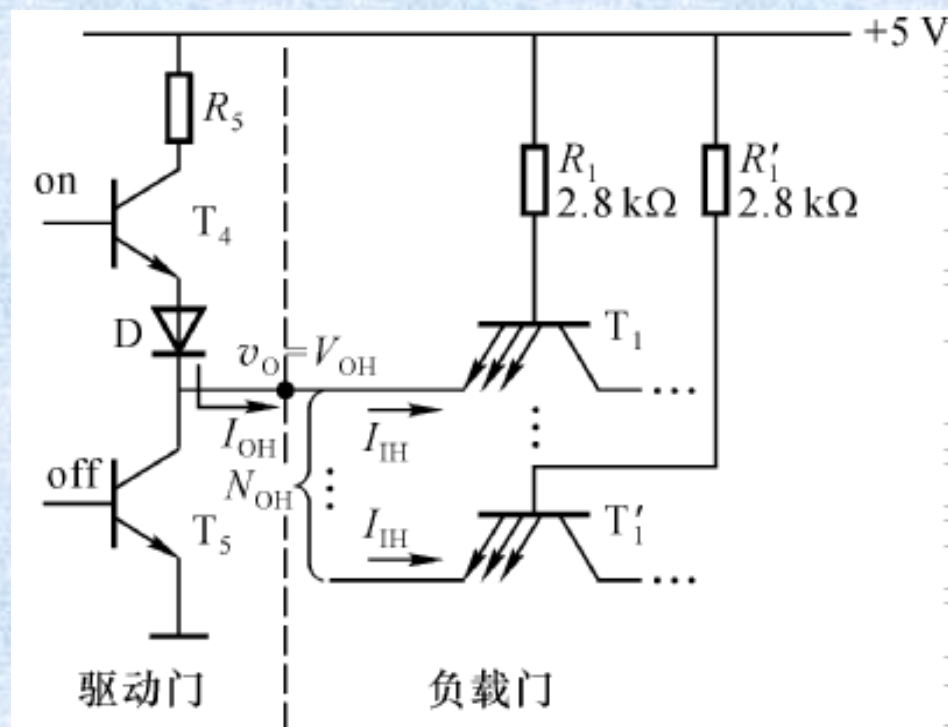
输出高电平 V_{OH} ，负载门输入高电平。负载电流从驱动门流出（拉出）。

如果负载门数增加， I_{OH} 拉出的电流便增加，这使得输出高电平电压 V_{OH} 会下降，最终破坏逻辑关系。

高电平输出时也规定了一个高电平下限值 V_{OHmin}

其负载门数为：

$$N_{OH} = \frac{I_{OHmax}}{I_{IH}} \Big|_{V_{OLmax}}$$



补充说明:

$$N_{OL} \leq \frac{I_{OL\max}}{|kI_{IL}|}$$

◆ 负载为或/或非门时，k 等于每个负载门的并联输入端数。负载为与/与非门时，k等于1

$$N_{OH} \leq \frac{|I_{OH\max}|}{pI_{IH}}$$

◆ P是每个负载门的并联输入端数

扇出数以 N_{OL} 为准

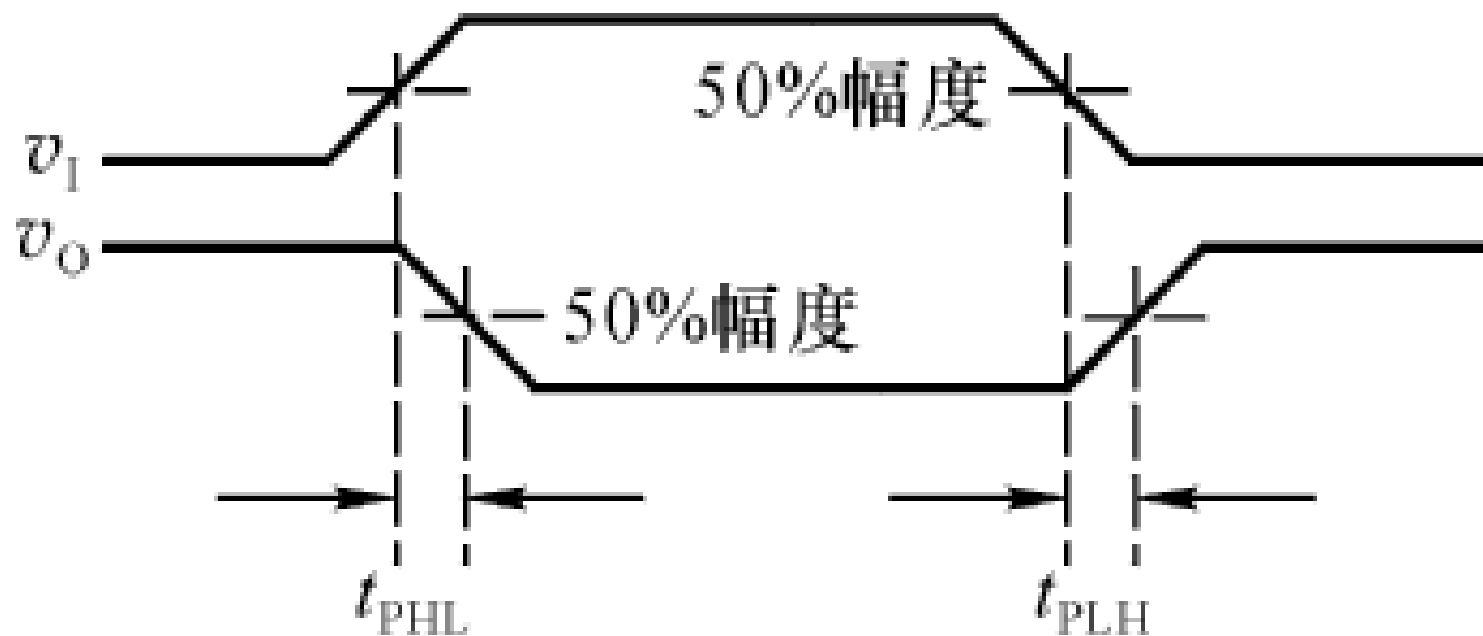
$$N_{OL} = \frac{I_{OL\max}}{I_{IL}} \bigg|_{V_{OL\max}}$$

以5V电源电压时，CMOS和TTL参数

参数名称	CMOS（4000系列）	TTL（74LS系列）
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51	-0.4
$I_{OL(max)}/mA$	0.51	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/uA$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4 -1.6(74系列)

(六) 平均传输延迟时间 t_{pd}

$$t_{pd} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

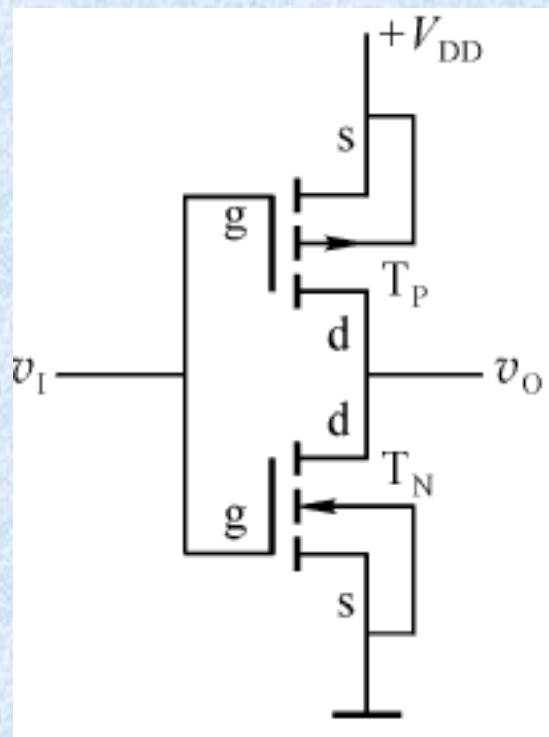


第2章 数字电路中的基本门电路

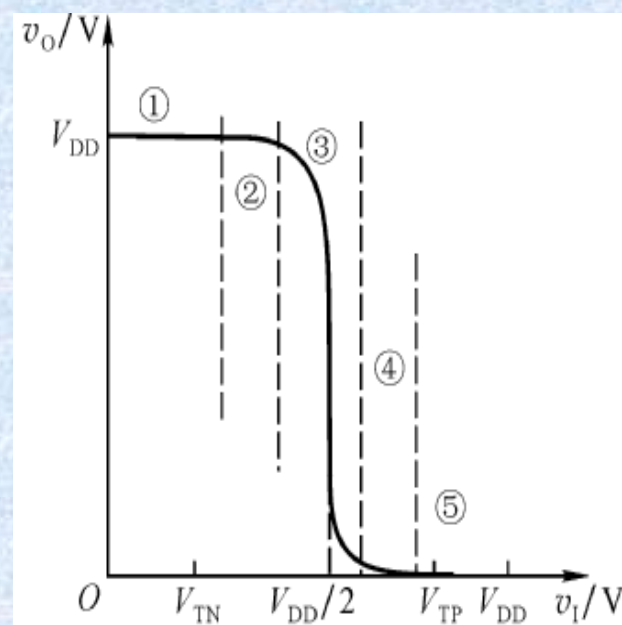
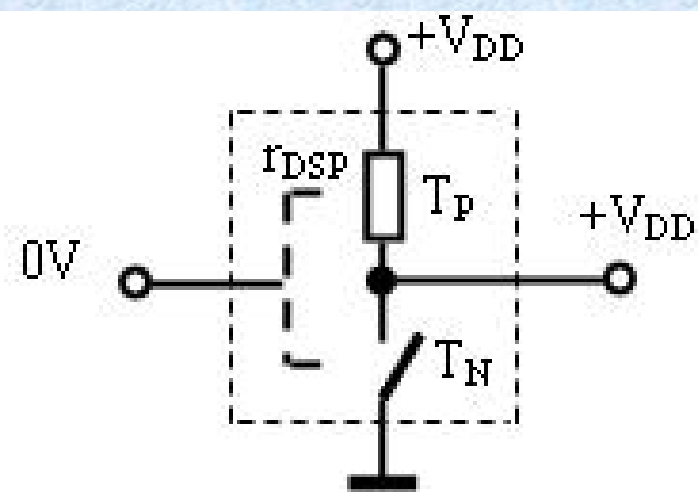
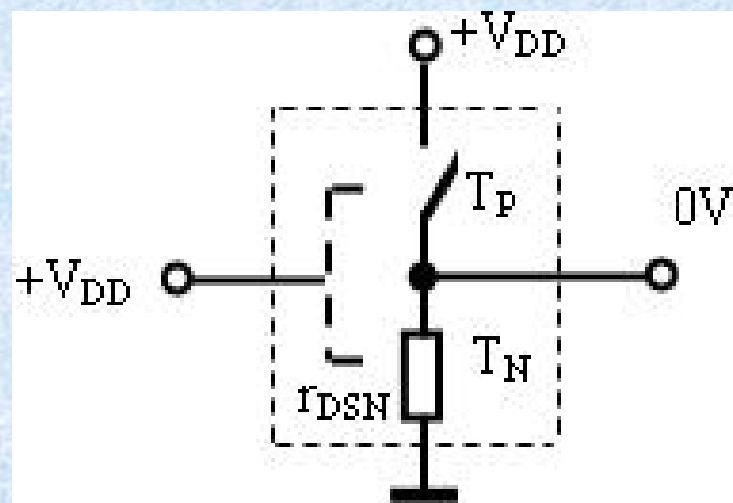
- 2.1 集成逻辑门电路的一般特性
- **2.2 CMOS集成门电路**
- 2.3 TTL集成门电路
- 2.4 集成门电路的实际应用问题

2.2 CMOS集成门电路

一、CMOS非门

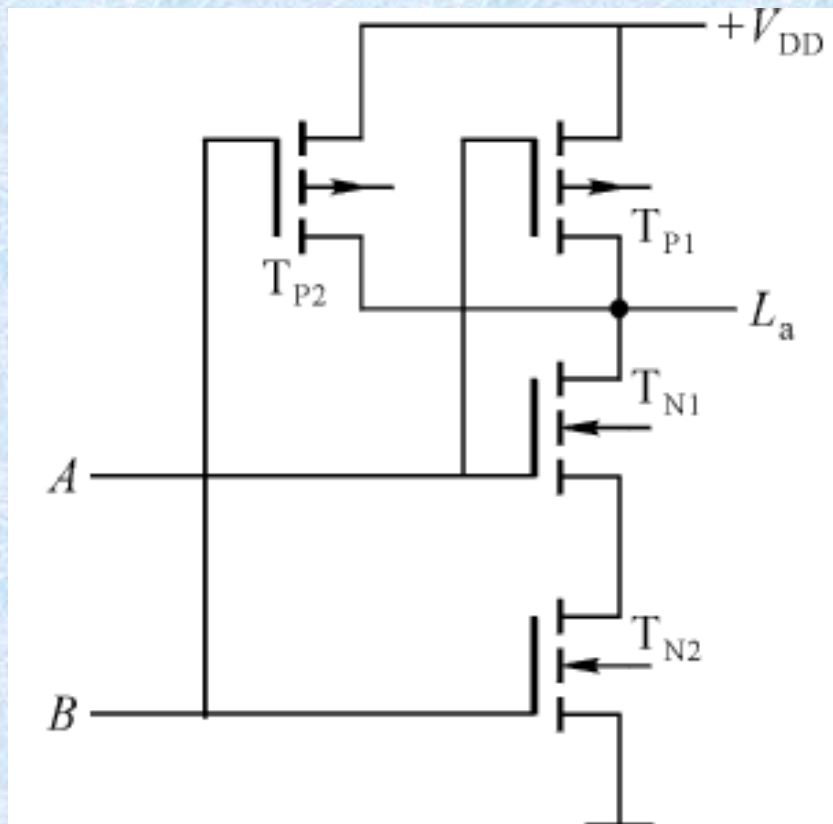


输入高电平 $v_i = V_{DD}$

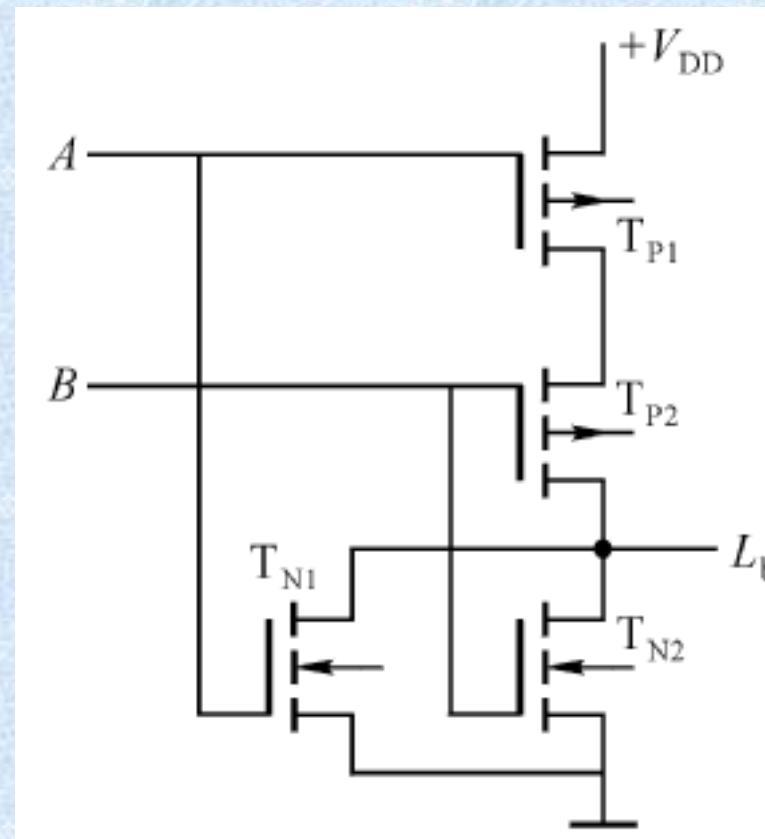


二、CMOS与非门和或非门

与非门

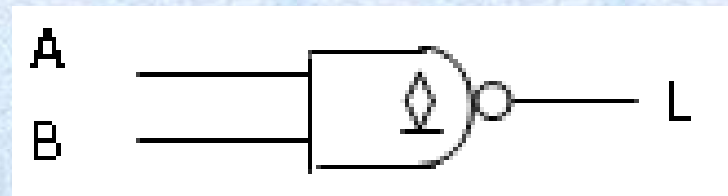
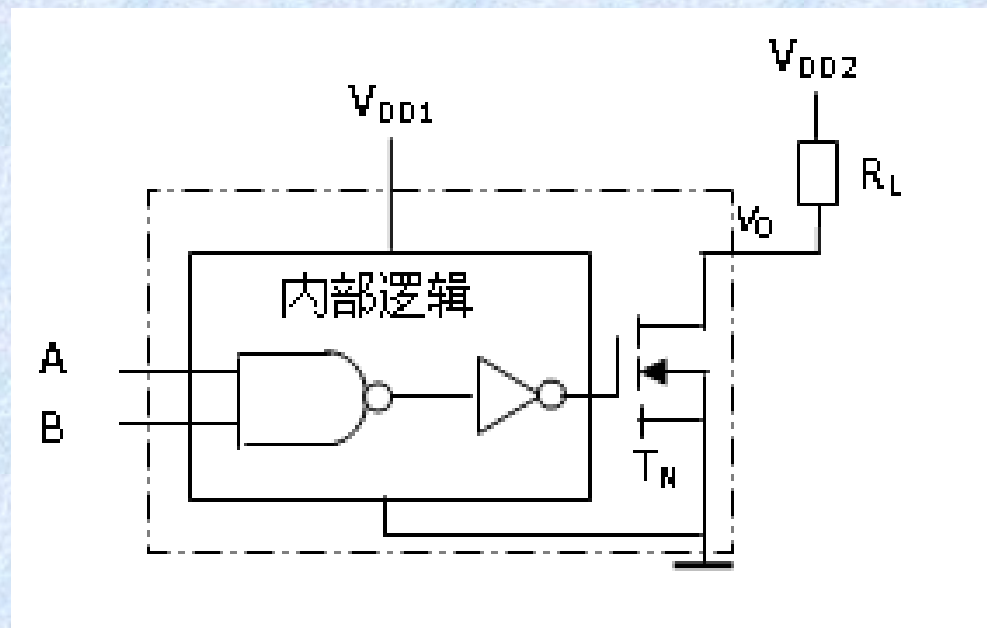


或非门



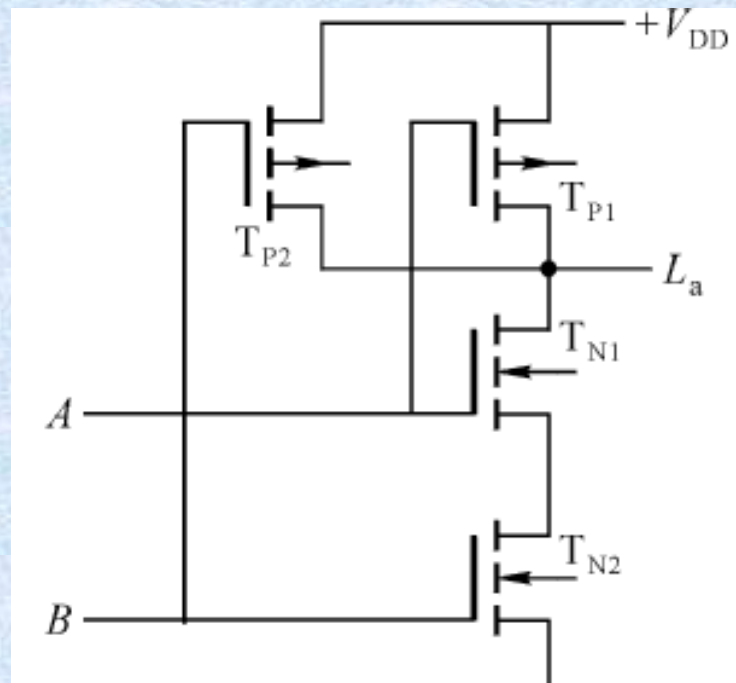
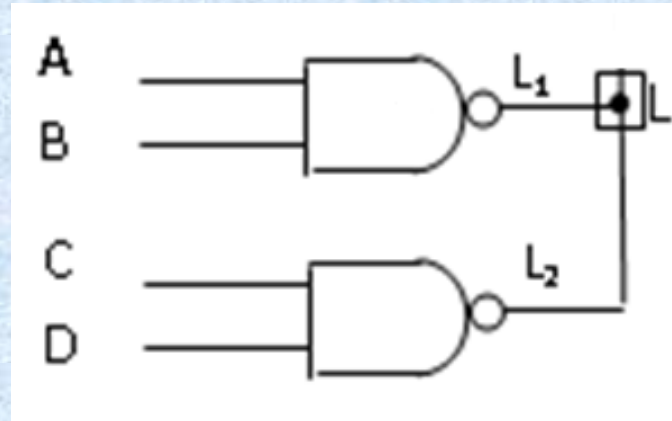
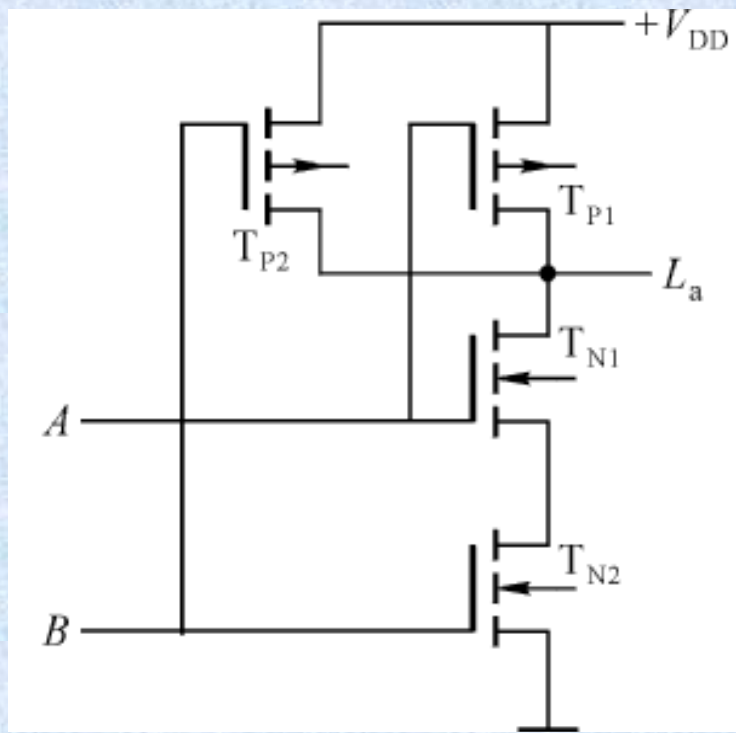
以此类推，在CMOS电路中，NMOS管既有串联，也有并联，对应的PMOS管有并联和串联的情况，实现更复杂的逻辑功能，如**与或非门**、**异或门**等。

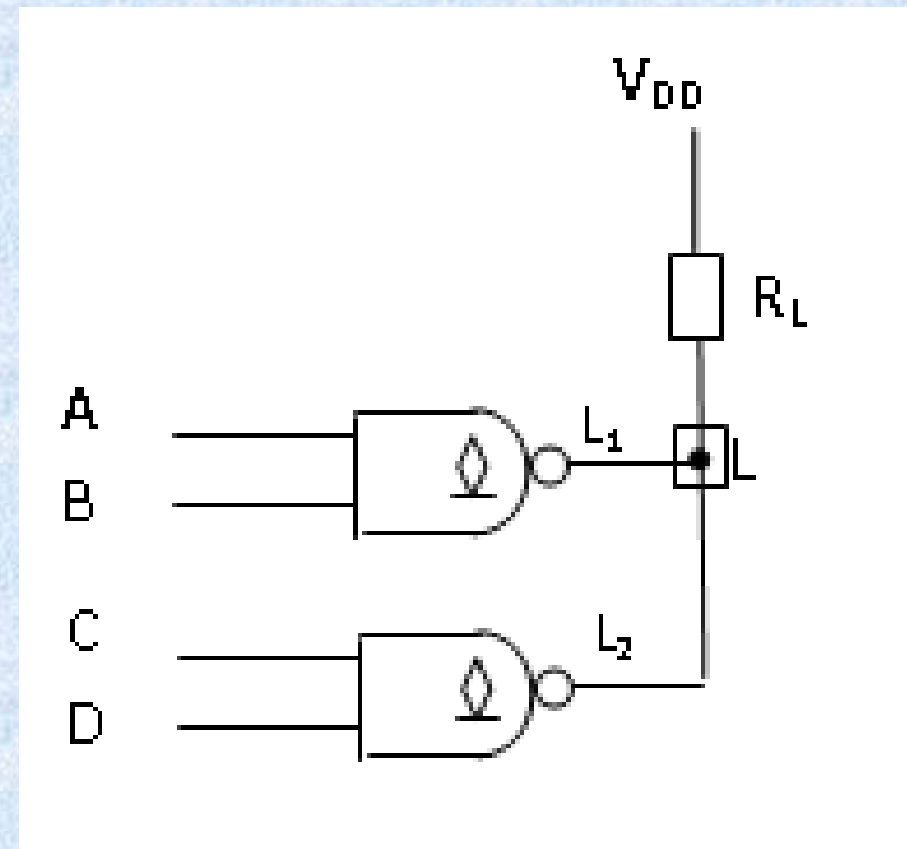
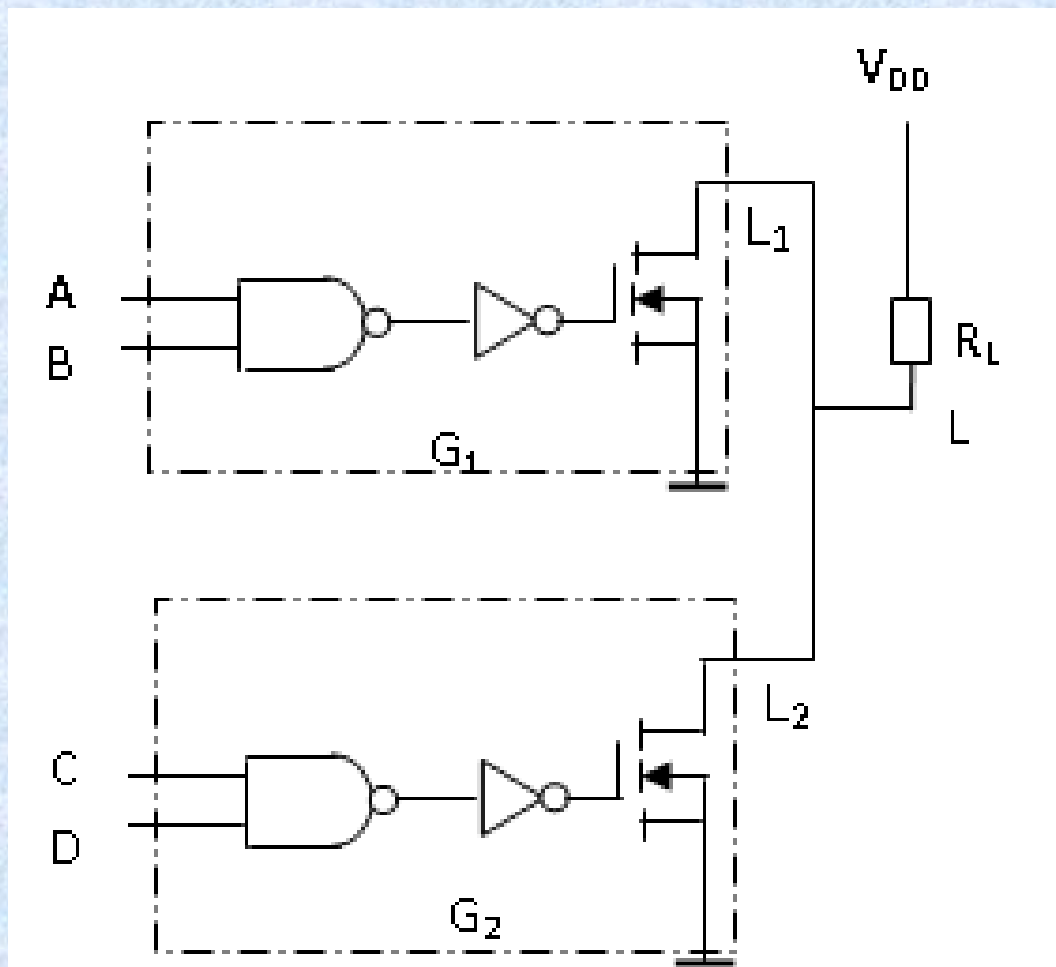
三、CMOS漏极开路门 (OD门)



- (1) V_{DD2} 可以选为不同于 V_{DD1} 的数值，实现电平的转换
- (2) 几个OD门的输出端直接相连，实现“线与”逻辑

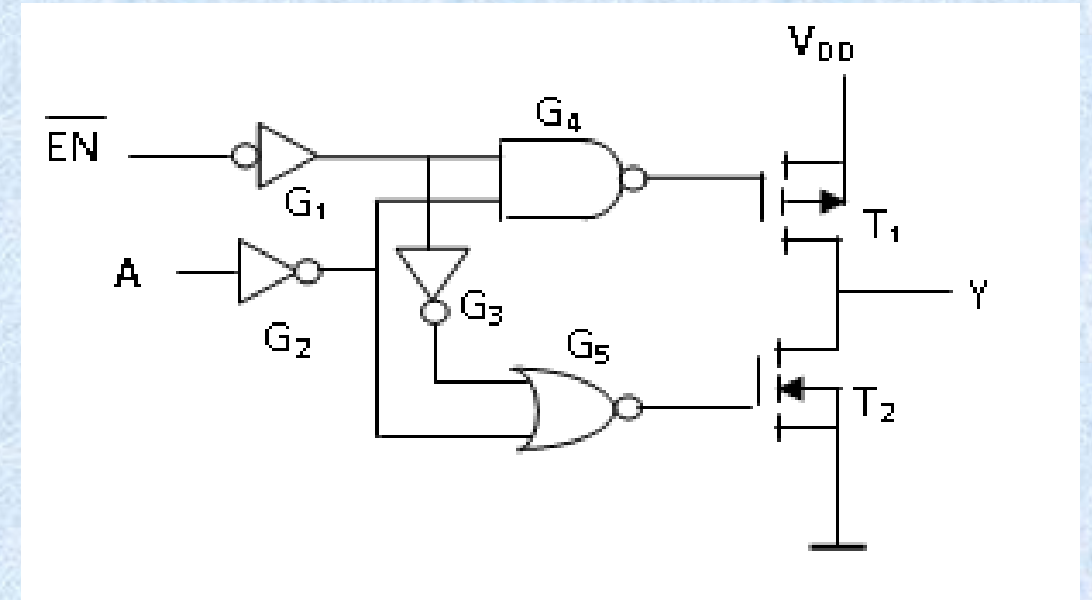
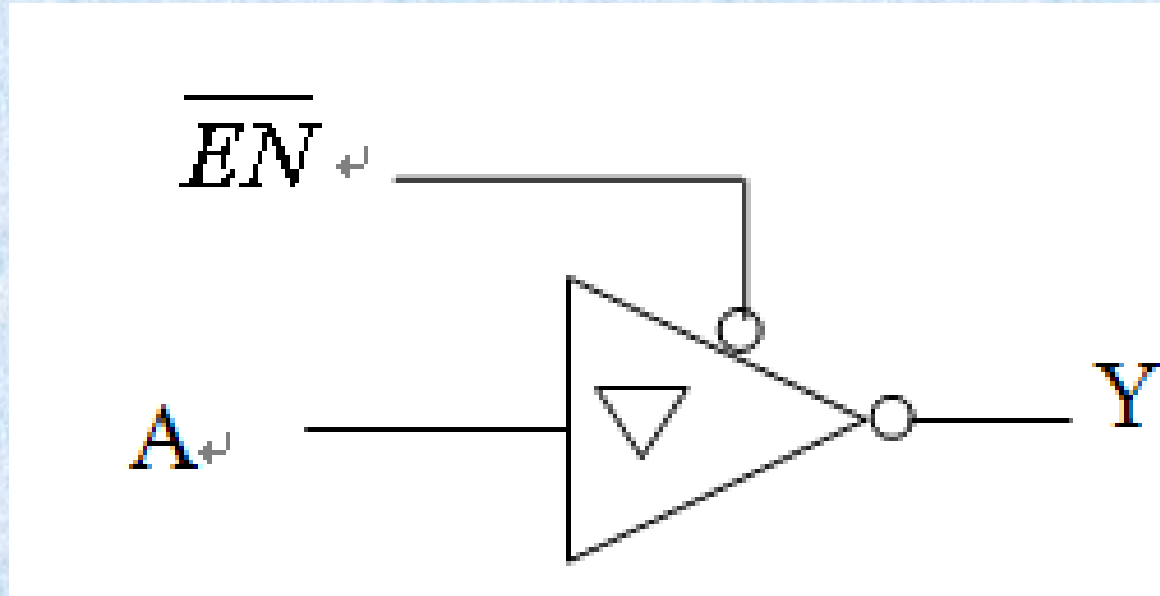
一般与非门输出直接相连？





$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

四、三态输出的CMOS门电路



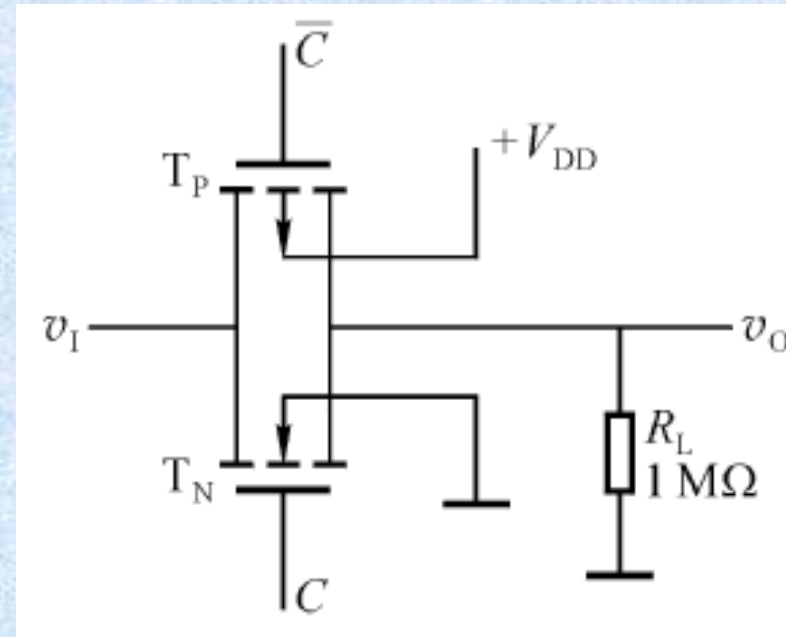
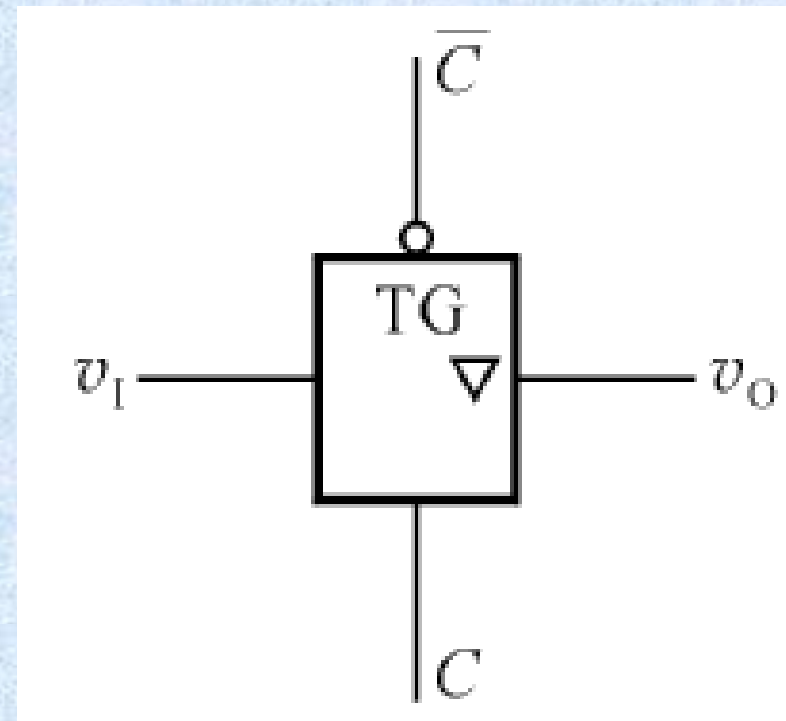
五、CMOS传输门

- ◆ 不仅能传输逻辑电平，还能传输模拟信号
- ◆ CMOS传输门属于双向器件，输入端和输出端可以互易使用

它由NMOS 和PMOS管并联而成

C 和 \bar{C} 为互补控制端

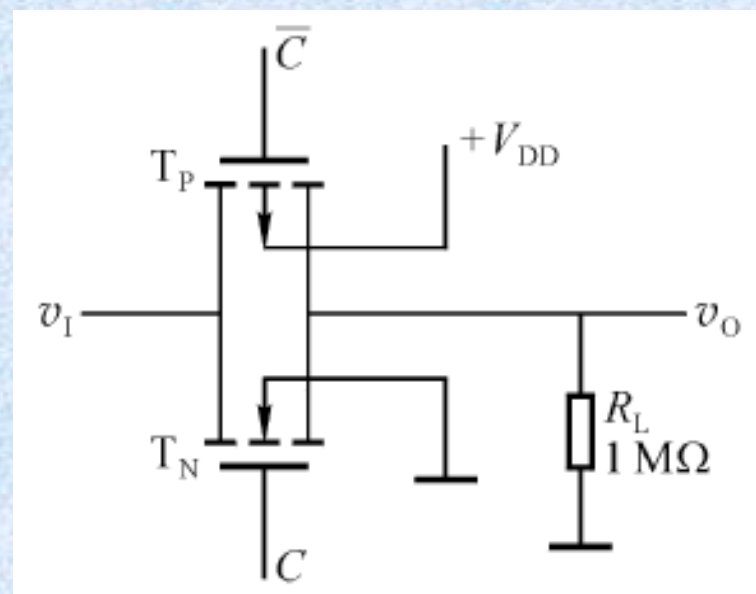
令 C 和 \bar{C} 控制电压分别为 V_{DD} 和 $0V$ ，输入电压从 $0 \sim V_{DD}$ ，



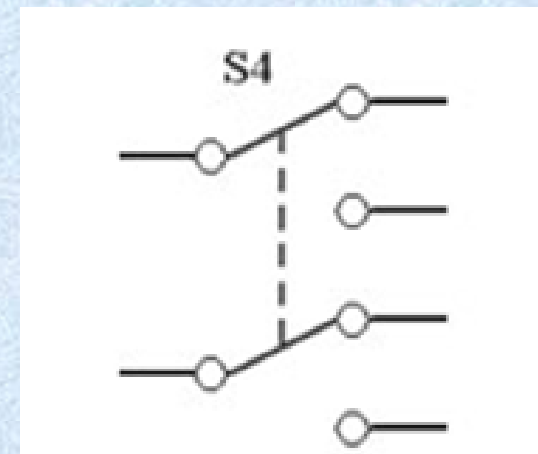
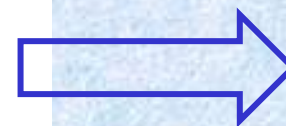
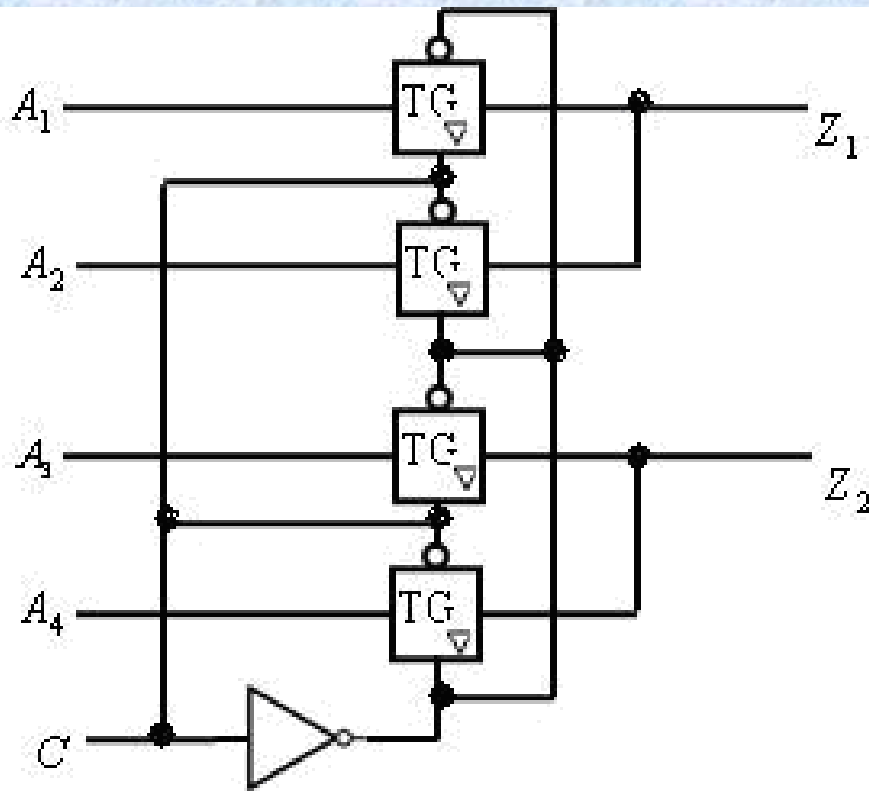
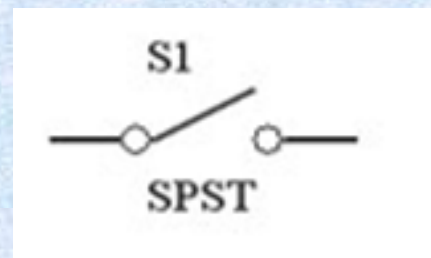
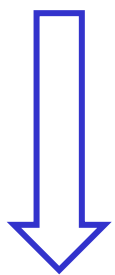
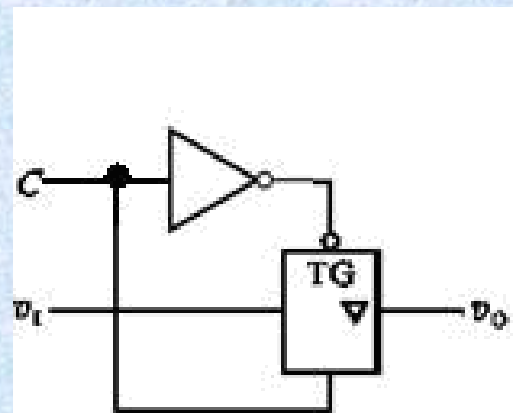
当 $C=V_{DD}$ 、 $\bar{C}=0$ 时，在 $0 < v_I < V_{DD} - V_{TN}$ 时， T_N 导电，在 $|V_{TP}| < v_I < V_{DD}$ 时， T_P 导电；所以在 $|V_{TP}| < v_I < V_{DD} - V_{TN}$ 时二管同时导电，此时二管的导电沟道电阻并联，输入/输出间表现为低阻，输入信号传递到输出。

$$v_o = \frac{R_L}{R_L + R_{TG}} v_I \approx v_I$$

当 $C=0$ 、 $\bar{C}=V_{DD}$ 时， T_N 和 T_P 都截止，输入/输出为高阻态；



1. TG门组成的单刀双掷和双刀双掷开关



◆ CMOS门电路的主要参数

以5V电源电压时，CMOS和TTL参数之比较

参数名称	CMOS（4000系列）	TTL（74LS系列）
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51	-0.4
$I_{OL(max)}/mA$	0.51	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/\mu A$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4 -1.6(74系列)

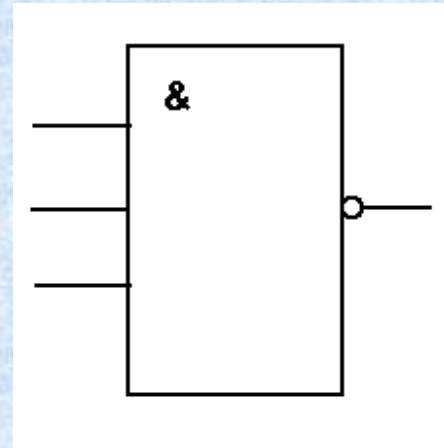
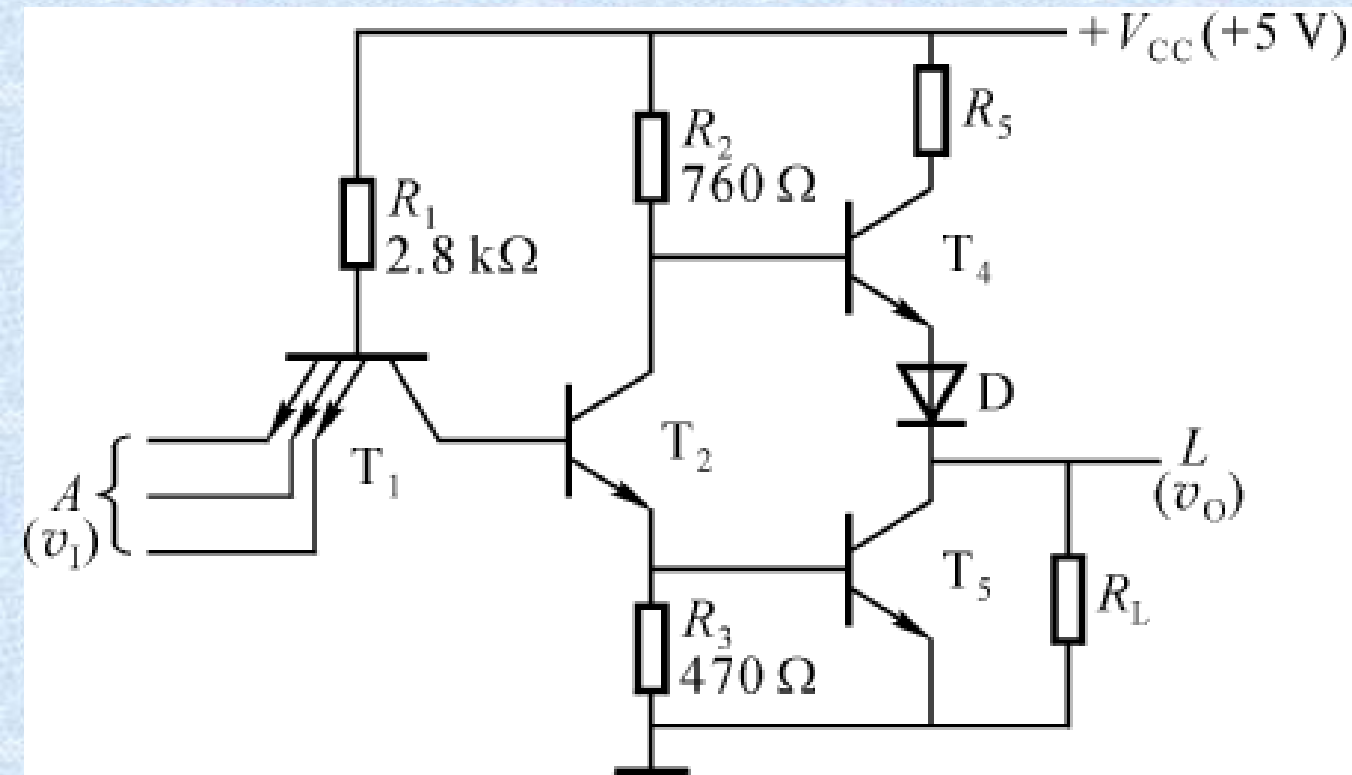
第2章 数字电路中的基本门电路

- 2.1 集成逻辑门电路的一般特性
- 2.2 CMOS集成门电路
- **2.3 TTL集成门电路**
- 2.4 集成门电路的实际应用问题

2.3 TTL系列集成门电路

一、TTL集成与非门电路的结构和工作原理

TTL与非门典型电路如图所示，由四只晶体三极管组成。其中多发射管 T_1 为输入级， T_2 为中间级， T_4 、 T_5 为输出级。



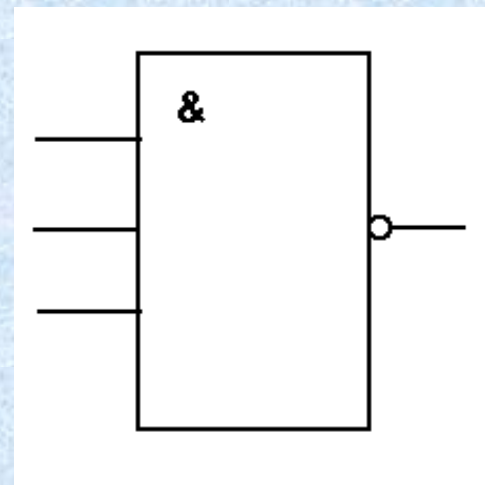
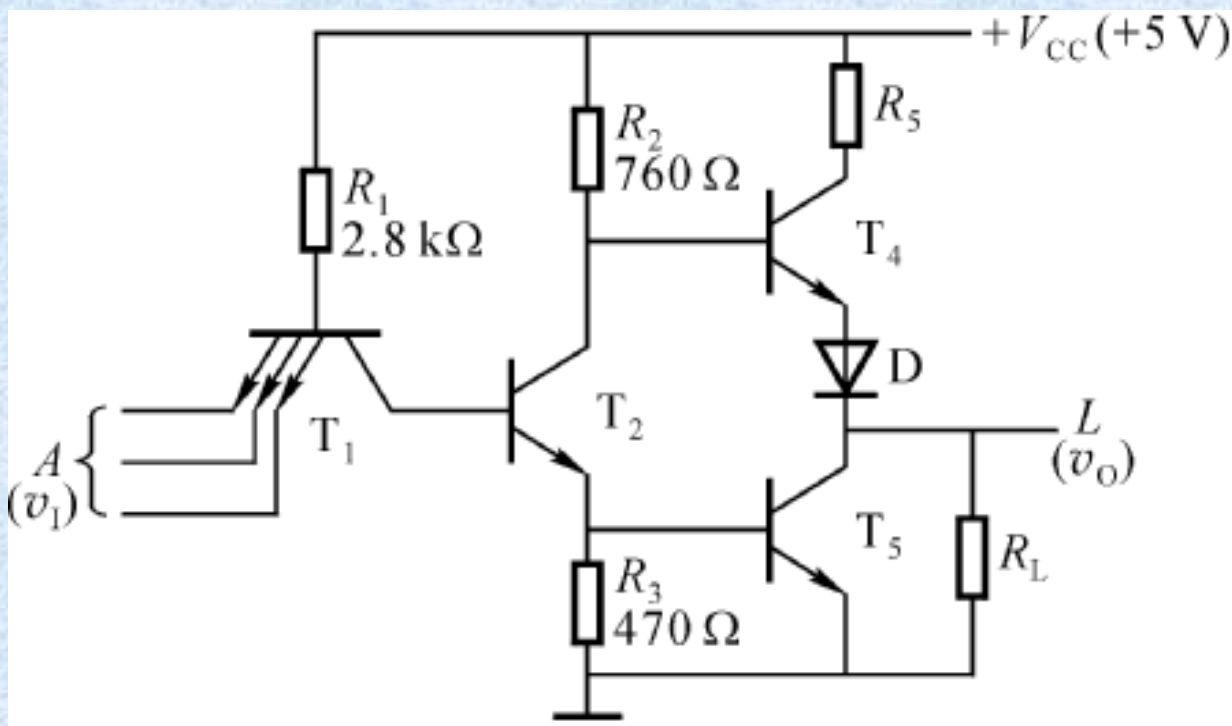
工作原理:

(1) 当输入为低电平时“0” ($V_{IL}=0.3V$) T_1 发射结正偏,
 $V_{B1}=0.3V+0.7V=1.0V$ T_1 深度饱和, $V_{CES}=0.1V$, T_2 、 T_5 截止。

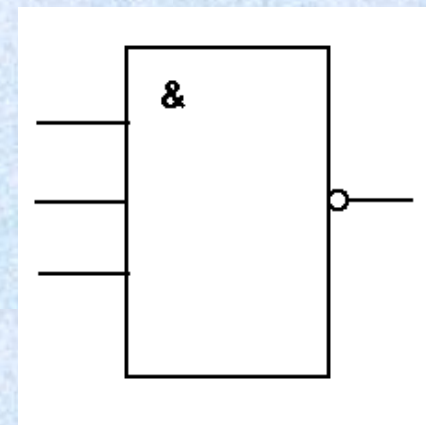
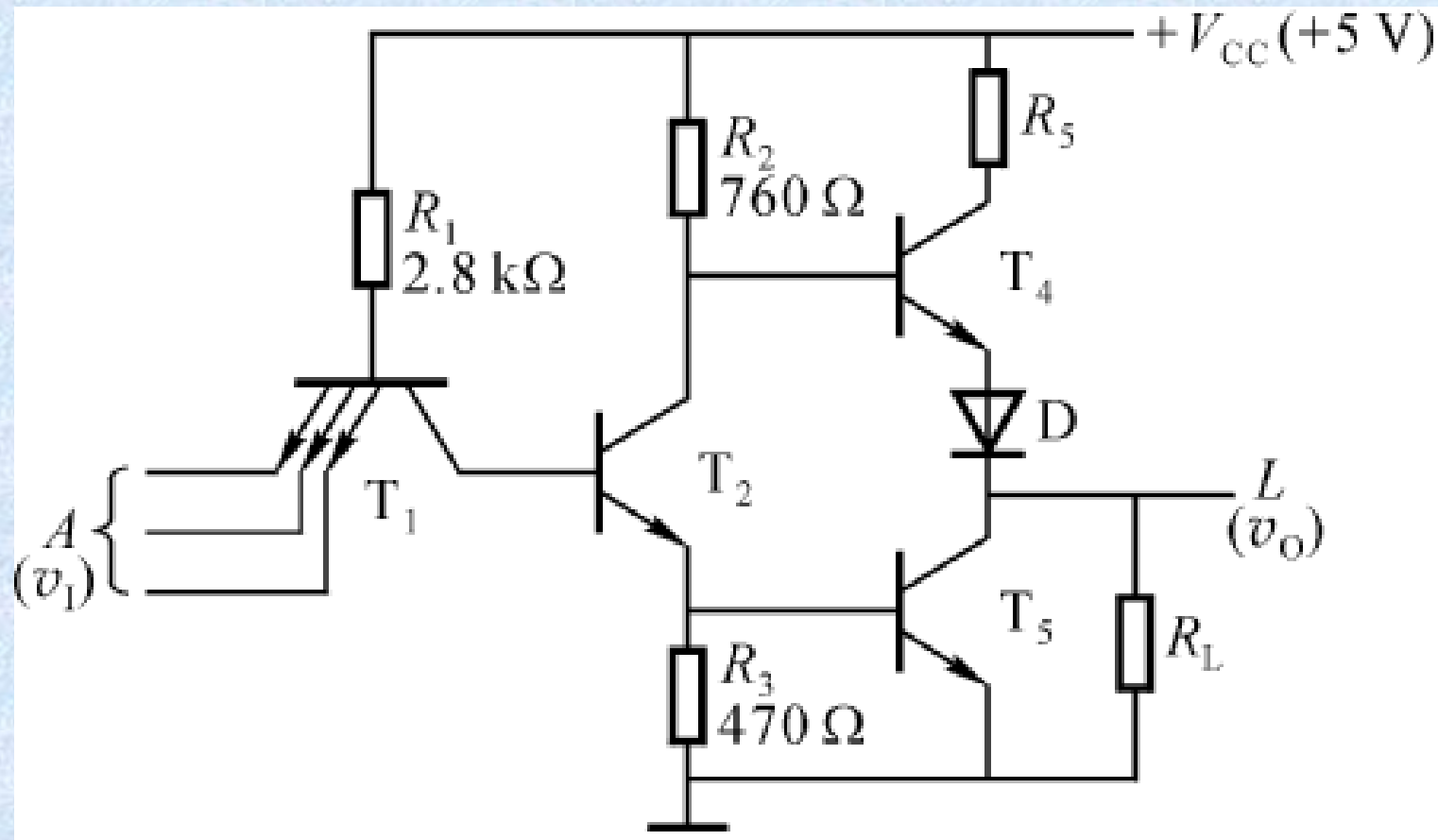
V_{CC} 经 R_2 向 T_4 提供基极电流, T_4 、 D 导电, 输出高电平

TTL关门。

$$V_O = V_{CC} - i_{B4}R_2 - V_{BE4} - V_D \approx 3.6V$$



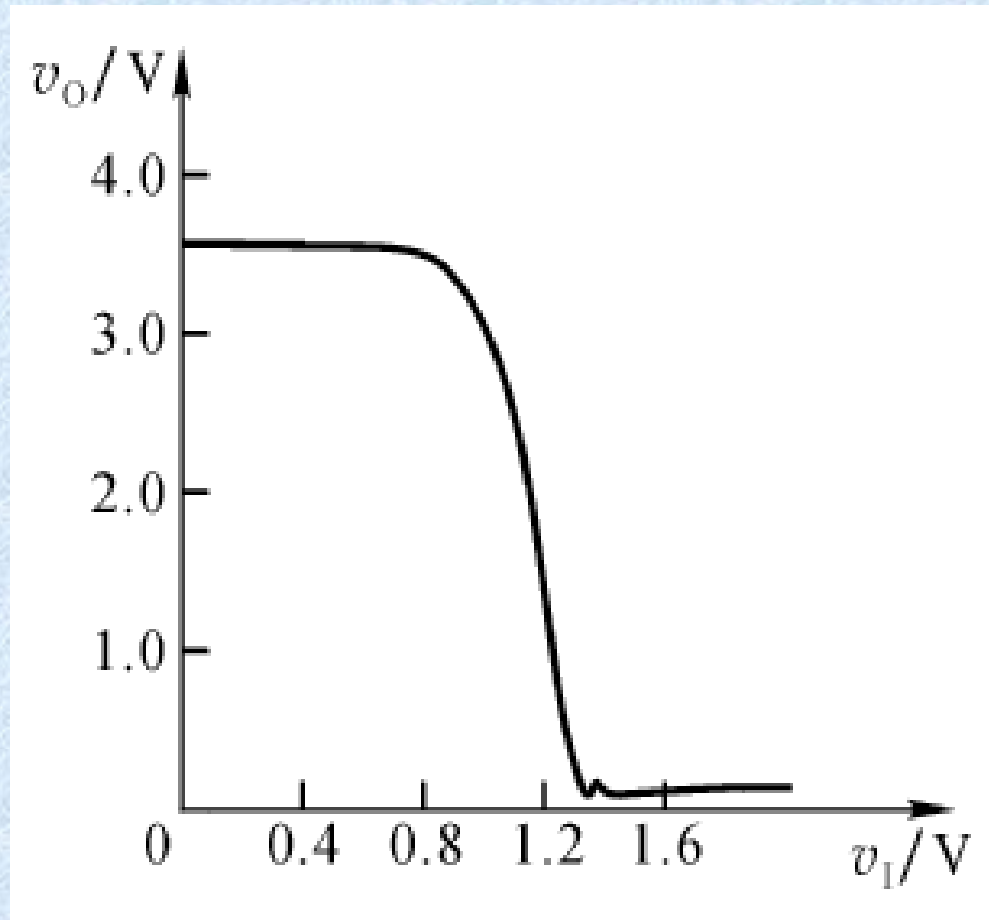
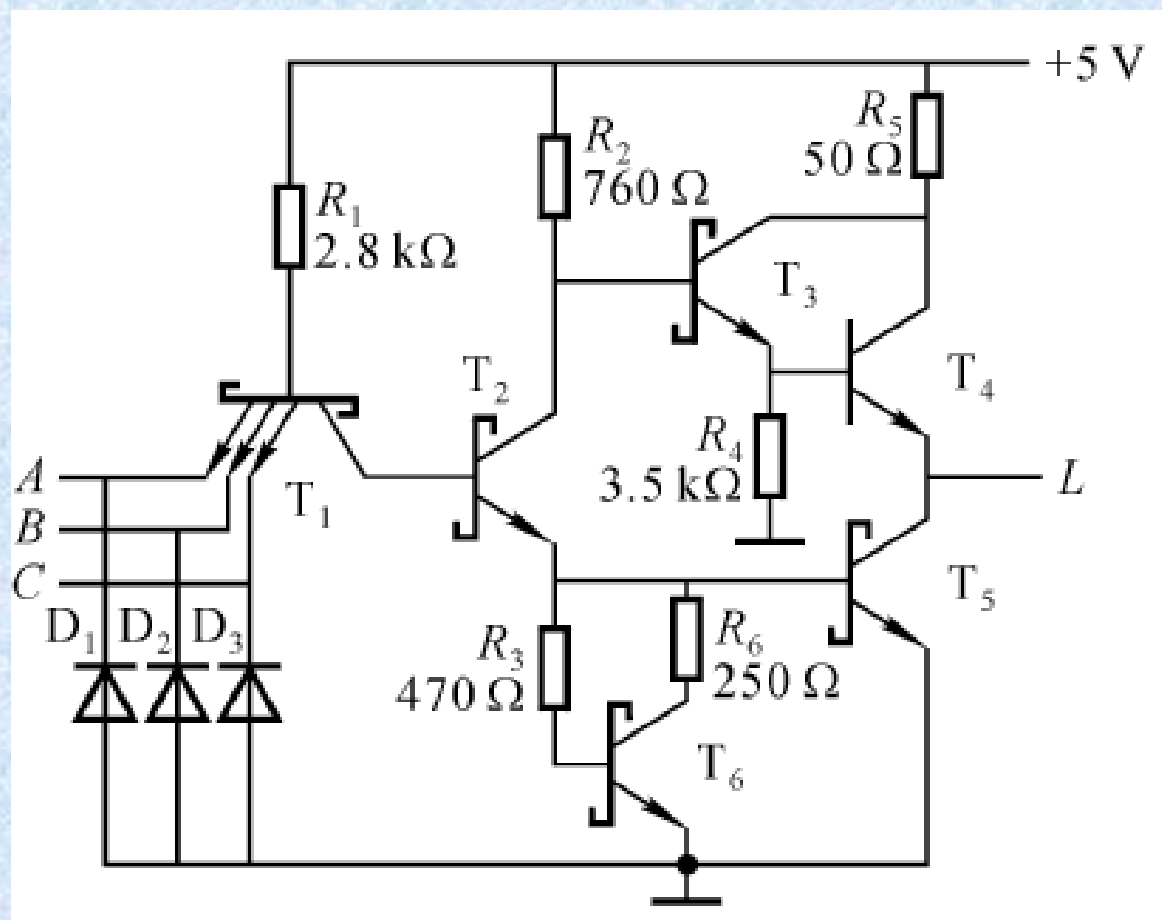
(2) 当输入为高电平时“1” ($V_{IH}=3.6V$) V_{CC} 通过 R_1 使 T_1 的b-c结、 T_2 , T_5 的b-e结正偏, $V_{B1}=2.1V$ **T_1 倒置**、 T_2 、 T_5 饱和, 输出为低电平 $V_O=V_{OL}\approx 0.3V$, T_4 、 D 截止状态, **TTL开门**。



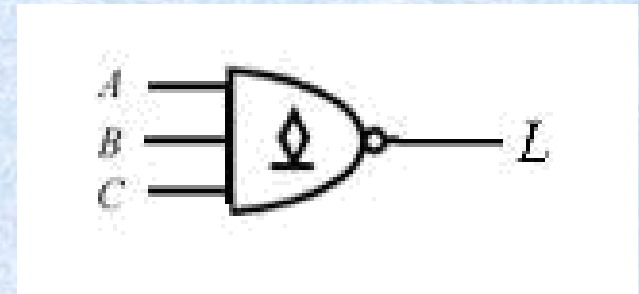
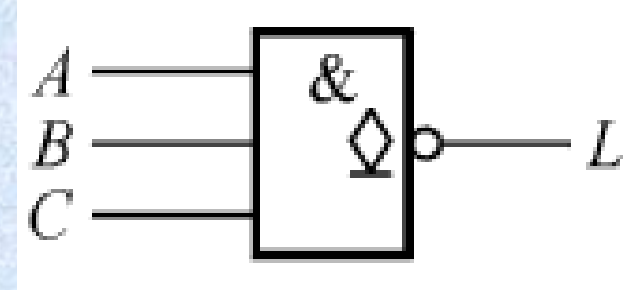
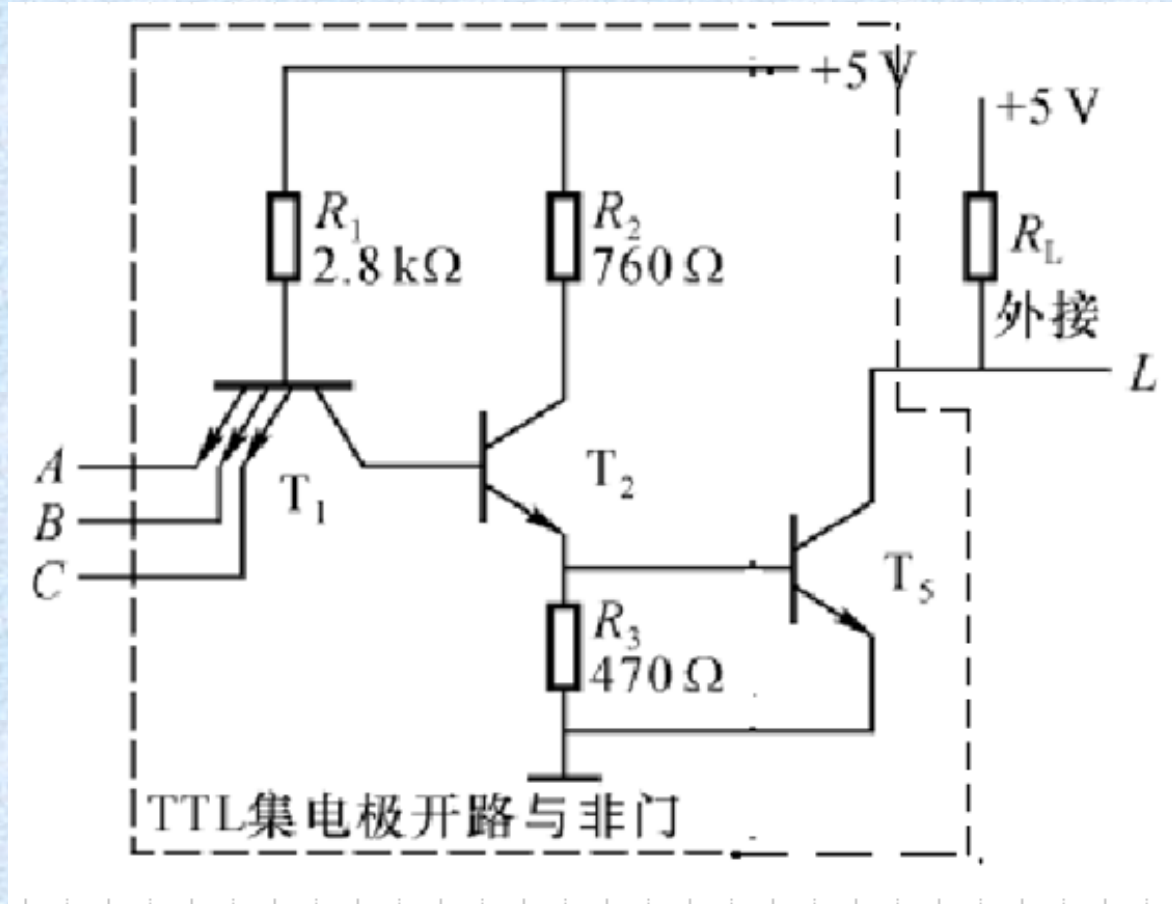
TTL门电路中的其它技术措施

- (1) 肖特基三极管——抗饱和，提高电路开关速度。
- (2) 有源泄放电路——加快 T_2 、 T_5 由饱和到截止的转换时间，目的还是提高开关速度。
- (3) T_4 用二只三极管子复合——提高电路的带负载能力（增大输出电流）。
- (4) 输入增加了保护二极管（提高可靠性）。

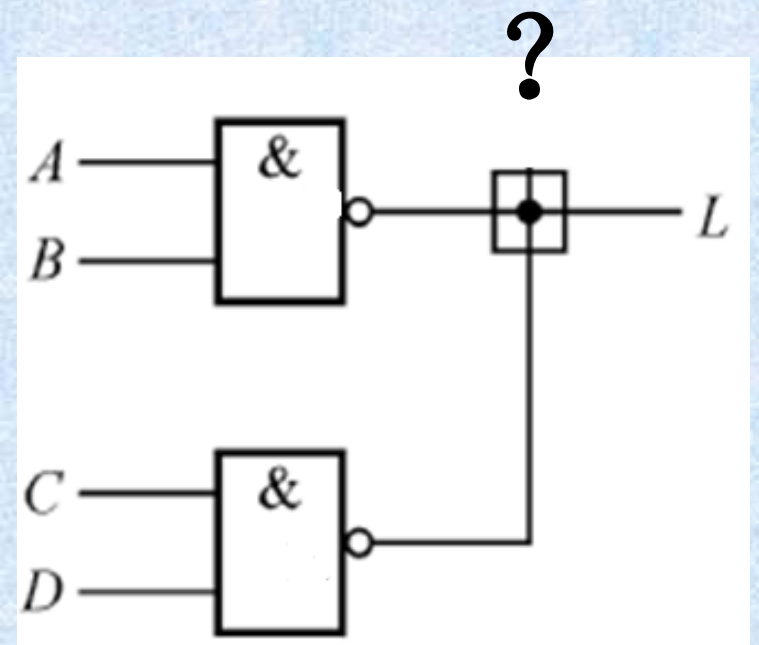
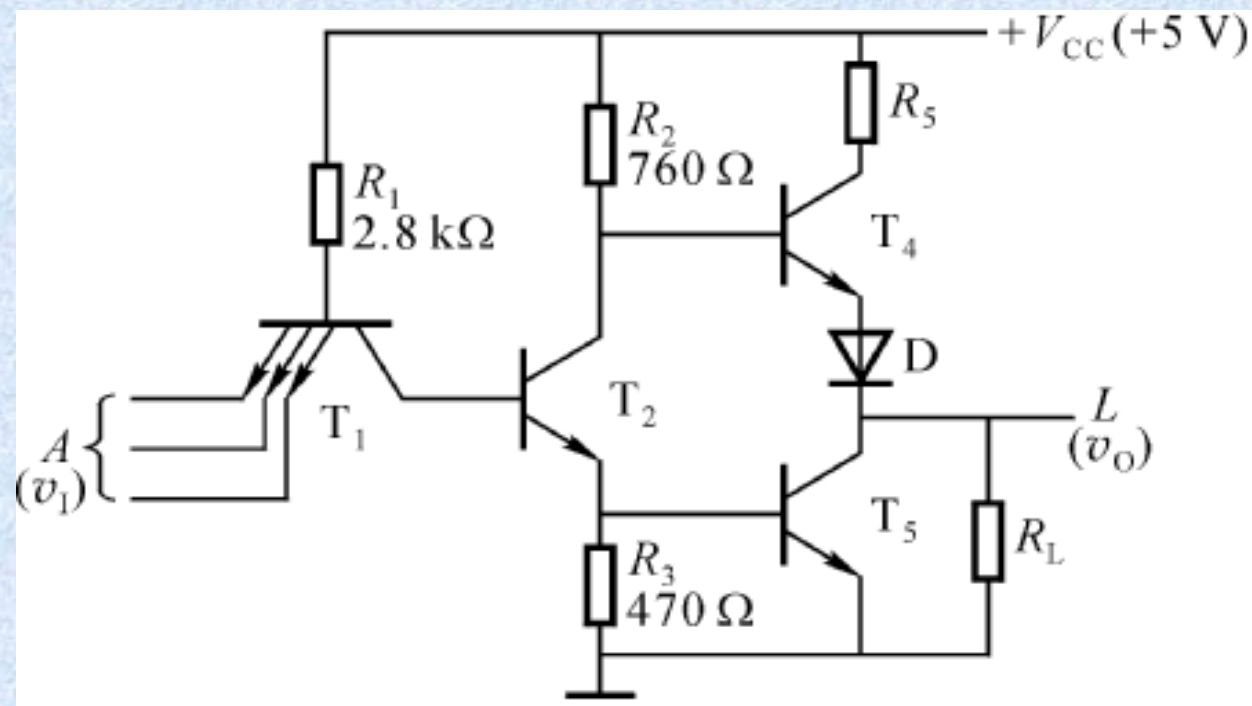
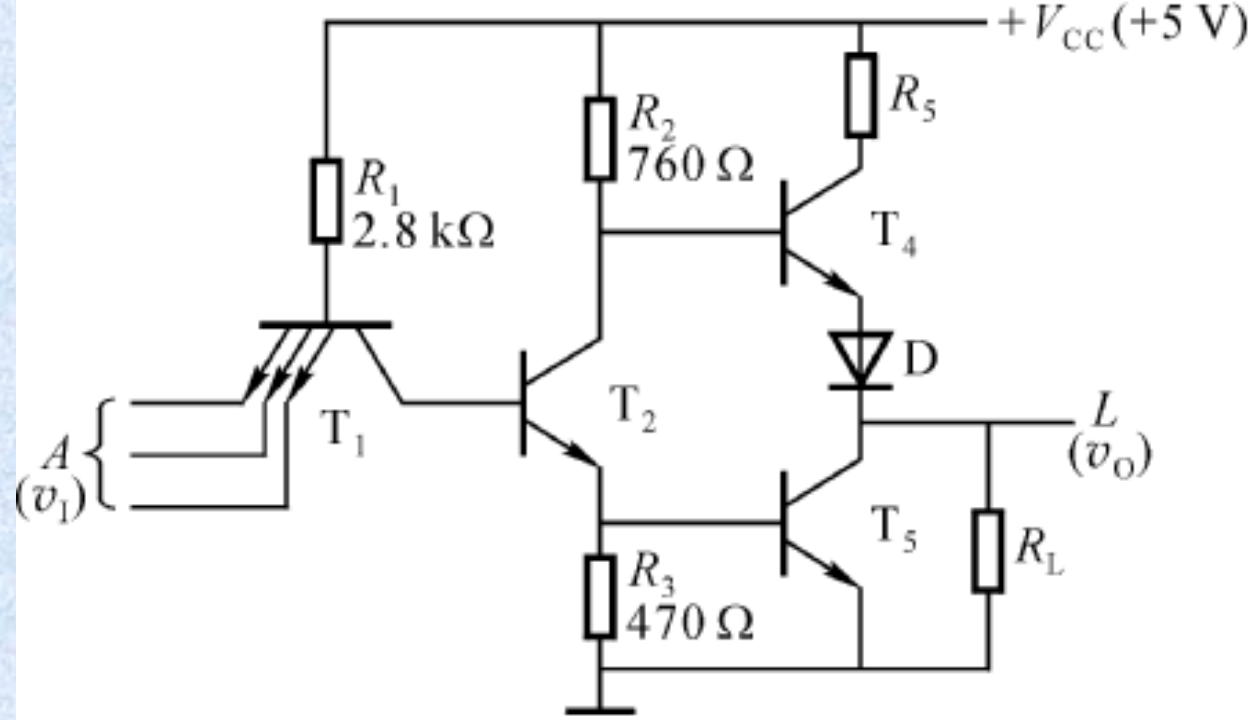
改进后的电路和电压传输特性：

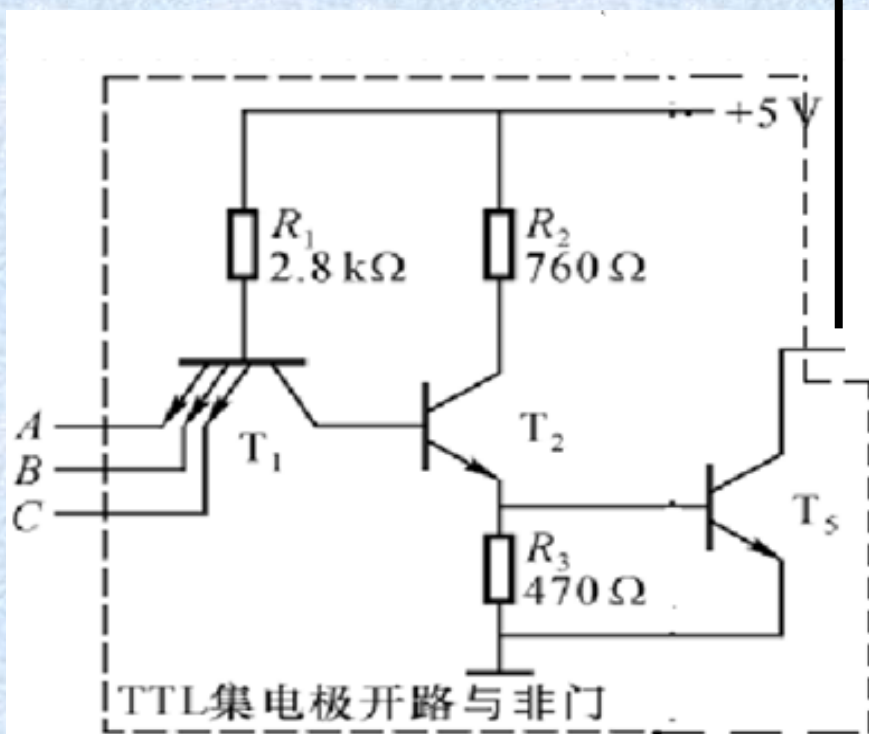
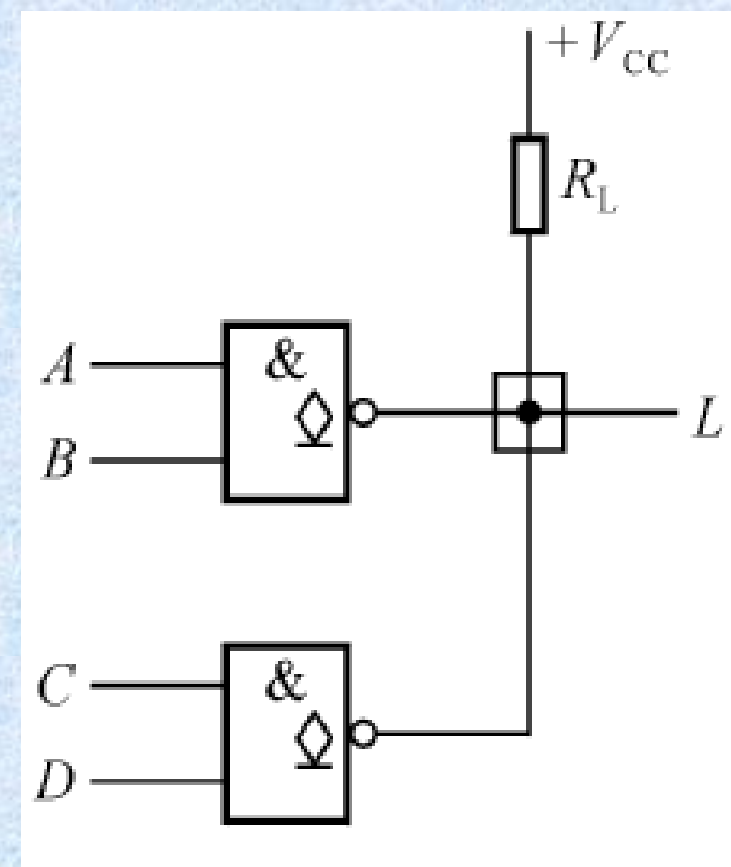
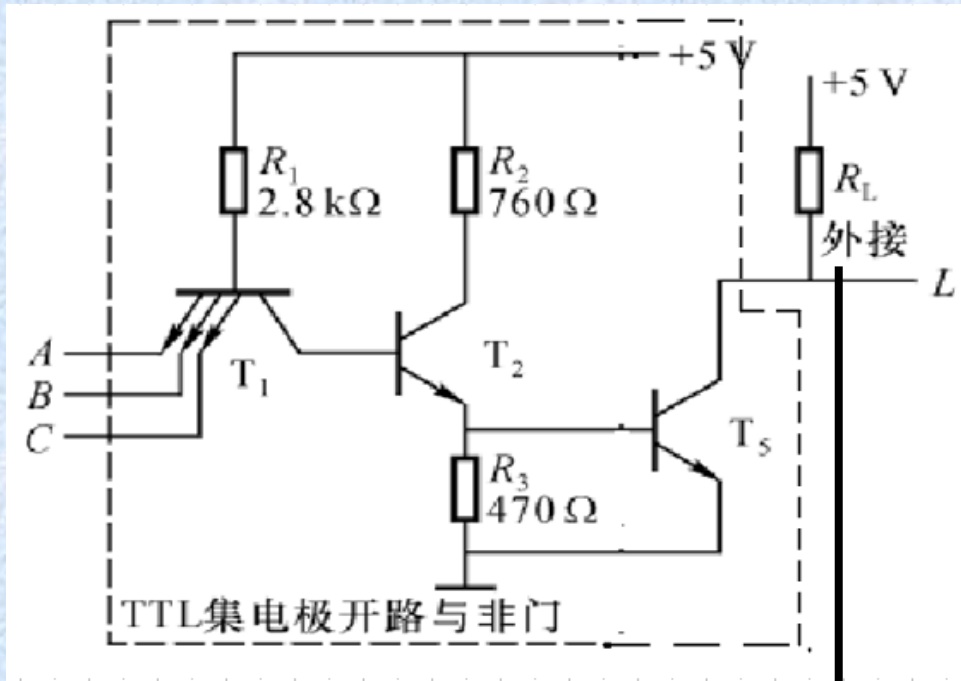


二、TTL集电极开路“与非”门（OC门）



输出高电平为外接的电源电压 V_{CC}





$$L = L_1 \cdot L_2 = \overline{AB} \bullet \overline{CD}$$

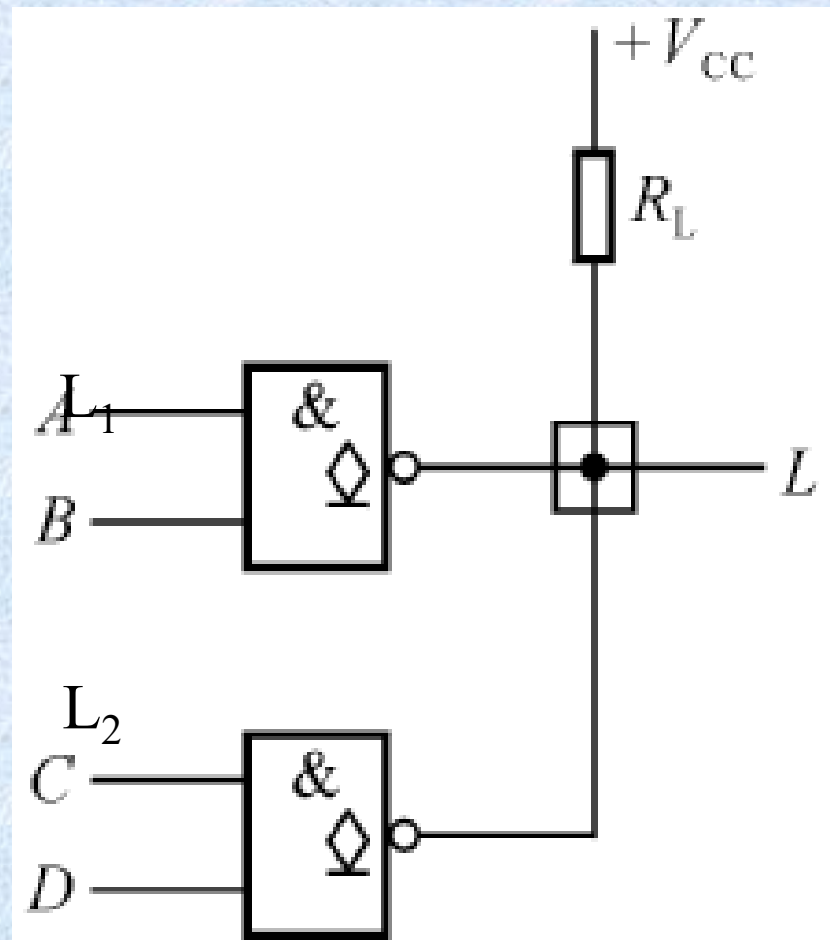
$$= \overline{AB + CD}$$

OC门的典型应用

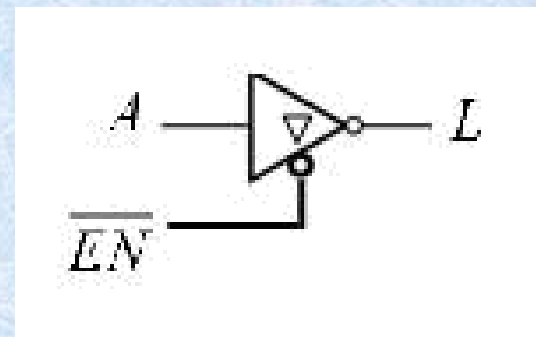
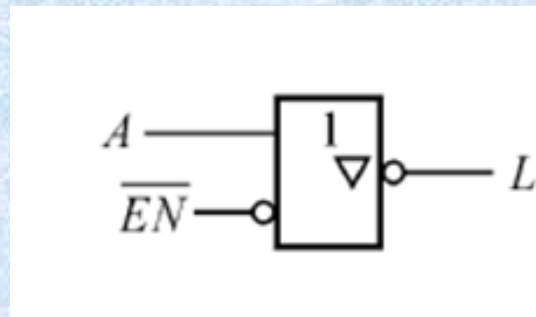
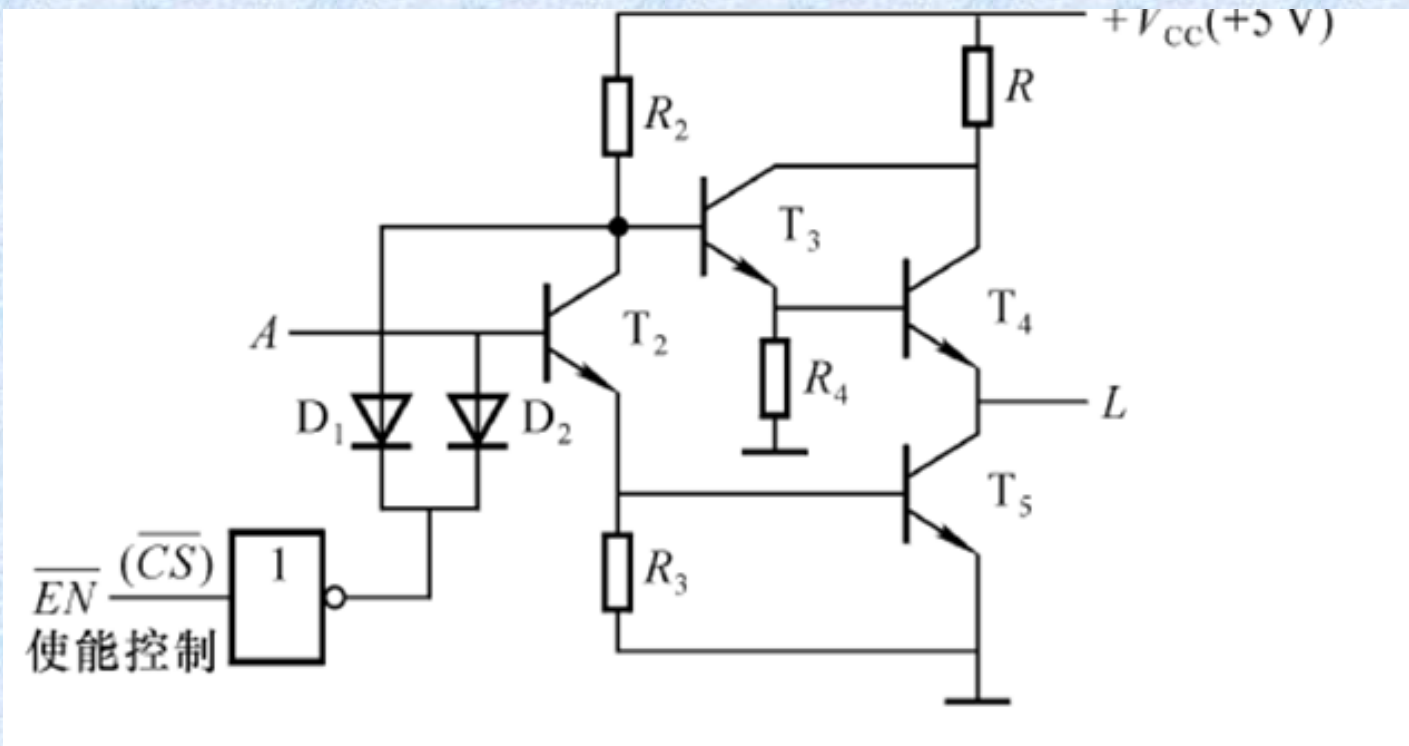
(1) 输出可以直接连在一起，实现线与逻辑关系。一般TTL门输出不能直接接在一起。

$$\begin{aligned} L &= L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

(2) 实现两种逻辑电平的转换



三、TTL 三态输出门

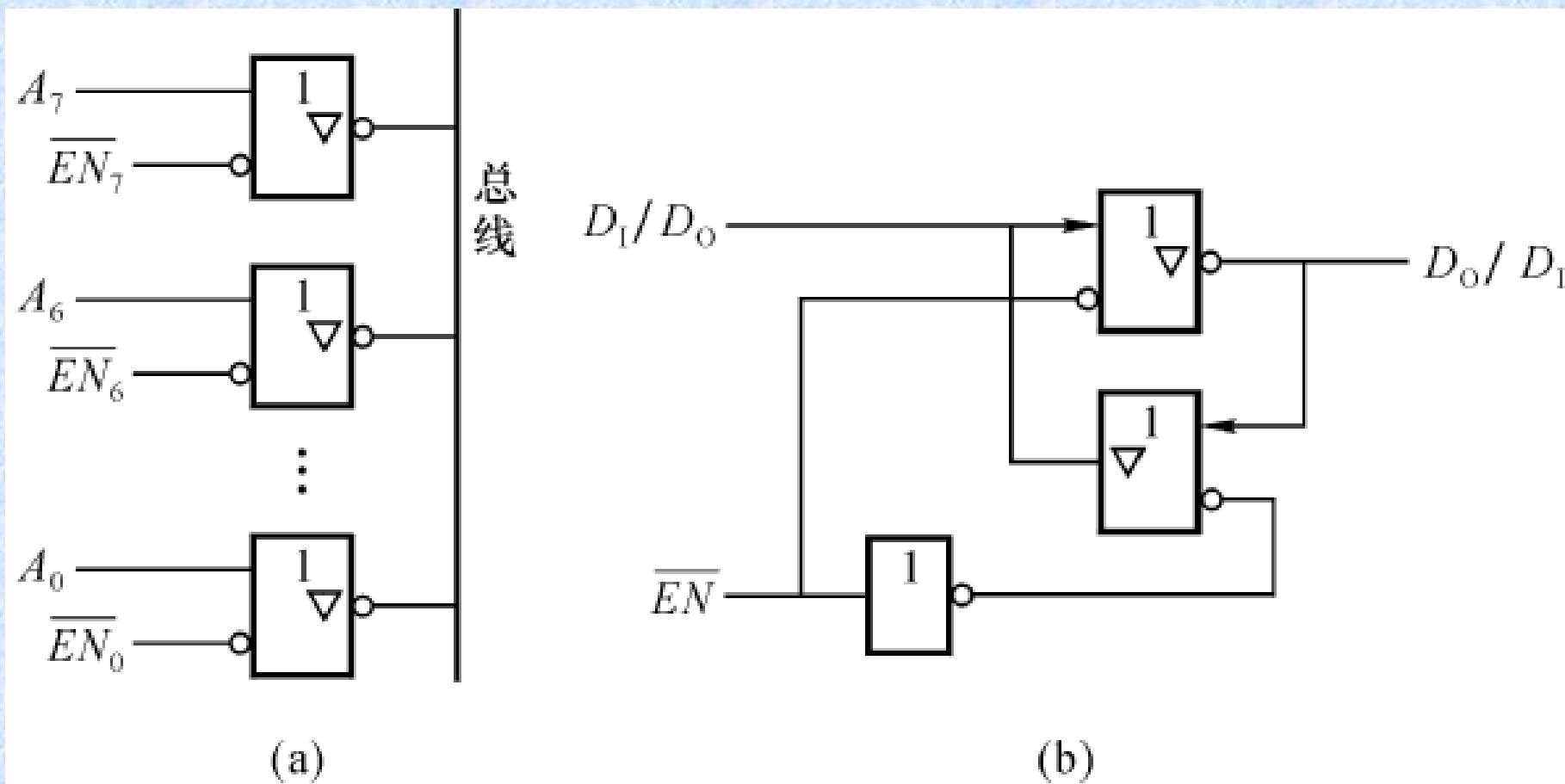
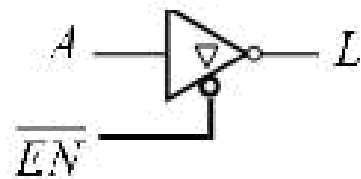


\overline{EN} 使能控制端

$\overline{EN} = 0$, 三态门使能, 即 D_1 、 D_2 截止, A 和 L 实现了反相输出;

$\overline{EN} = 1$, 在 $A=0$ 或 1 这二种情况下, D_1 始终导电, 而 T_4 、 T_5 都截止, 输出为高阻态 (禁止态)。

三态门的应用广泛

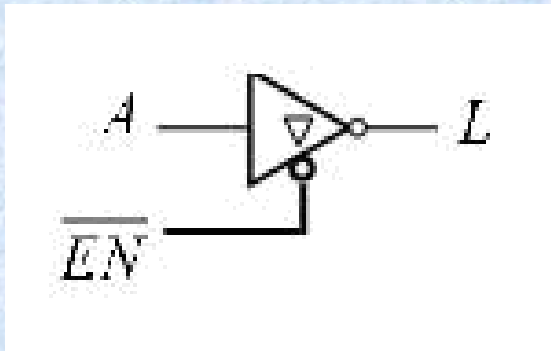


总线连接

双向传递数据连接

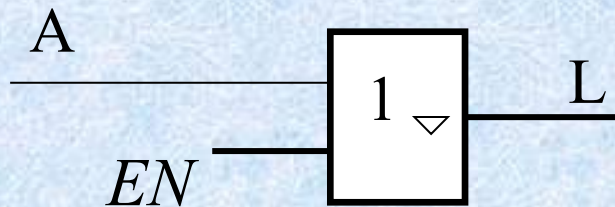
轮流把输出信号送到公共总线

真值表



\overline{EN}	数据A	输出L
0	0	1
0	1	0
1	0	高阻态
1	1	

注意：三态输出门的电路符号有多种



EN	数据A	输出L
1	1	1
1	0	0
0	1	高阻态
0	0	

四、CMOS门电路的主要参数

以5V电源电压时，CMOS和TTL参数之比较

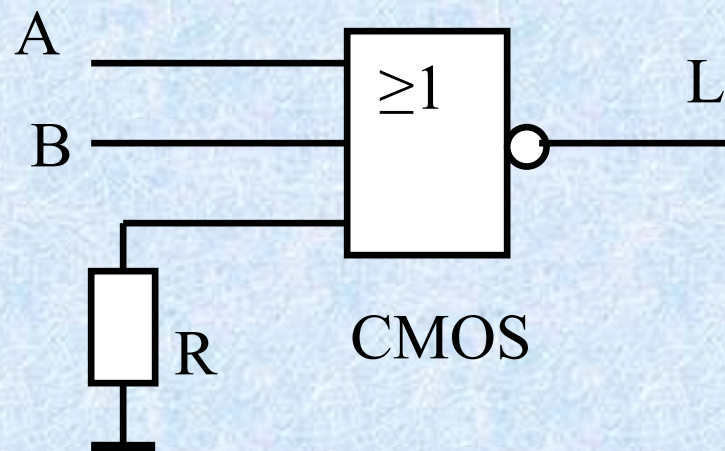
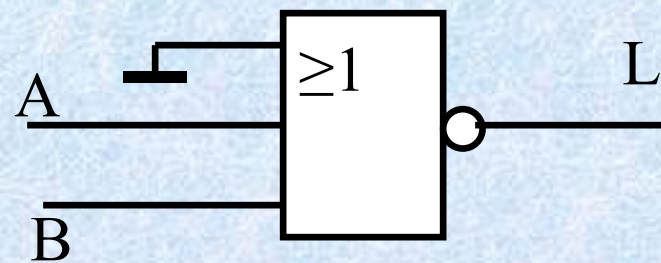
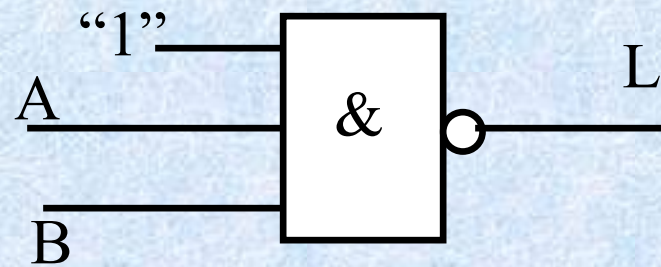
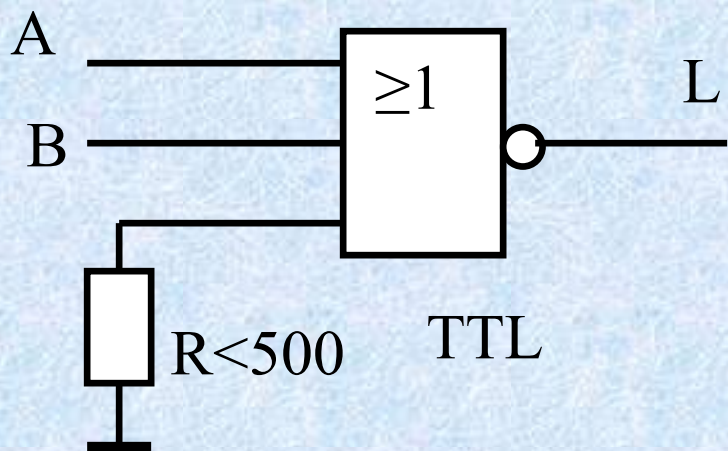
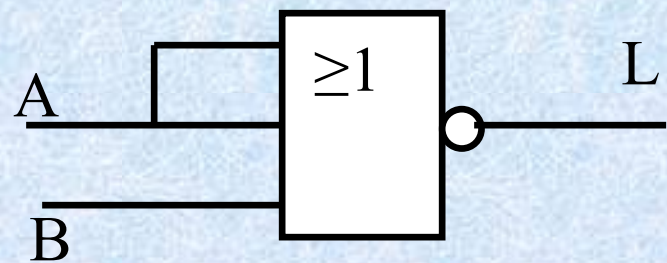
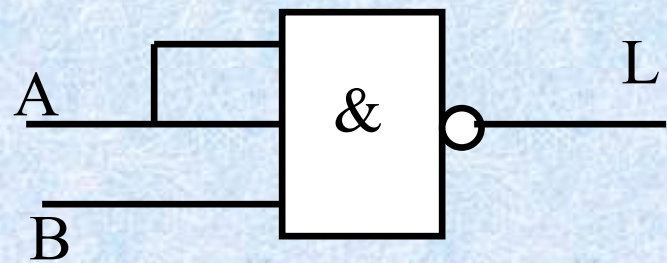
参数名称	CMOS（4000系列）	TTL（74LS系列）
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51	-0.4
$I_{OL(max)}/mA$	0.51	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/uA$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4 -1.6(74系列)

第2章 数字电路中的基本门电路

- 2.1 集成逻辑门电路的一般特性
- 2.2 CMOS集成门电路
- 2.3 TTL集成门电路
- 2.4 集成门电路的实际应用问题

一、多余输入端的处理

- (1) 对于**与非门电路**：把多余输入端接正电源或者与有用端并联使用；
 - (2) 对于**或非门电路**：把多余输入端接地或与有用端并联使用。通过电阻接地时，对TTL这只串联电阻阻只能是小电阻（在500欧姆以下）；
- 特别注意**：不能把多余输入端悬空。对TTL电路，悬空虽相当于高电平，但易引入干扰；对CMOS电路，悬空无电位，使相应管子截止，破坏逻辑关系，也会引入干扰。

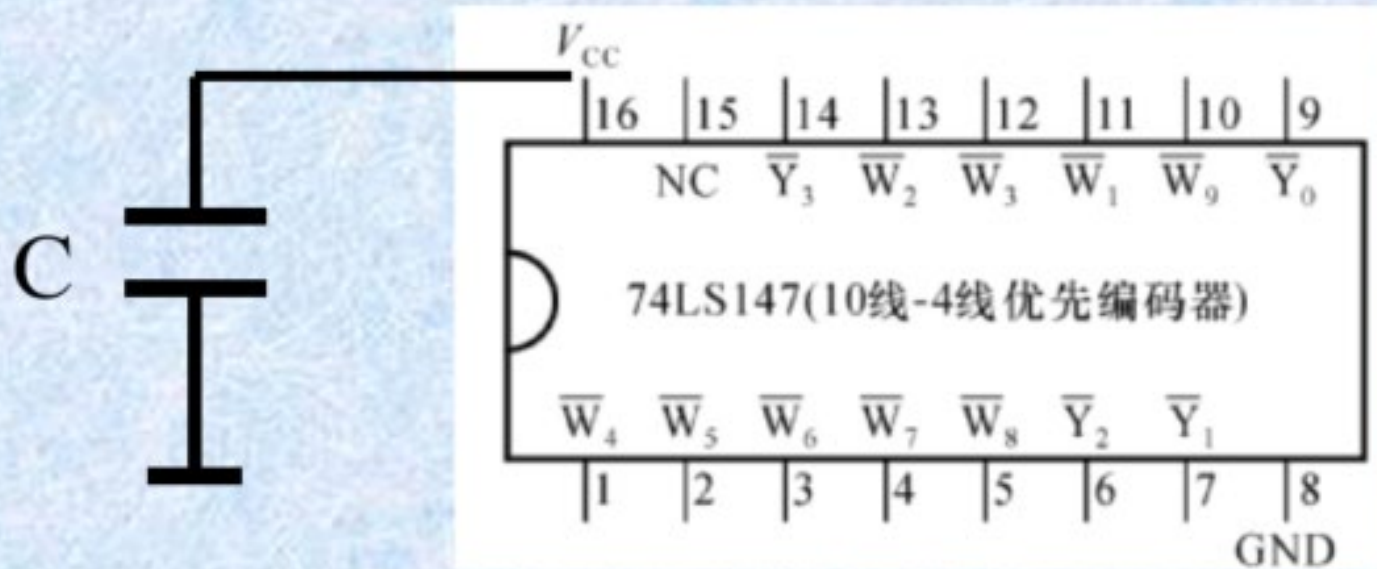


对于CMOS逻辑门电路，当输入端与地之间接有电阻时，不管是接大电阻还是小电阻，该端都相当于低电平（即地电位）；

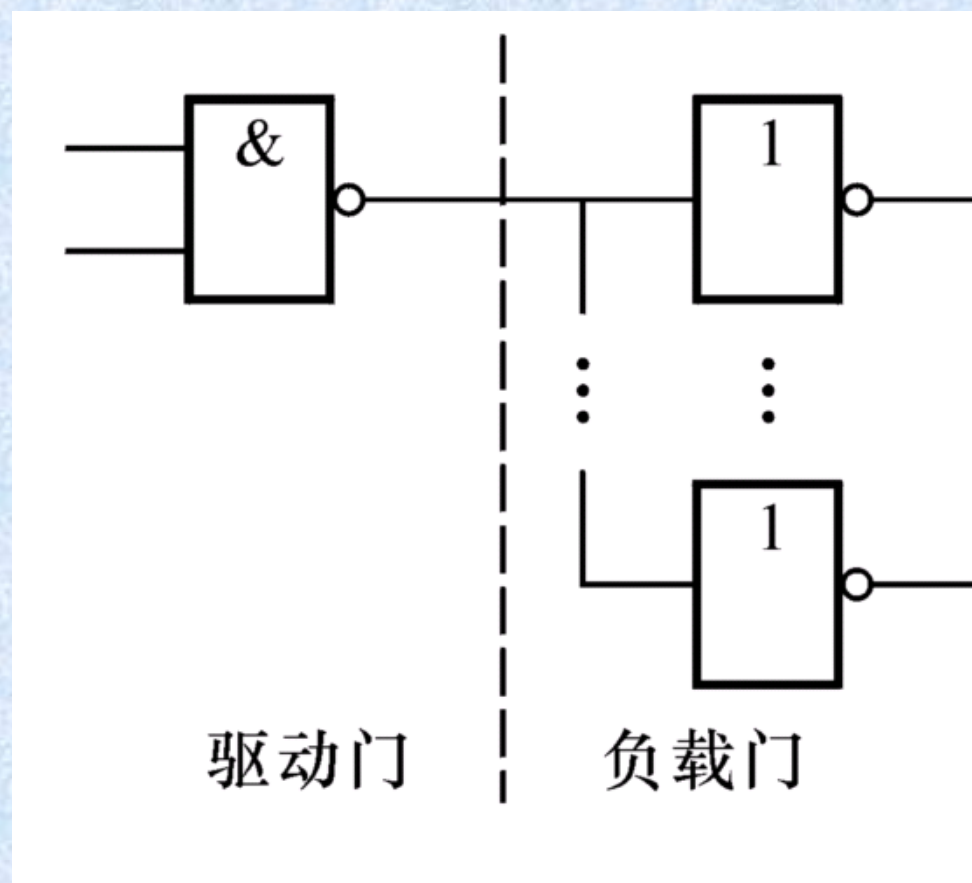
TTL门电路（74系列），当输入端与地之间接有电阻时，若该阻值大于 $1.4K$ 时，该端相当于高电平；若该阻值小于 $0.8K$ 时，该端相当于低电平。

二、电源的去耦滤波

滤除在脉冲工作时，产生的尖峰电流在电源内阻上产生的压降。在集成电路电源的引脚端加接一只 $0.01\mu F \sim 0.1\mu F$ 的电容器。



三、在连接二种不同种类的逻辑门电路，且当二种逻辑门电路的逻辑电平，驱动能力不一致时，它们之间应加接口电路。



以5V电源电压时，CMOS和TTL参数之比较

参数名称	CMOS（4000系列）	TTL（74LS系列）
$V_{OH(min)}/V$	4.6	2.7
$V_{OL(max)}/V$	0.05	0.5
$I_{OH(max)}/mA$	-0.51 4（HC系列）	-0.4
$I_{OL(max)}/mA$	0.51 4（HC系列）	8
$V_{IH(min)}/V$	3.5	2
$V_{IL(max)}/V$	1.5	0.8
$I_{IH(max)}/uA$	0.1	20
$I_{IL(max)}/mA$	-0.0001	-0.4 -1.6(74系列)

驱动门

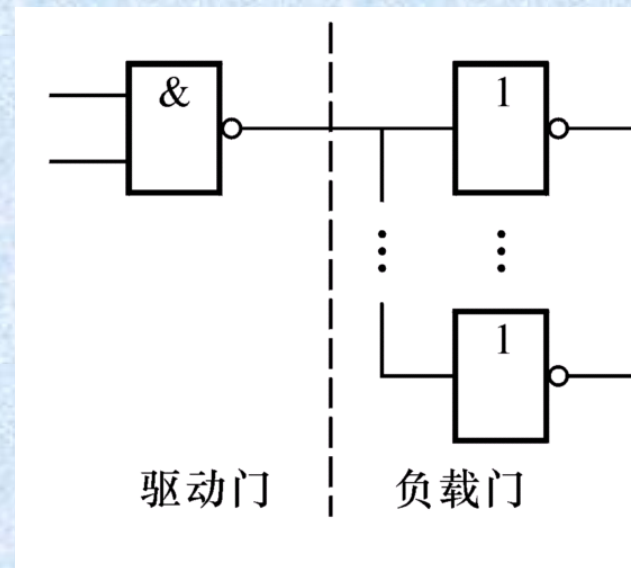
负载门

输出高电平下限 $V_{OH(\min)} \geq$ 输入高电平下限 $V_{IH(\min)}$

输出低电平上限 $V_{OL(\max)} \leq$ 输入低电平上限 $V_{IL(\max)}$

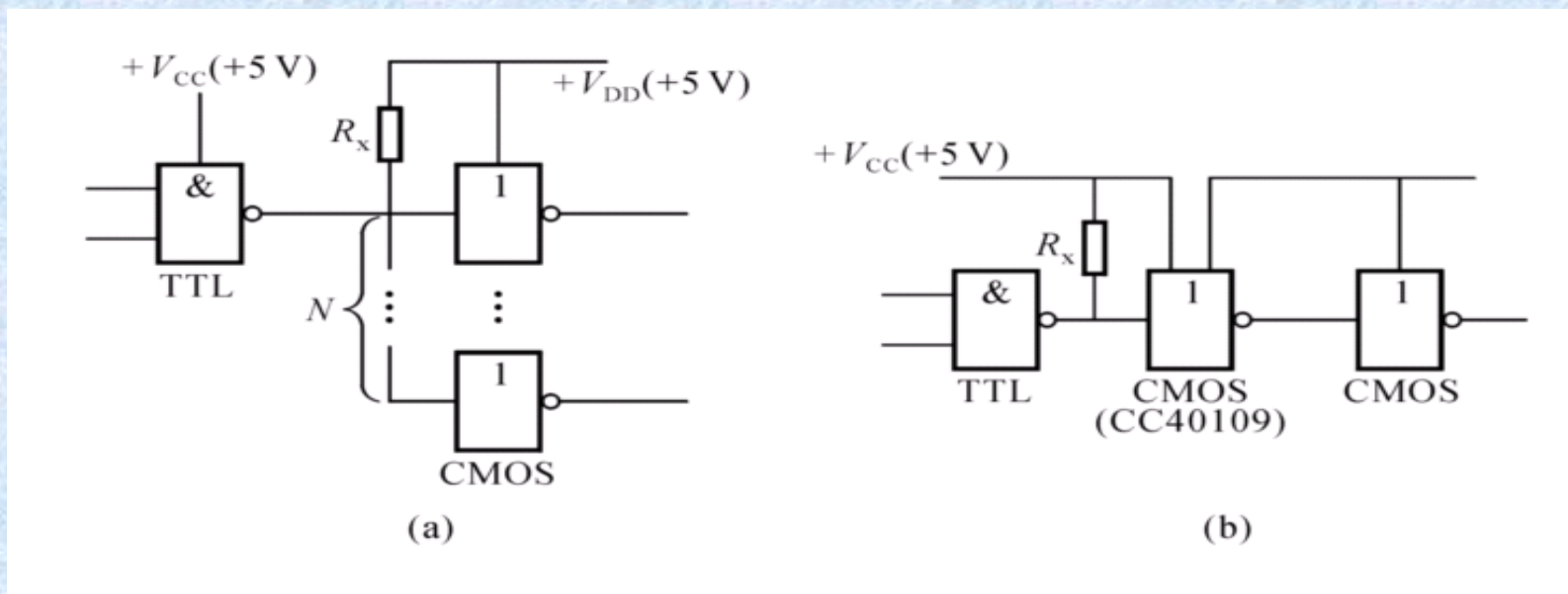
最大拉电流 $I_{OH(\max)} \geq N_{OH} I_{IH(\max)}$

最大灌电流 $I_{OL(\max)} \geq N_{OL} I_{IL(\max)}$



TTL电路驱动CMOS电路时:

TTL(74LS系列) 输出高电平下限 $V_{OH(min)}$ 不满足CMOS(4000系列) 电路的输入高电平下限 $V_{IH(min)}$ 要求



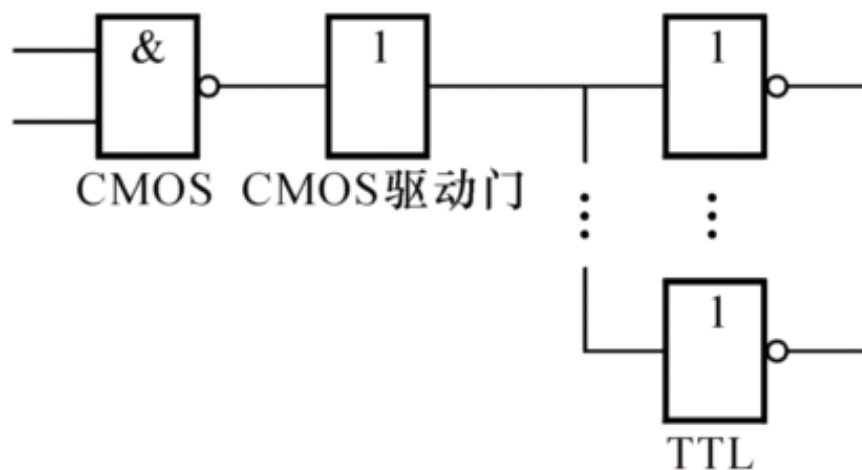
接上拉电阻 R_x

采用电平偏移门CC40109

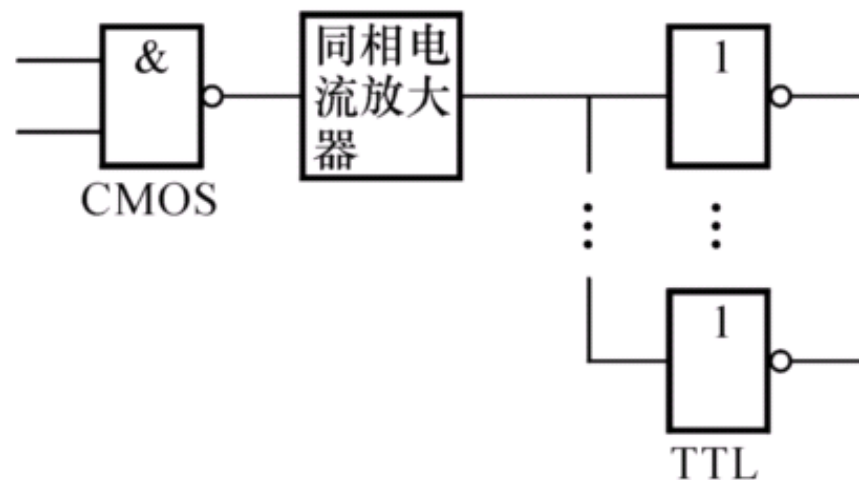
CMOS（4000系列）电路驱动TTL（74系列）电路时：

电路的最大灌电流不满足要求

采用CMOS驱动器（a）；同相电流放大器（b）



(a)



(b)

◆ 集成门电路系列型号

1、TTL逻辑电路系列

74×× 标准系列

74L×× 低功耗系列

74H×× 高速系列

74S×× 肖特基系列

74LS×× 低功耗肖特基系列

74AS×× 先进的肖特基系列

74ALS×× 先进的低功耗肖特基系列

2、CMOS逻辑器件系列

4000系列

标准系列

74C××系列

普通系列

74HC/HCU/HCT ××系列

高速系列

74AC/ACT ××系列

先进CMOS系列

74HCT ××和74ACT××系列可直接与TTL相兼容；

74HC能够直接驱动TTL电路，而TTL电路却不能直接驱动74HC