**实验报告**

专业： 机械工程

姓名： 徐屹寒

学号： 3230103743

日期： 5.22

地点： 东三-306

课程名称： 数字电路分析与设计 指导老师： 林平 成绩：\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

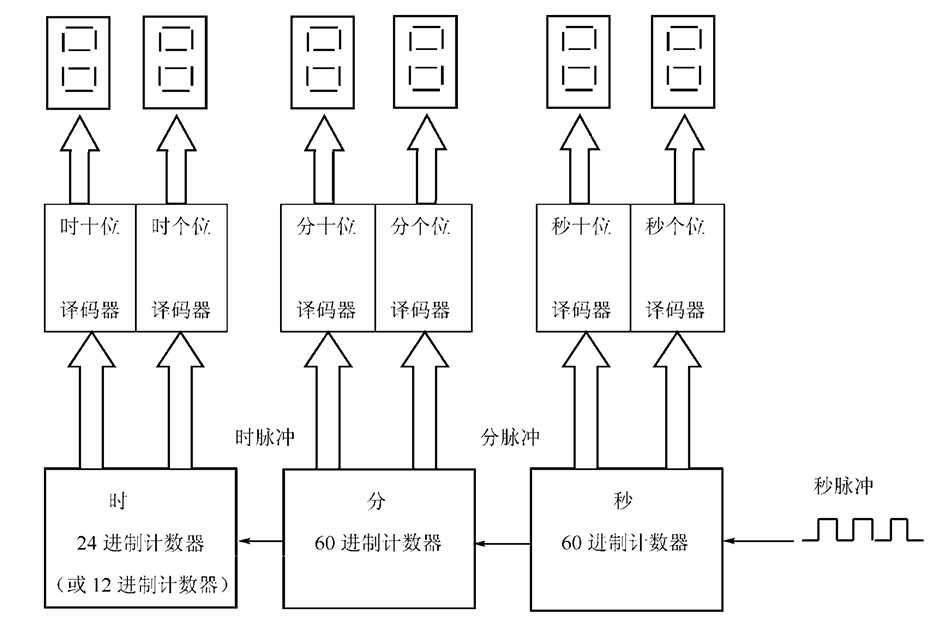
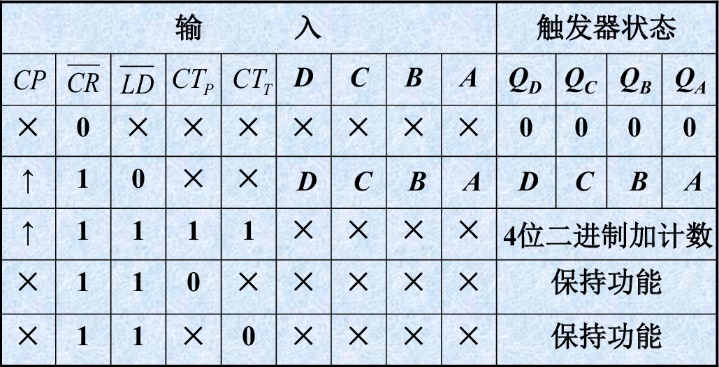
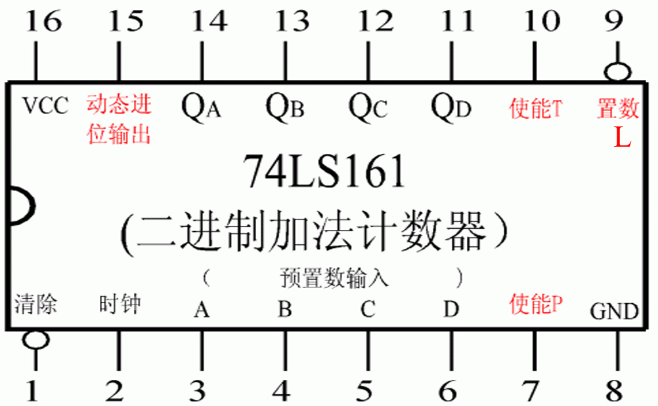
实验名称： 数字钟实验 实验类型：\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_同组学生姓名：\_\_\_\_\_\_\_\_\_\_

1. 实验目的和要求（必填）
2. 掌握中规模计数芯片功能
3. 正确使用中规模芯片完成计数功能
4. 掌握示波器在数电实验中的应用
5. 实验内容和原理（必填）

内容：

1. 连接60进制和24进制计数器。
2. 用示波器观察计数器各输出端和CP脉冲的频率关系。

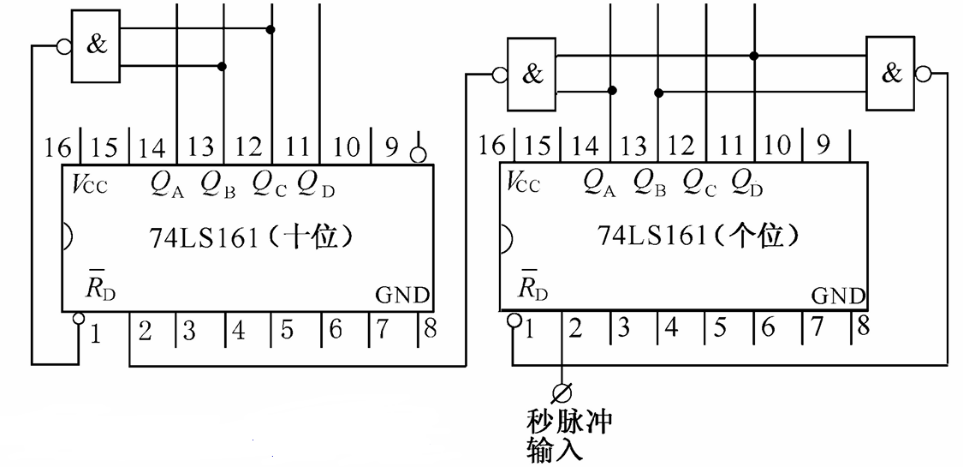
原理：

1. 数字钟的基本组成
2. 74LS161计数器

原理图 功能表

1. 十进制计数器理论波形图示

   AI 生成的内容可能不正确。
2. 六十进制计数器（显示秒或分）



1. 图示, 示意图

   AI 生成的内容可能不正确。24进制计数器（显示小时）
2. 主要仪器设备（必填）

示波器，数电实验箱，信号发生器，二进制计数器74LS161，与非门74HC00

1. 操作方法和实验步骤

先分别连接一个 10 进制和一个 6 进制计数器

1. 计数器输出接发光二极管，CP端连逻辑开关，依次送入计数脉冲，检查功能是否正确。
2. 输出接数码管，CP端连实验箱上的1Hz时钟作为输入脉冲。
3. CP端连1kHz时钟上，用示波器对计数器进行动态测试， 观察并记录计数器的CP端和QD、QC、QB、QA端的波形 （包括幅值，注意相位对齐）。
4. 实验数据记录和处理

电子设备的屏幕

AI 生成的内容可能不正确。文本

AI 生成的内容可能不正确。

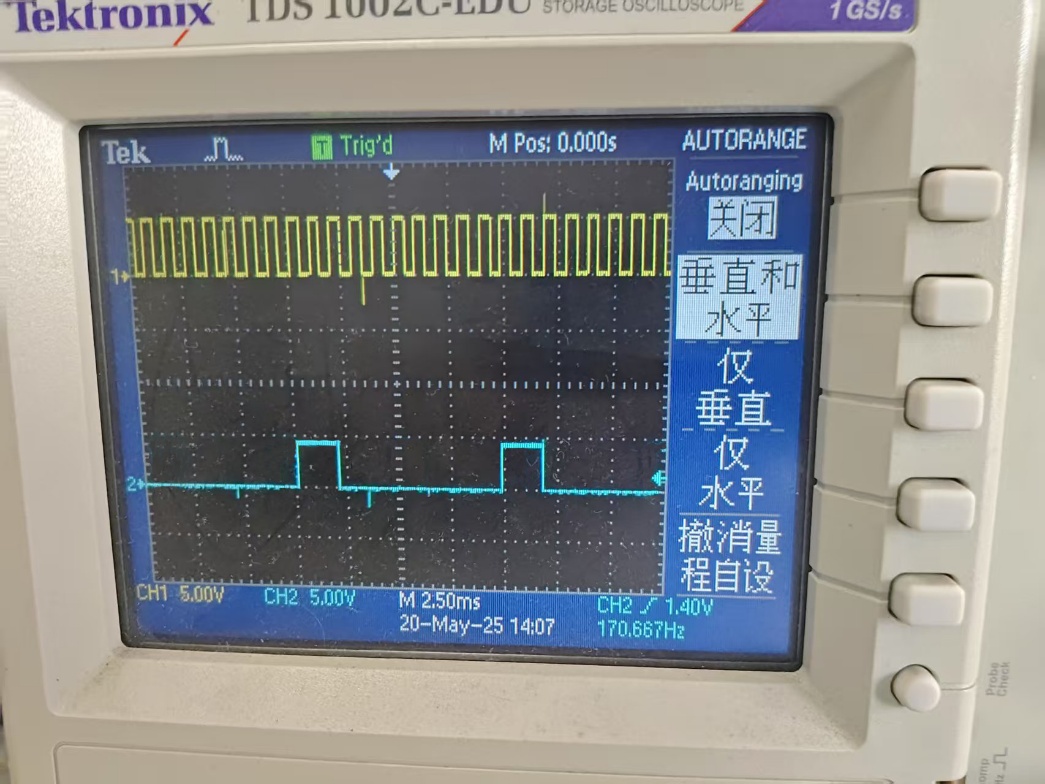
QC

QD

CP

CP

图形用户界面

AI 生成的内容可能不正确。

QA

CP

CP

QB

1. 实验结果与分析（必填）

实验最终结果达到预期效果，接线成功后分别实现了六进制计数器、十进制计数器、六十进制计数器、二十四进制计数器。同时，所得波形图与理论分析一致。

1. 讨论、心得

思考题：

1. 用示波器观察逻辑电路的功能时，输入时钟应选择1 Hz还是1 kHz信号？为什么？

选择1kHz。1 Hz 的信号意味着每秒钟只有一个完整的时钟周期。在示波器上观察时，你会看到电平状态（高或低）在很长一段时间内保持不变，然后才跳变一次。这对于观察动态变化的波形、以及输出端与时钟之间的快速时序关系非常不利。1 kHz 的信号每秒钟有 1000 个时钟周期。这个频率足够高，可以在示波器屏幕上稳定地显示出多个周期的输入和输出波形。

1. 实际应用中干扰是否总是存在？实验中为了抑制干扰应注意哪些方面？

总是存在。检查接线长度，层叠层数，引脚悬空，芯片电源处是否接滤波电容等。

1. 74LS161的清零端和置数端未用时，能否悬空？为什么？

不能悬空。虽然悬空的TTL输入端一般表现为高电平，但这并不是一个稳定状态。其电压可能处于高低电平阈值之间的不确定区域，极易受到噪声干扰导致电路功能失常。为了保证电路的稳定可靠运行，这些未使用的控制输入端应明确连接到高电平。

1. 异步计数器为什么容易产生误动作？同步计数器能否避免误动作？

异步计数器容易产生误动作的主要原因是其**逐级传递的进位方式**以及由此带来的**累积延迟**。由于这种累积延迟，当计数器从一个状态转换到另一个状态，特别是当有多个位同时需要改变时，各个位的变化在时间上是错开的。这会导致在达到最终稳定状态之前，计数器的输出端会短暂地出现一些**不正确的中间状态**（也称为毛刺）。如果这些带有毛刺的计数器输出直接用作其他逻辑电路的输入，这些不正确的瞬态值就可能被后续电路错误地识别和处理，从而导致整个系统的误动作。

同步计数器能够显著地避免由异步计数器中那种累积延迟和逐级翻转所引起的误动作。在同步计数器中，所有的触发器都连接到**同一个公共的时钟脉冲源**。这意味着所有触发器的状态变化（都是在时钟脉冲的同一个有效边沿同时发生的。但同步计数器并非绝对免疫所有类型的误动作。比如最经典的外部噪声造成的误动作。