

触发器 Flip-Flops

刘 鹏

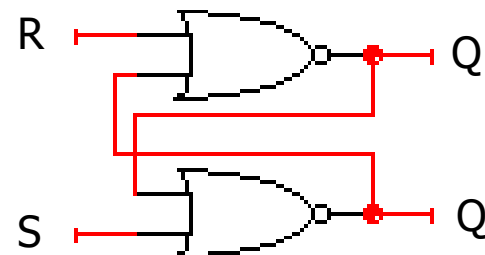
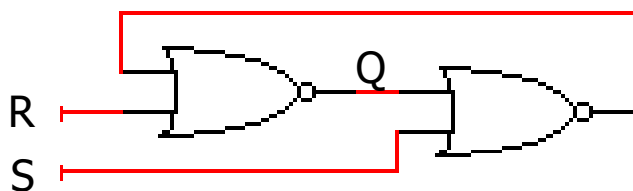
浙江大学信息与电子工程学院

liupeng@zju.edu.cn

具有交叉耦合门的存储单元

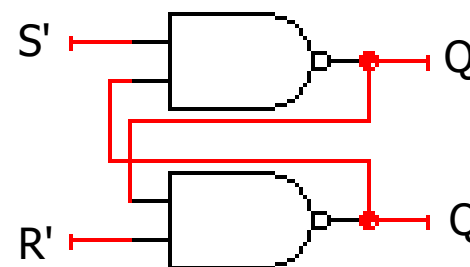
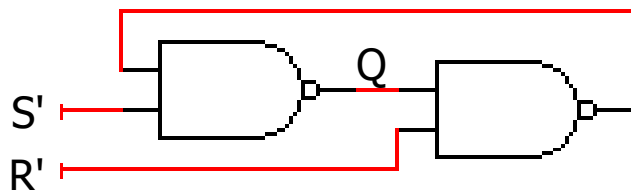
□ 交叉耦合NOR门

- 类似于反相器对，能够强制输出为0（复位=0）或1（置位=1）

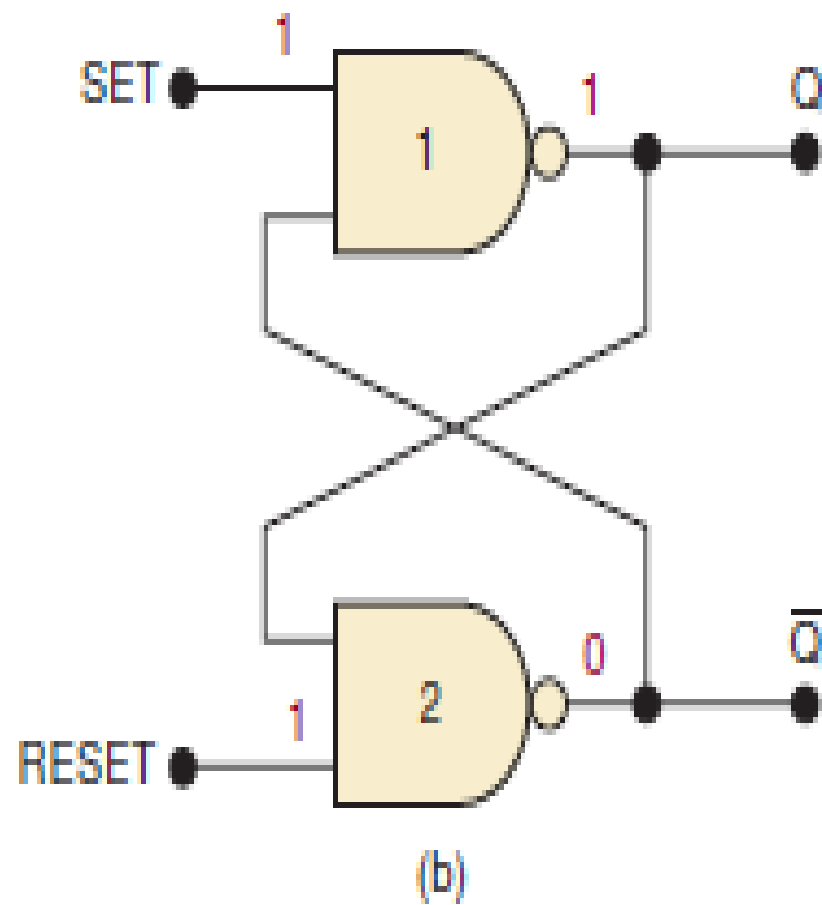
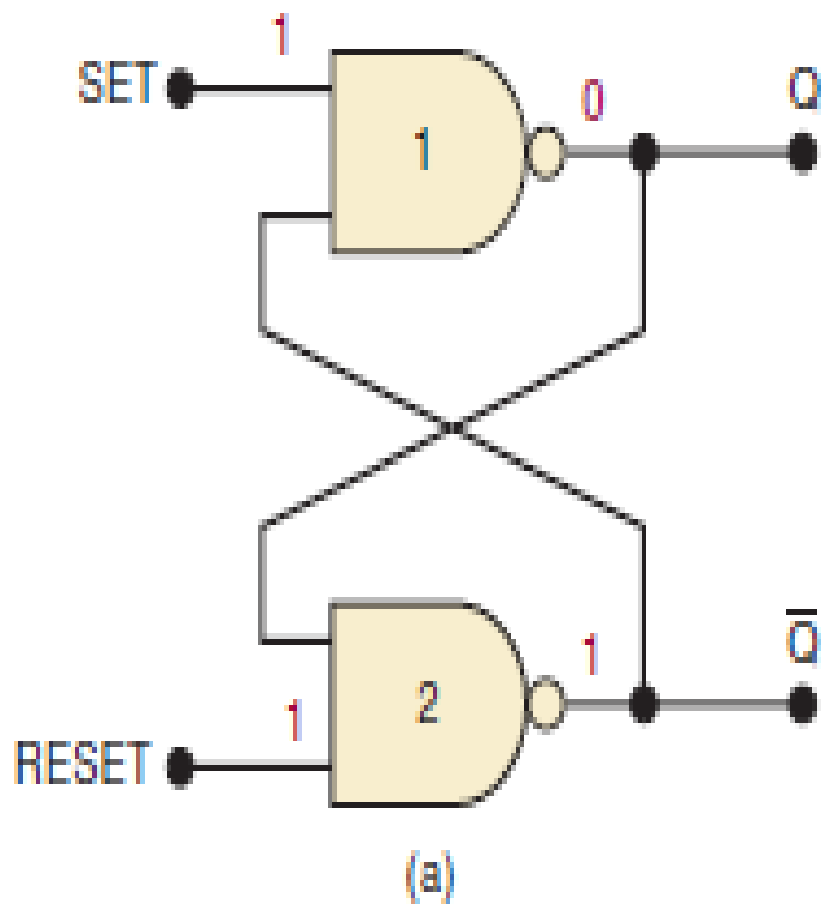


□ 交叉耦合NAND门

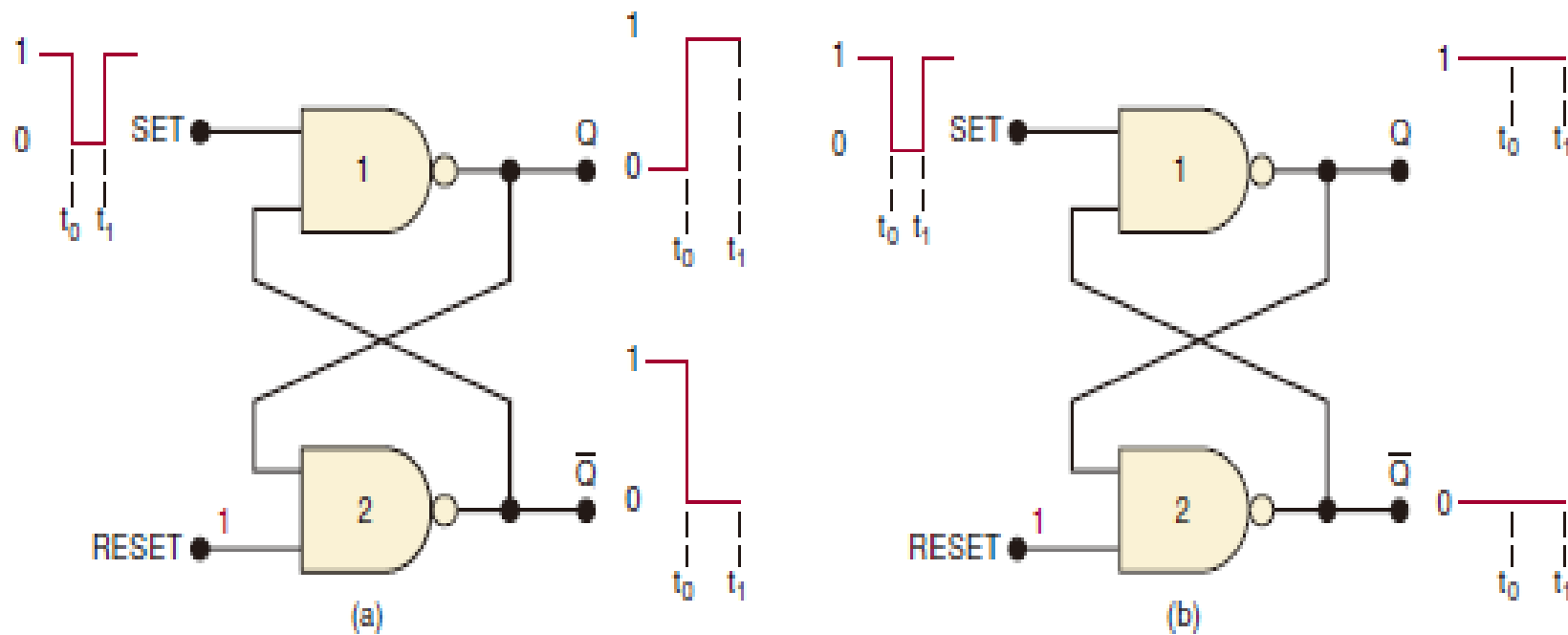
- 类似于反相器对，能够强制输出为0（复位=0）或1（置位为1）



NAND 锁存器

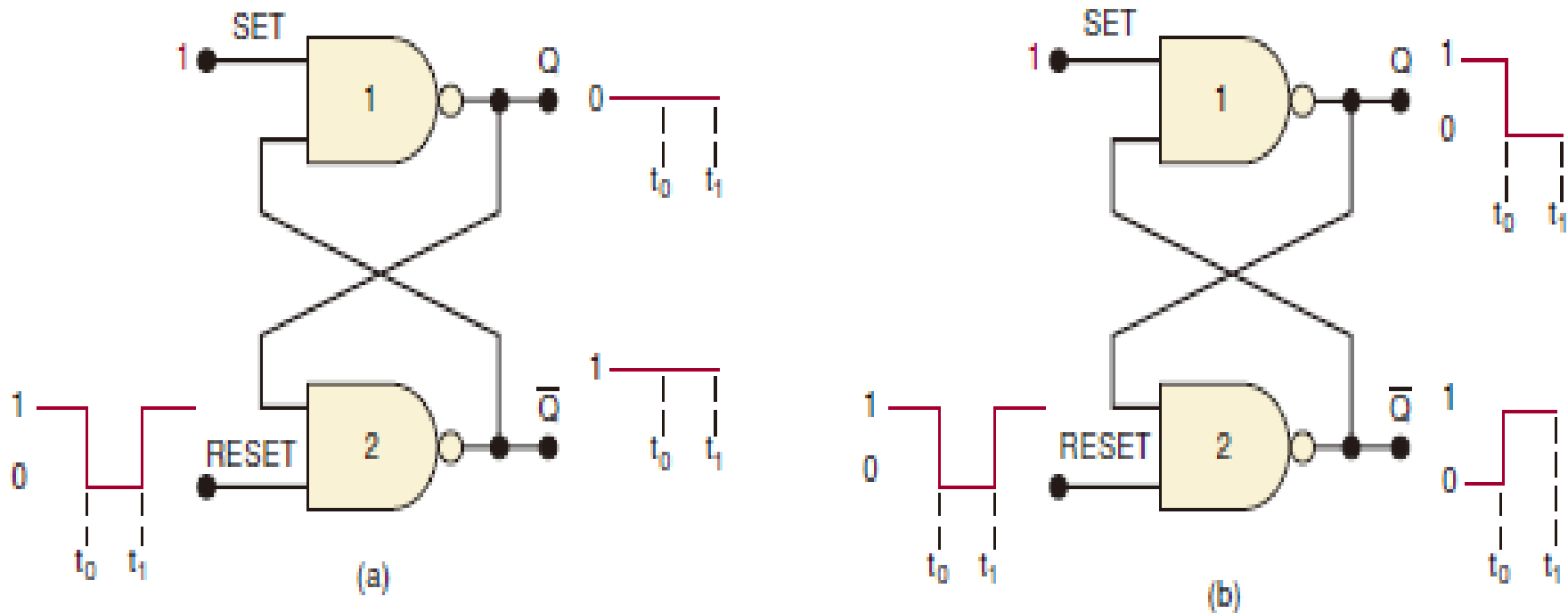


锁存器置位



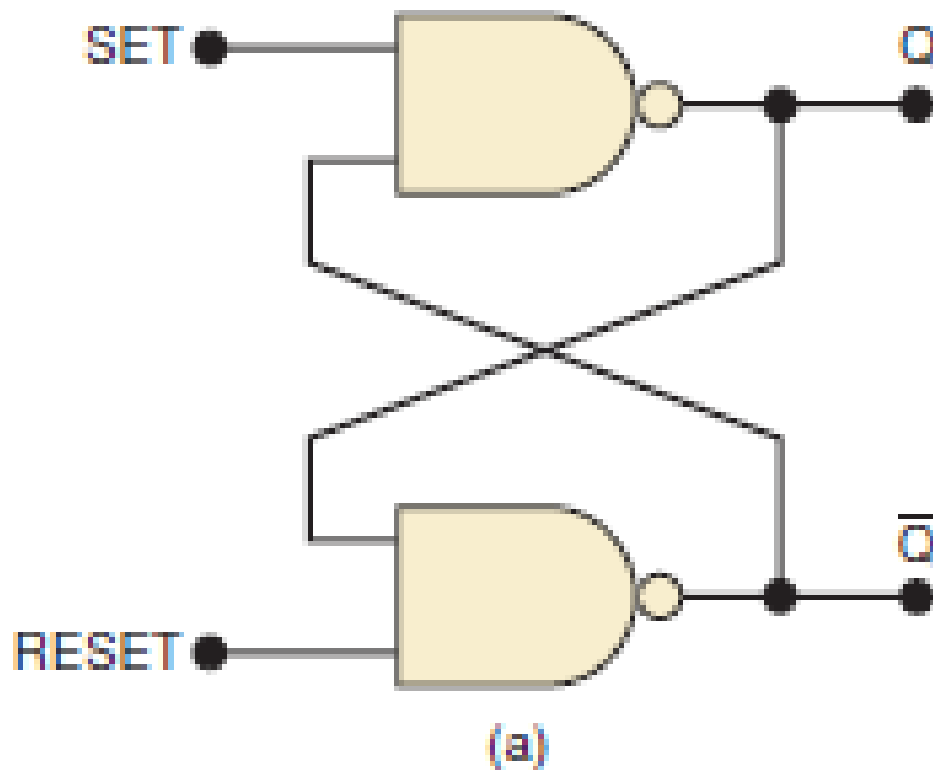
- 在Set脉冲前 (a) $Q = 0$ 时和 (b) $Q = 1$ 时，将SET输入置为“0”状态，在这两种情况下，Q都以**HIGH**结束。

锁存器复位



- 在RESET脉冲之前，(a) $Q = 0$ 或 (b) $Q = 1$ 时，将RESET输入脉冲复位成LOW（“0”）状态，在每种情况下，Q值都是**LOW**。

NAND锁存器小结



(a) NAND锁存器

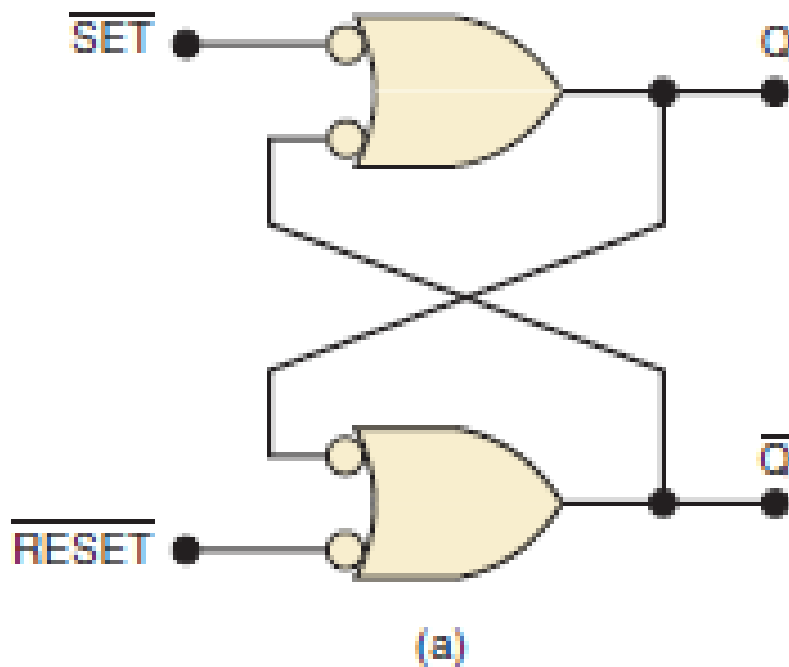
Set	Reset	Output
1	1	No change
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Invalid*

*Produces $Q = \bar{Q} = 1$.

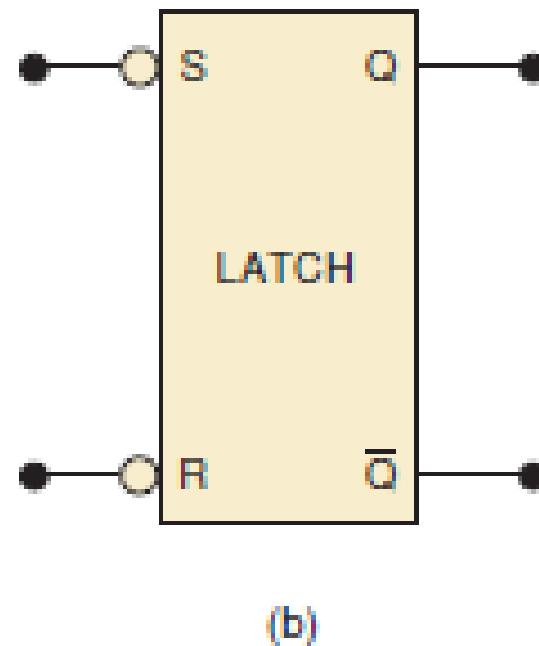
(b)

(b) 功能表

NAND锁存器的另一种交替表示



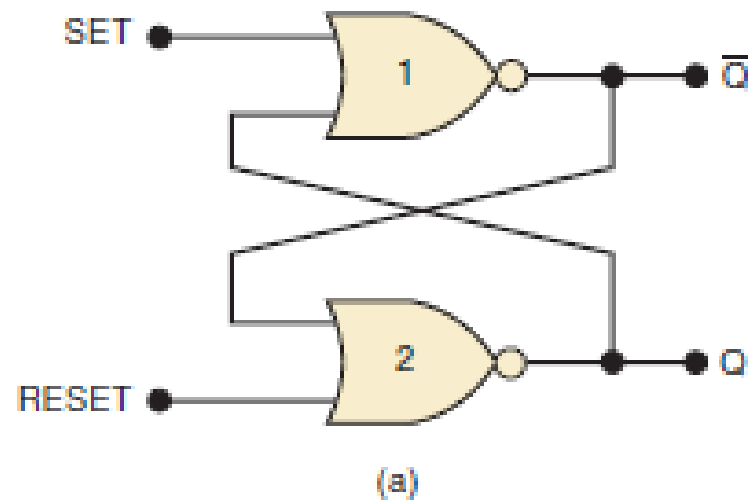
(a) NAND锁存器等效表示



(b) 简化模块符号

NOR门构造的锁存器

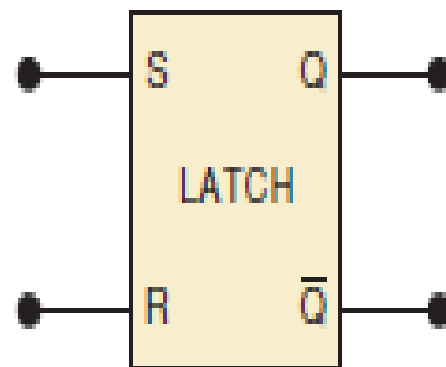
- ❑ (a) NOR 门锁存器
- ❑ (b) 功能表
- ❑ (c) 简化的模块符号



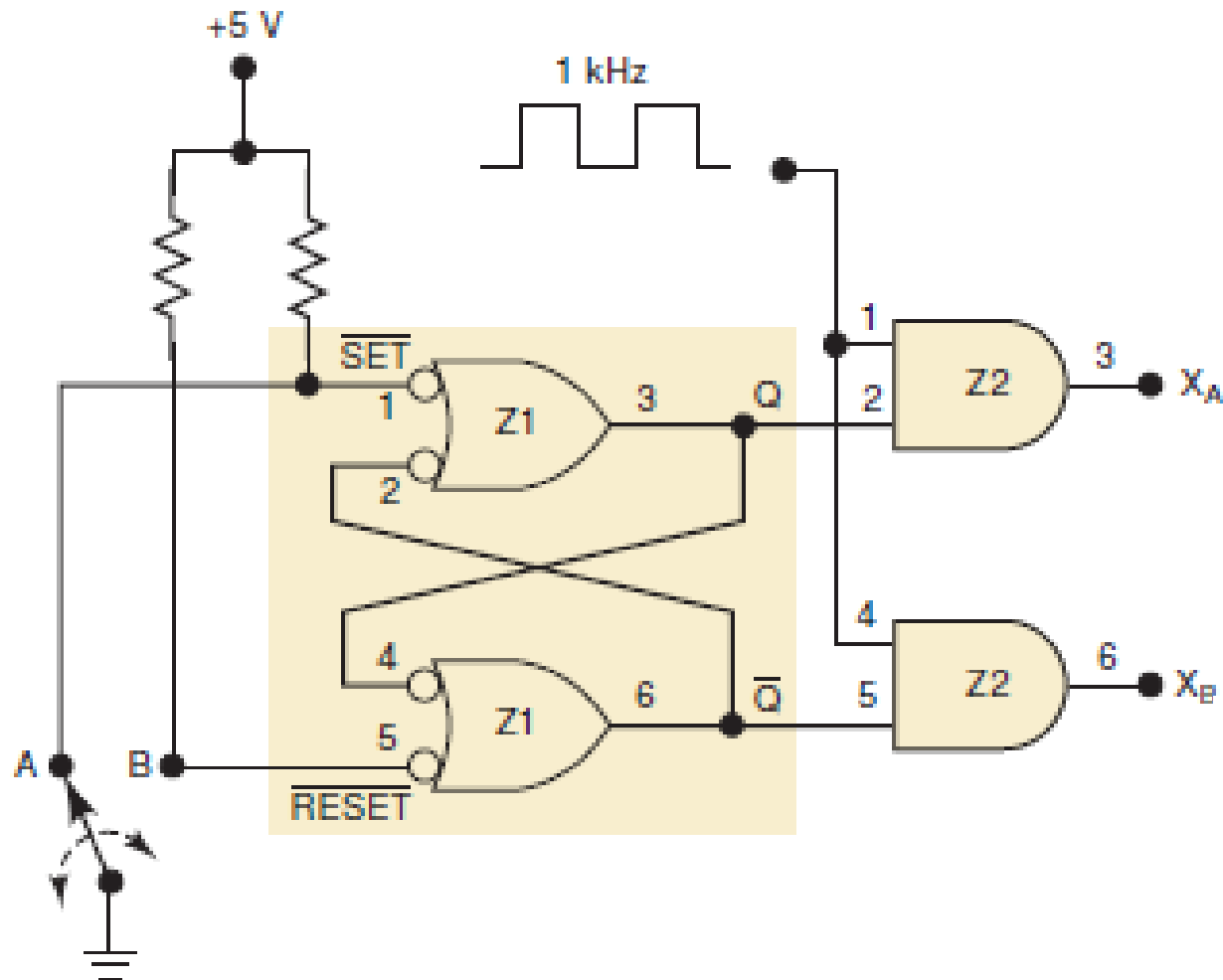
Set	Reset	Output
0	0	No change
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Invalid*

*Produces $Q = \bar{Q} = 0$.

(b)



分析和描述电路的操作

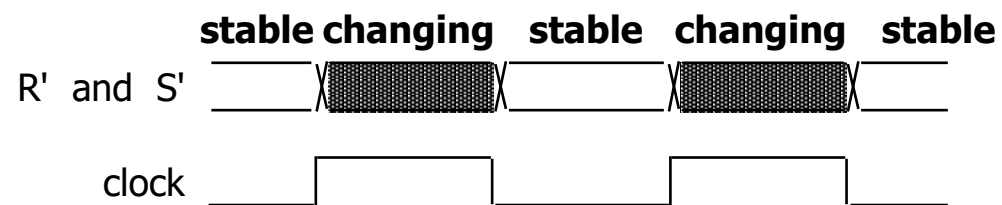
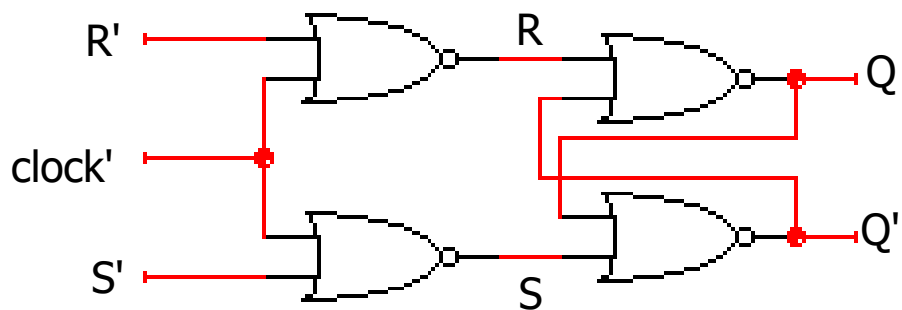


Switch position	X_A	X_B
A	Pulses	LOW
B	LOW	Pulses

时钟

□ 用时钟控制R-S锁存器

- 时钟有效时，不能让R和S改变，允许R和S通过
- 只有一半的时钟周期用于信号变化的传播
- 信号必须在时钟周期的另一半保持稳定



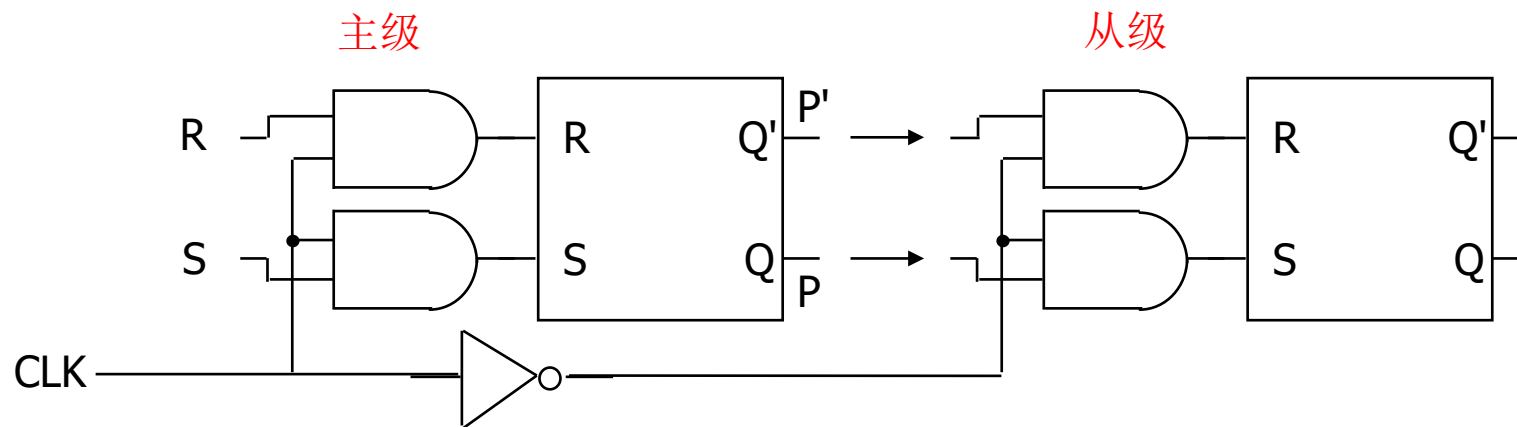
主从结构

□ 通过交替的时钟断开流

- 使用高电平将输入锁存到一个 R-S 锁存器中
- 使用低电平通过另一个 R-S 锁存器改变输出

□ 视为一个基本单元

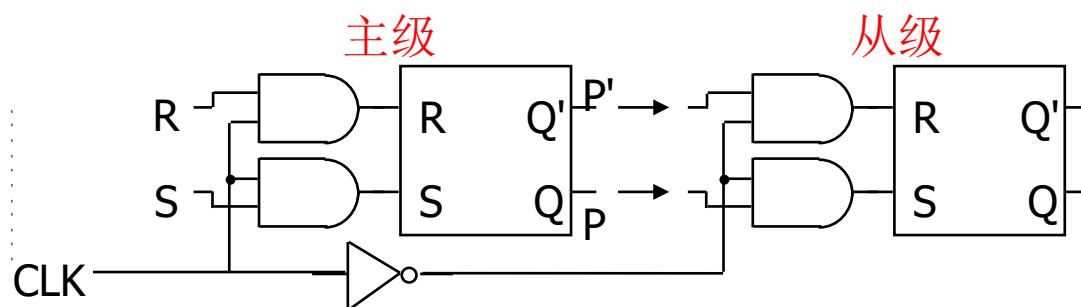
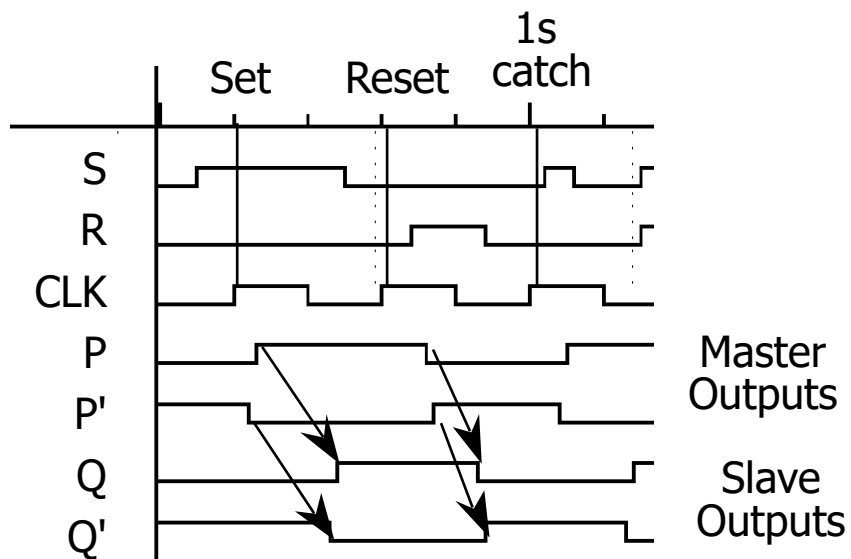
- 主从触发器
- 两倍的逻辑



“1” 的捕获问题

□ 主从FF的第一R-S阶段

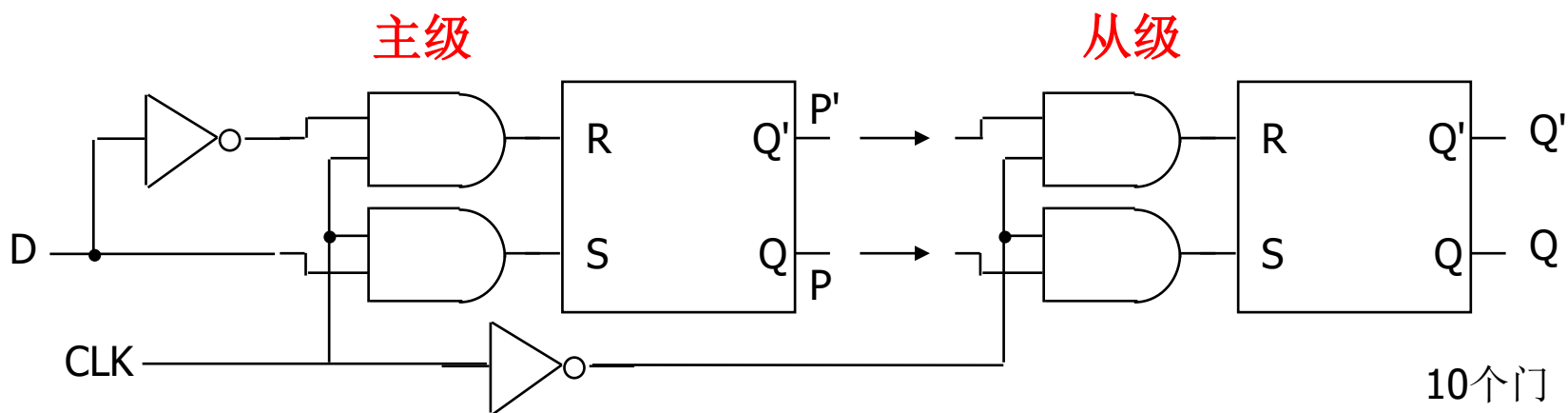
- 当时钟为高时，R或S上的0-1-0毛刺被主级“捕获”
- 从而逻辑上的约束是无危险的



D 触发器

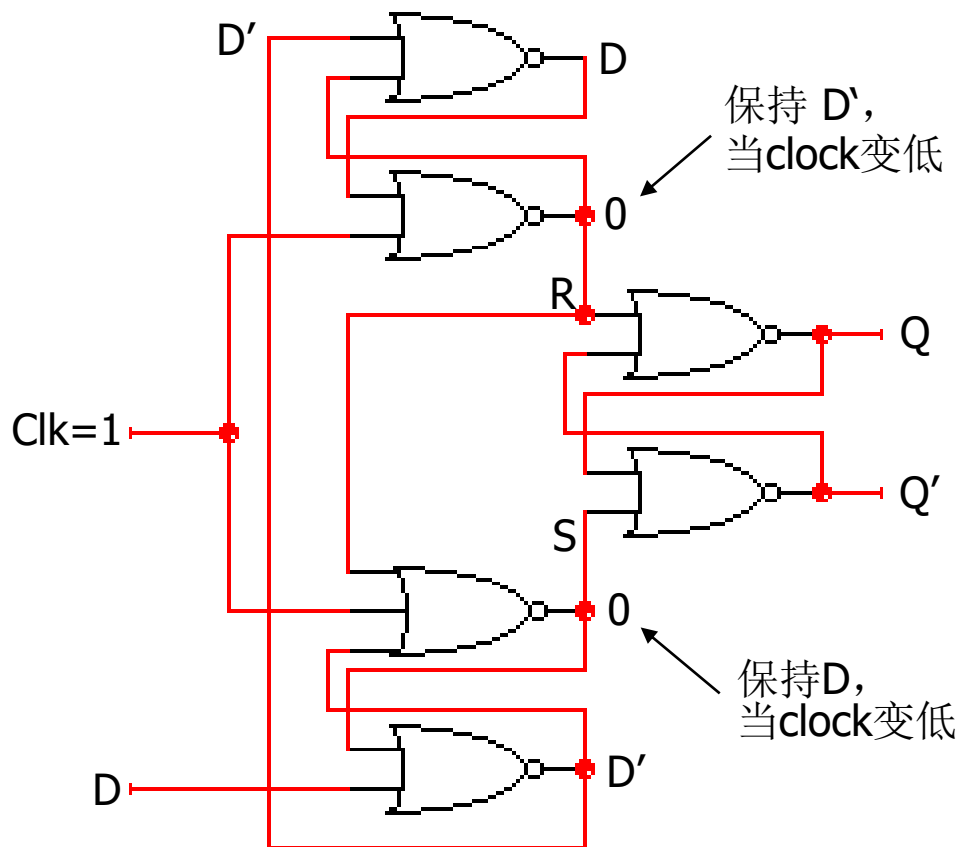
□ 使S和R互为补

- 消除 “1” 的捕获问题
- 不能只保留以前的值（必须在每个时钟周期准备好新值）
- 时钟变低之前的 D 值是存储在触发器中的值
- 可以通过添加逻辑来制作 R-S 触发器 $D = S + R' Q$



边沿触发的触发器

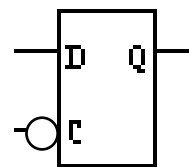
- 有效的解决方案：只有6个门
 - 只对接近时钟信号边缘的输入敏感(高信号时不敏感)



负边沿触发 D触发器 (DFF)

4-5 门延时

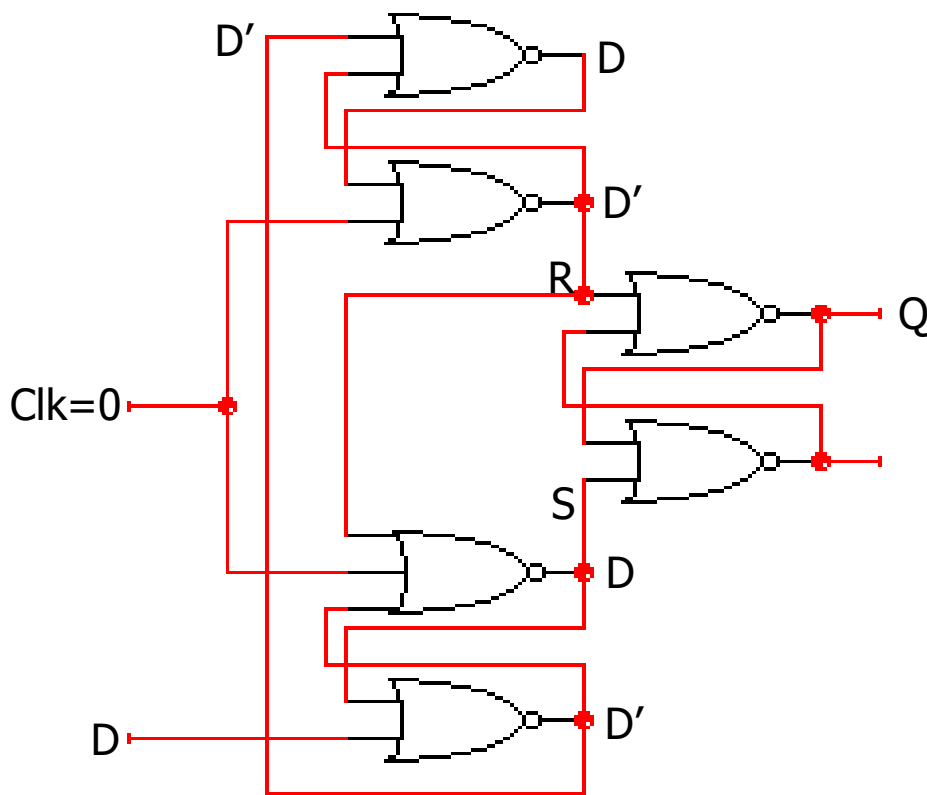
需要保证建立时间和保持时间
以便捕获输入



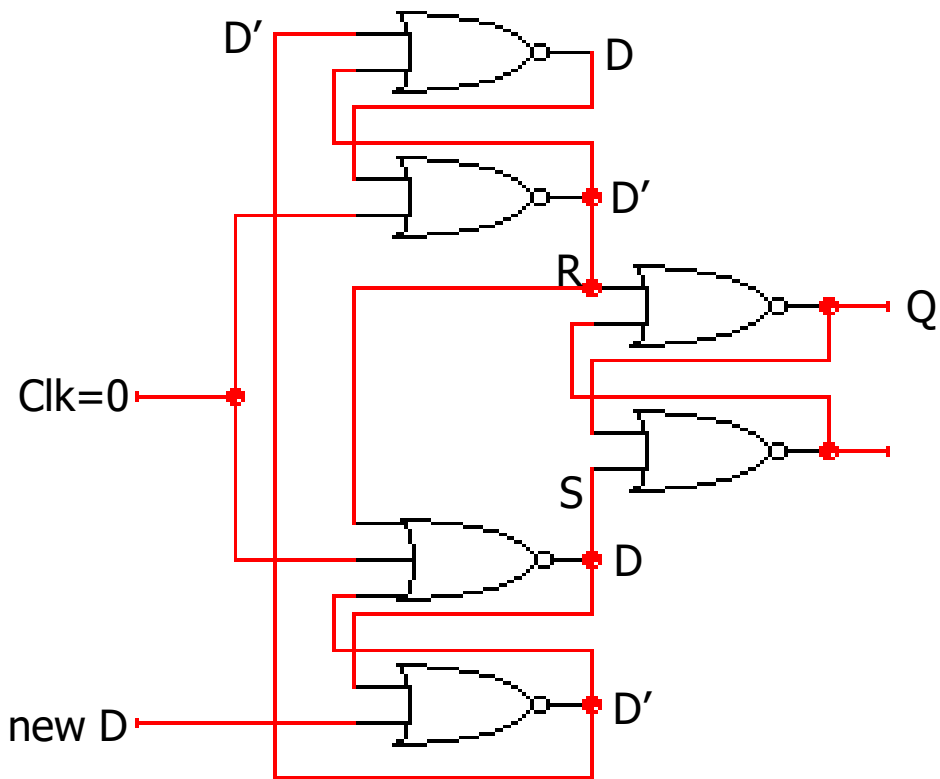
特性方程
 $Q(t+1) = D$

边沿触发的触发器 (续)

□ 循序渐进分析



当clock从高→低
数据被锁存

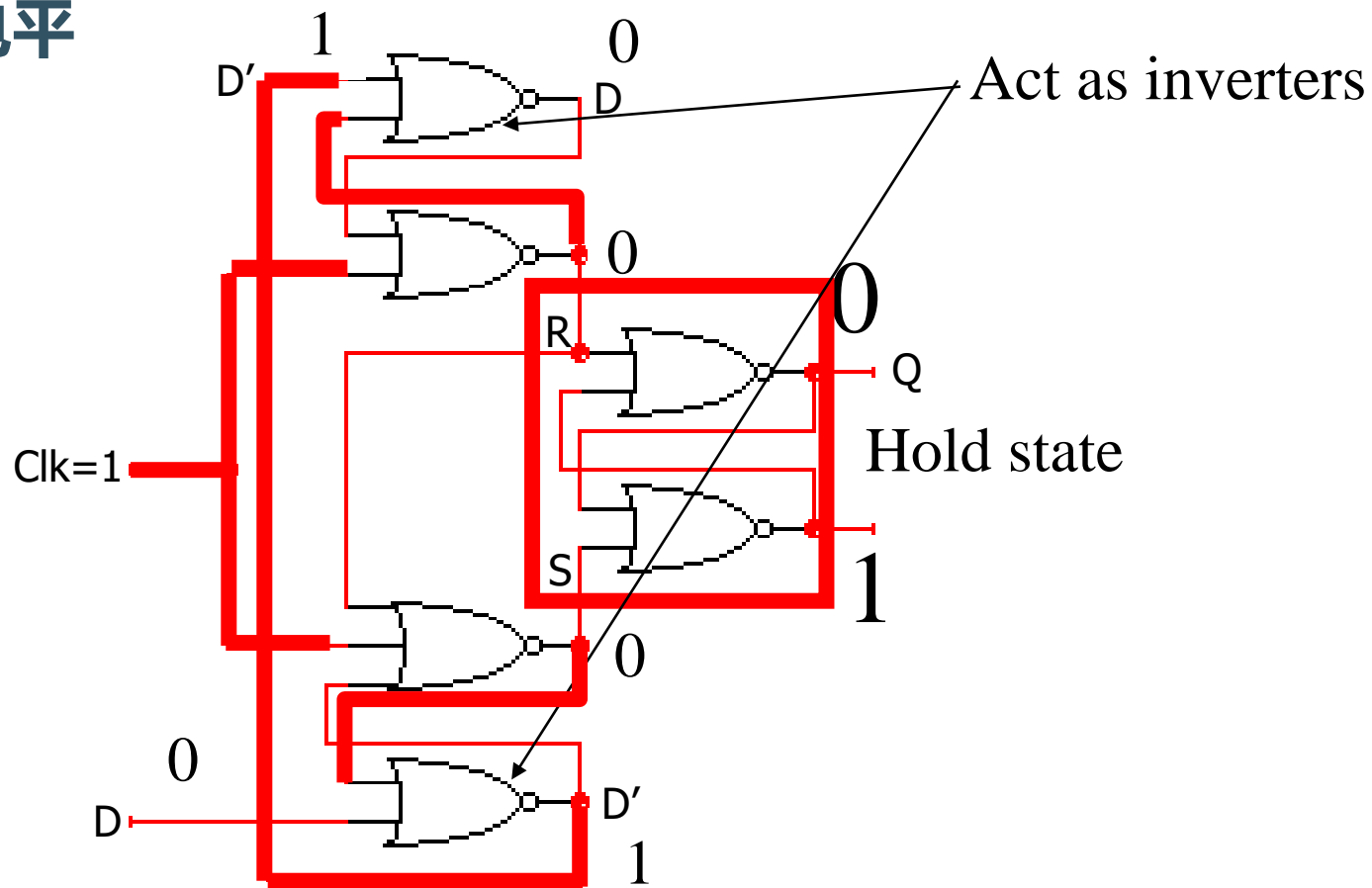


$new D \neq old D$

当clock是低电平
保持数据

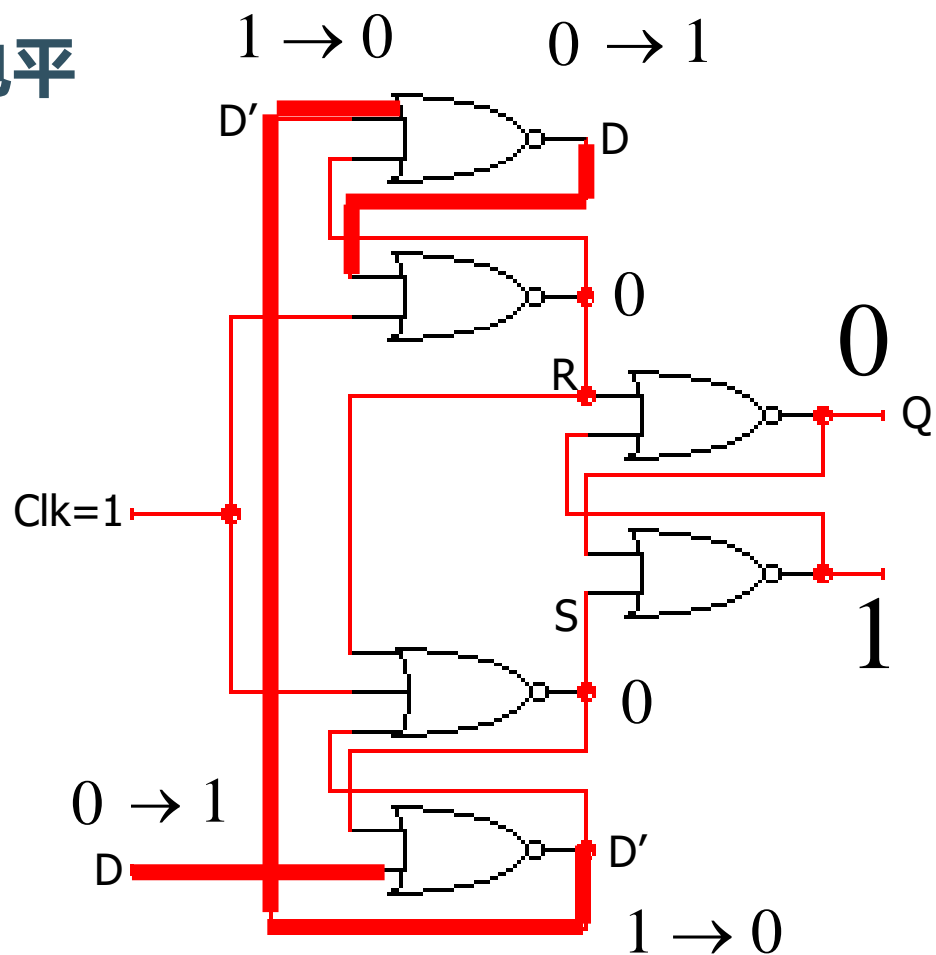
边沿触发的触发器 (续)

□ $D = 0$, Clk是高电平



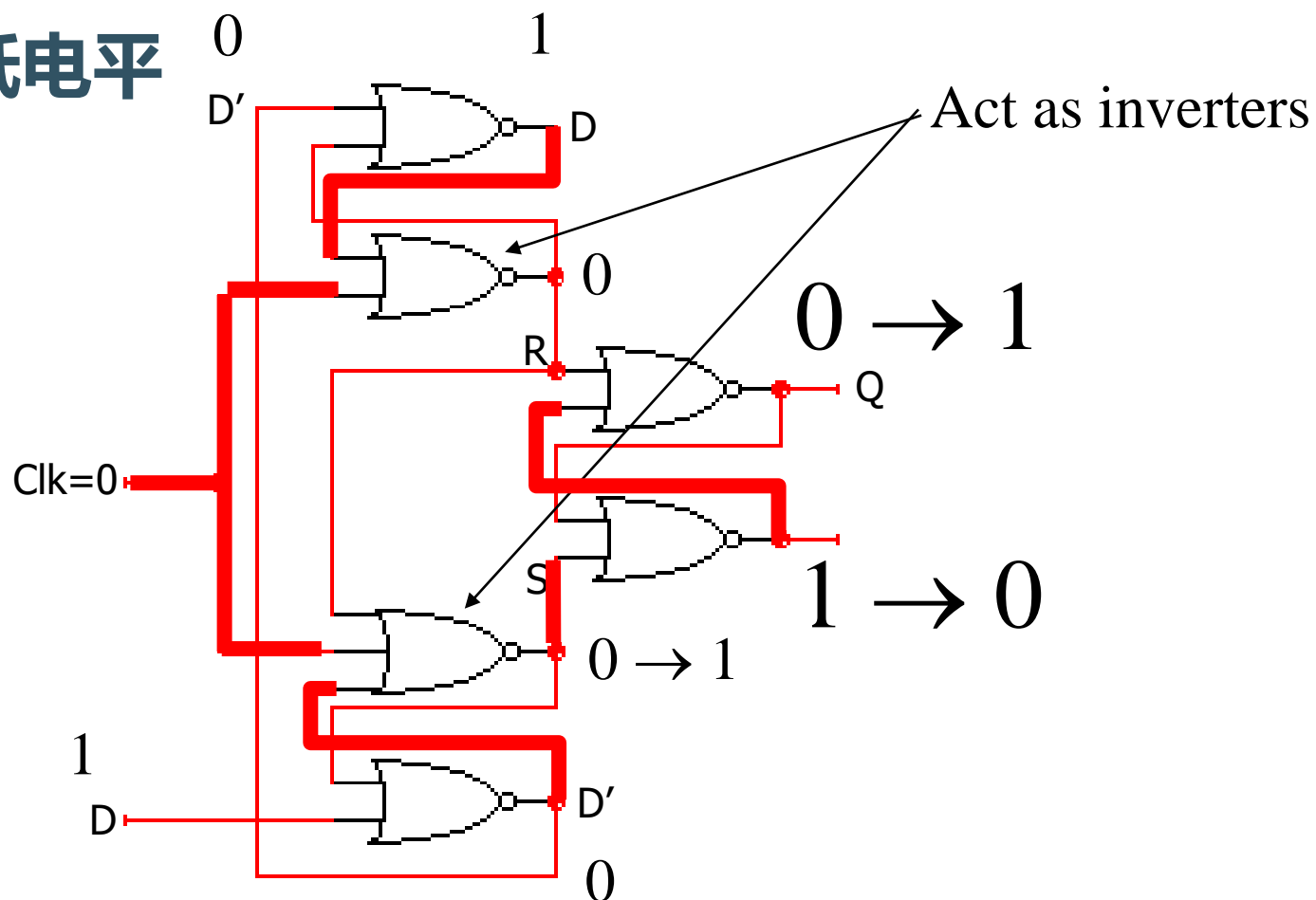
边沿触发的触发器 (续)

- $D = 1$, Clk是高电平



边沿触发的触发器 (续)

□ $D = 1$, Clk是低电平



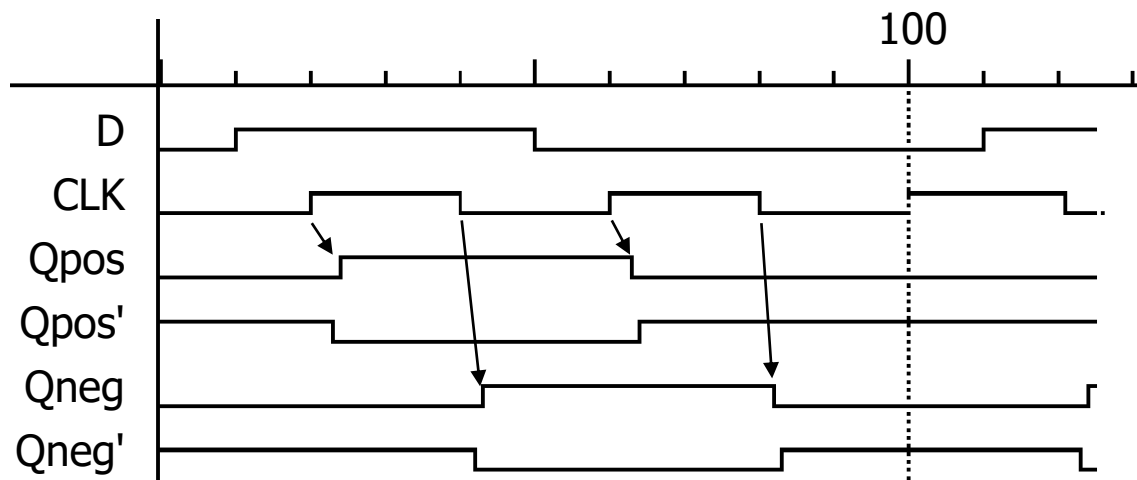
边沿触发的触发器（续）

□ 正边沿触发的触发器

- 上升沿采样的输入，上升沿后输出变化

□ 负边沿触发的触发器

- 下降沿采样的输入，下降沿后输出变化



正边沿触发的FF

负边沿触发的FF

负边沿触发的FF, Verilog语言描述

```
module d_ff (q, q_bar, data, clk);  
    input  data, clk;  
    output q, q_bar;  
    reg    q;  
  
    assign q_bar = ~q;  
  
    always @(negedge clk)  
        begin  
            q <= data;  
        end  
endmodule
```

本讲内容

- 主从触发器
- 边沿触发器

本讲内容

- 时序的基本概念
- Flip-Flop分类

定时方法

□ 组件和时钟互连规则

- 在严格执行的情况下，保证系统的正常运行

□ 方法依赖于用于存储单元的构建模块

- 专注于带边触发器的系统
 - 可编程逻辑器件中使用
- 许多定制集成电路都专注于电平敏感锁存器

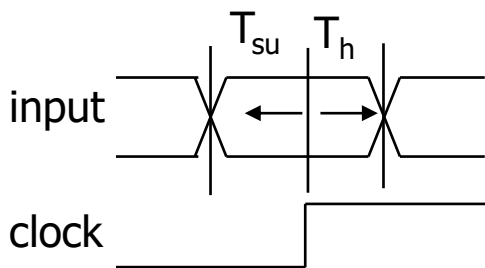
□ 正确定时的基本规则

- 在时间方面，为触发器提供了正确的输入
- 每个时钟事件不允许触发器改变状态超过一次

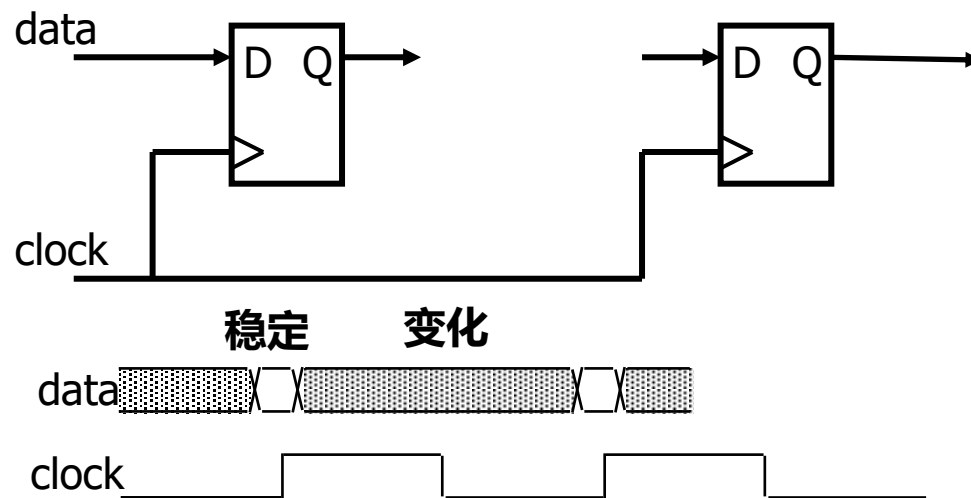
定时方法（续）

□ 术语定义

- **时钟**：周期性事件，导致存储单元状态改变，可以是上升沿或下降沿，或高电平或低电平
- **建立时间**：在时钟事件之前输入必须稳定的最小时间(T_{su})
- **保持时间**：在时钟事件后输入必须保持稳定的最小时间(T_h)



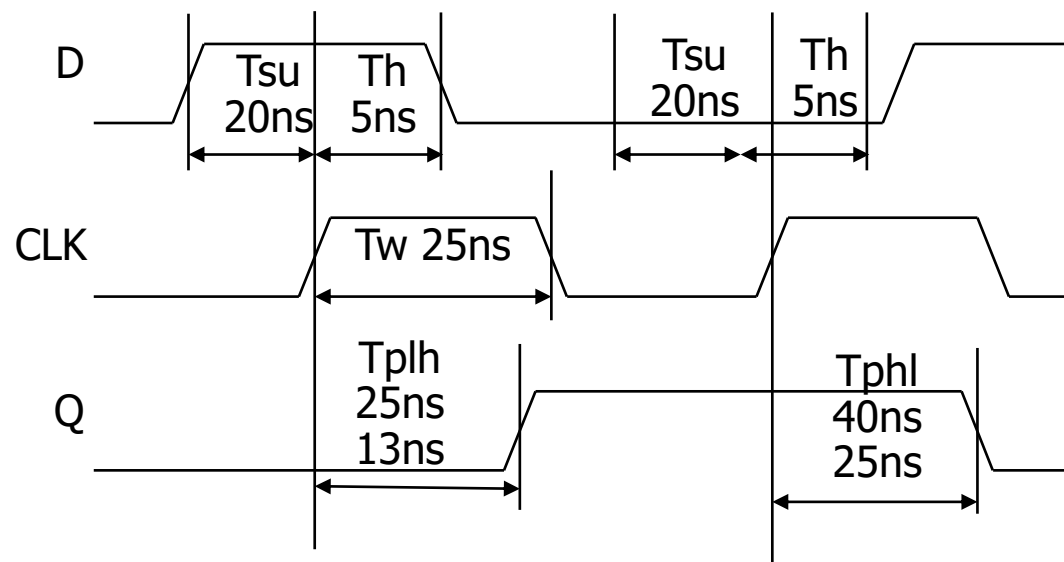
在时钟事件周围有一个**定时“窗口”**，在此期间输入必须保持稳定和不变，以便被识别



典型的定时规范

□ 正边沿触发的D触发器

- 建立时间 T_{su} 和保持时间 T_h
- 最小时钟宽度 T_w
- 传播延迟 (从低到高电平 T_{plh} , 从高到低电平 T_{phl} , 最大和典型值)

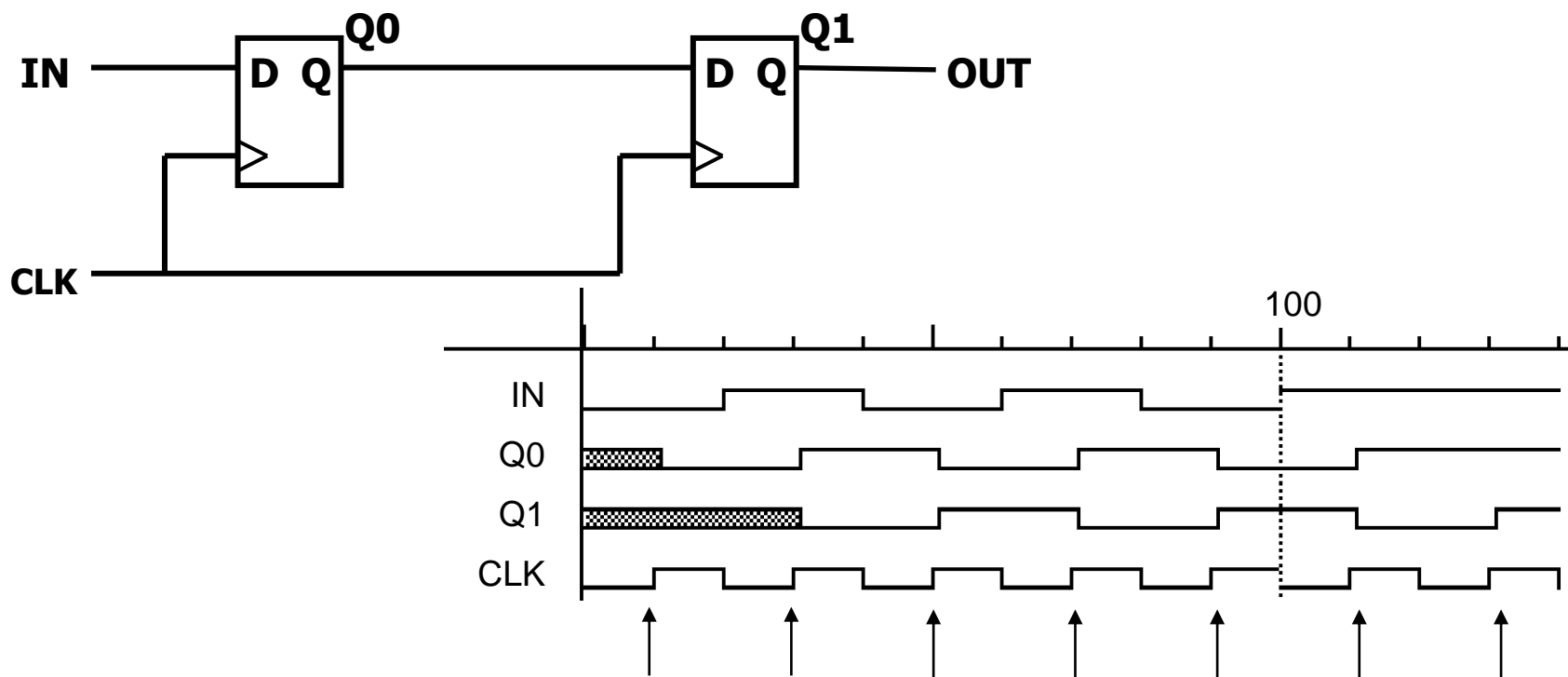


所有的测量都是由时钟事件，即时钟的上升沿进行的

级联边沿触发的触发器

□ 移位寄存器

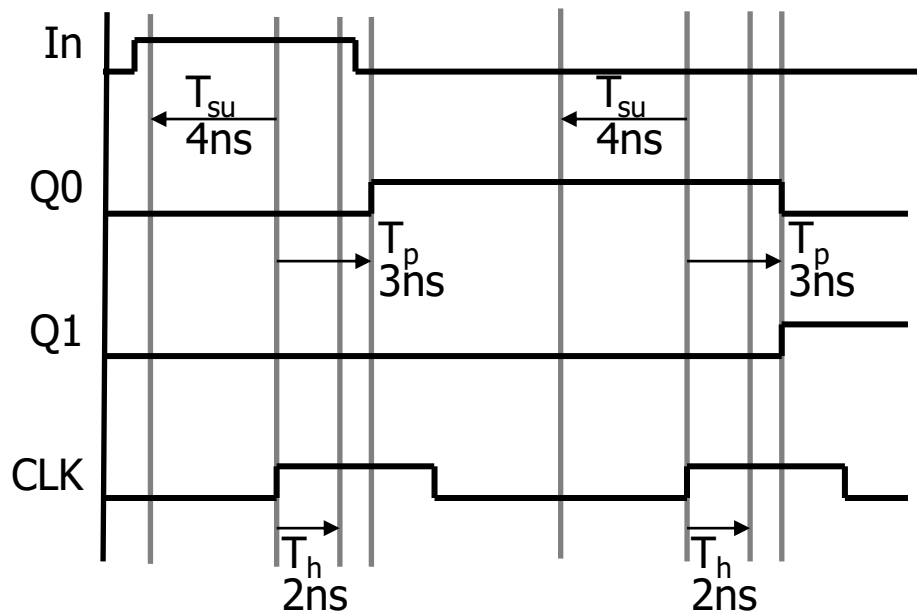
- 新值进入第1级
- 而第1级的存储的值进入第2级
- 考虑建立时间、保持时间、传播延迟 (传播延迟必须大于保持时间)



级联边沿触发的触发器（续）

□ 为何这可以工作

- 传播延迟超过保持时间
- 时钟脉宽限制超过建立时间
- 这保证了后续阶段将在当前值更改为新值之前锁定当前值



定时限制保证适当的级联组件操作

假定无限快的时钟分布

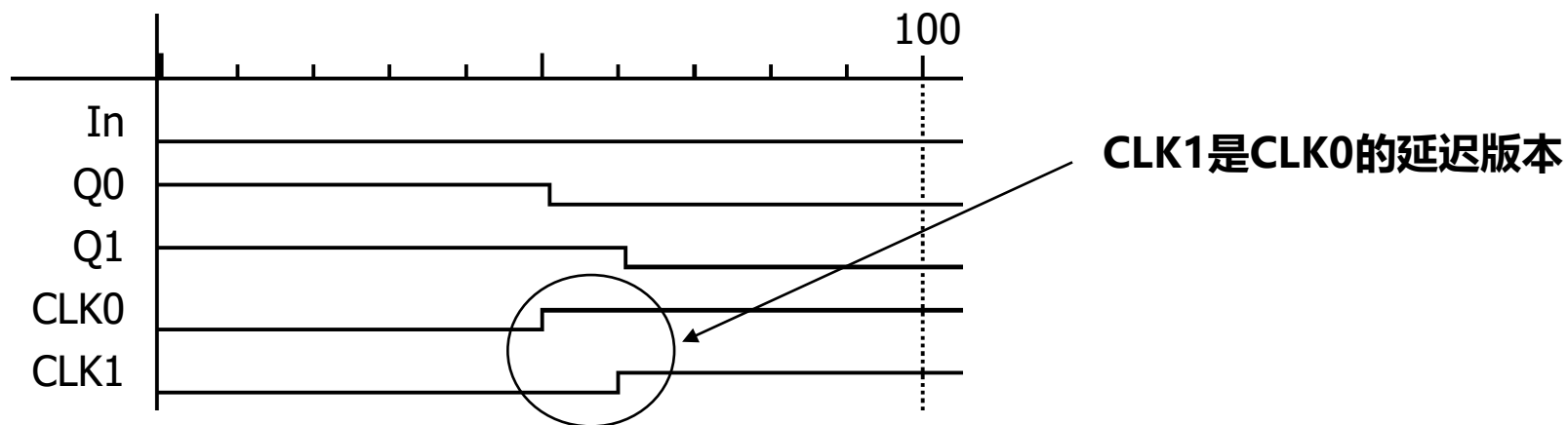
时钟脉冲相位差

□ 问题

- 正确的行为假定所有存储单元的下一个状态由所有存储单元同时确定
- 在高性能系统中是困难的，因为时钟到达触发器的时间与逻辑延迟相当（并且很快就会超过逻辑延迟）
- 相位差对于级联触发器的影响

原始状态: $IN = 0, Q0 = 1, Q1 = 1$

由于时钟脉冲相位差, 下个状态变成: $Q0 = 0, Q1 = 0$, and not $Q0 = 0, Q1 = 1$



触发器Flip-Flop分类

□ 逻辑功能分类

- RS锁存器
- JK触发器
- T触发器
- D触发器

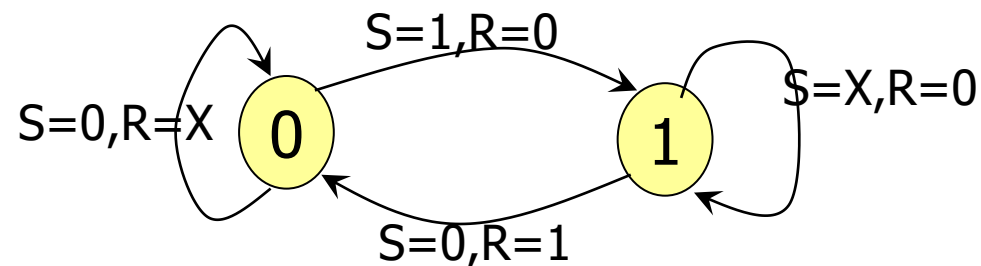
□ 逻辑功能指按触发器的次态和现态及输入信号之间的逻辑关系

- 特性表
- 特性方程
- 状态转换图

RS 锁存器

- 特性方程 $Q^{n+1} = S + R'Q^n$
- RS Latch 的状态转换图
- 特性表/真值表

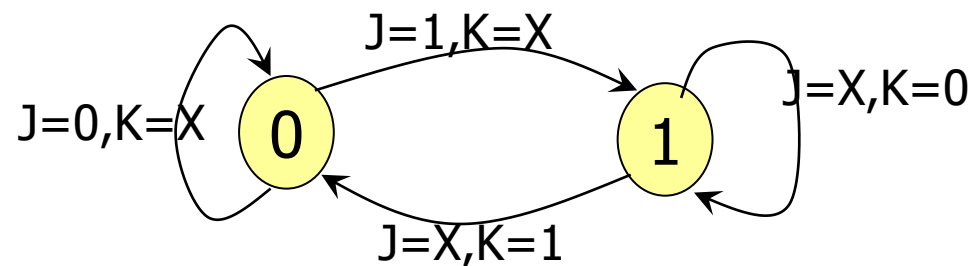
S	R	Q^n	Q^{n+1}	
0	0	0	0	} 保持
0	0	1	1	
0	1	0	0	} 复位
0	1	1	0	
1	0	0	1	} 置位
1	0	1	1	
1	1	0	0	} 不定
1	1	1	0	



JK 触发器

- 特性方程: $Q^{n+1} = JQ^n + K'Q^n$
- JK FF的状态转换图
- 特性表/真值表

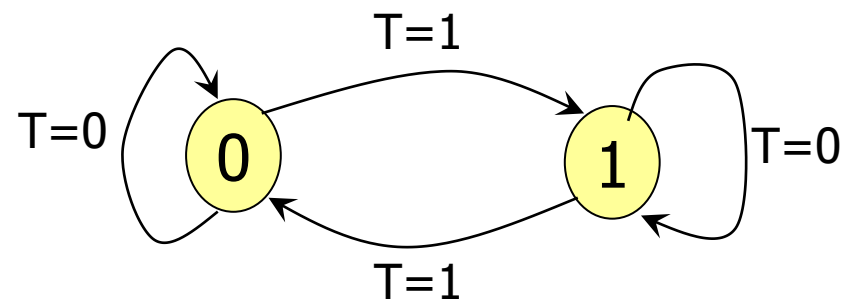
J	K	Q^n	Q^{n+1}	
0	0	0	0	} 保持
0	0	1	1	
0	1	0	0	} 复位
0	1	1	0	
1	0	0	1	} 置位
1	0	1	1	
1	1	0	1	} 翻转
1	1	1	0	



T 触发器

- 特性方程: $Q^{n+1} = TQ^n + T'Q^n$
- T FF的状态转换图
- 特性表/真值表

T	Q^n	Q^{n+1}	
0	0	0	} 保持
0	1	1	
1	0	1	} 翻转
1	1	0	



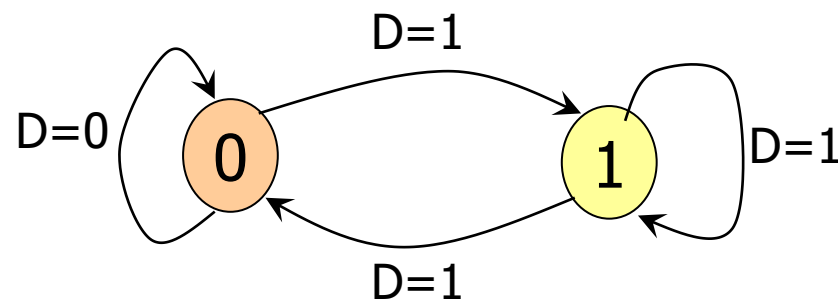
- T'触发器: $T=1, Q^{n+1}=Q^n$

JK触发器的两个输入端连在一起作为T端, 可以构成T Flip-flop

D 触发器

- 特性方程: $Q^{n+1} = D$
- D FF的状态转换图
- 特性表/真值表

D	Q^n	Q^{n+1}	
0	0	0	} reset
0	1	0	
1	0	1	} set
1	1	1	



采用D 触发器实现JK触发器

采用D 触发器实现JK触发器

