

触发器

Flip-Flops

刘 鹏

浙江大学信息与电子工程学院

liupeng@zju.edu.cn

复习

- 组合电路和Verilog语言

本节内容

- 时序电路的基本概念
- 触发器

时序逻辑

□ 时序电路

- 带有正反馈功能的电路
- **电平敏感锁存器Latches**
 - 使用信号级别而不是信号转换操作的存储单元称为锁存器
- **边沿触发器Flip-flops**
 - 触发器是一种能够存储一位信息的二进制存储器件

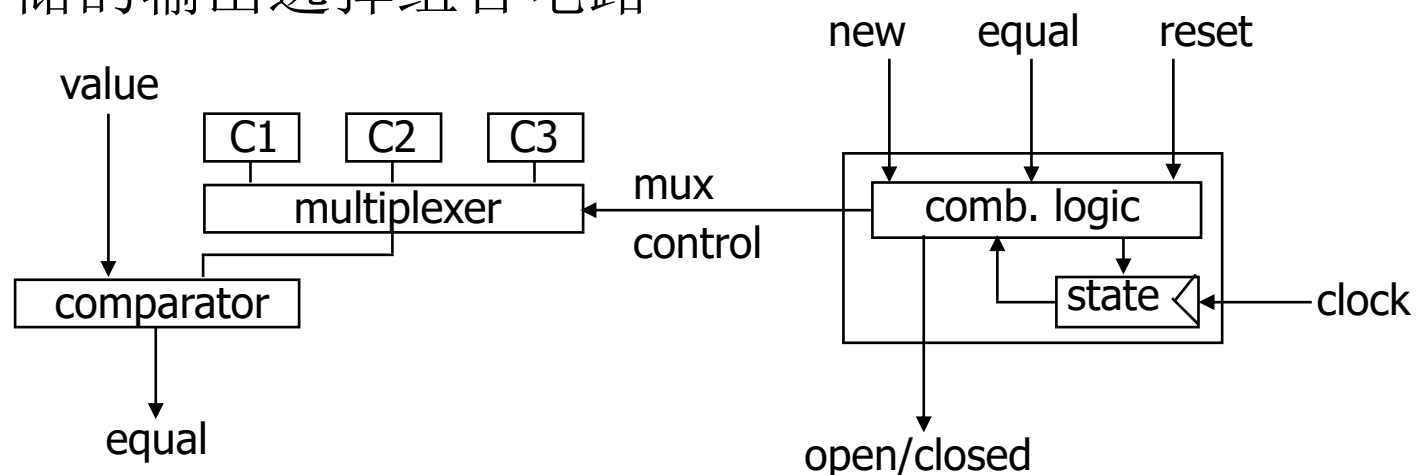
□ 定时方法

- 触发器级联的正确操作
- 时钟脉冲相位差

时序电路

□ 带有反馈的电路

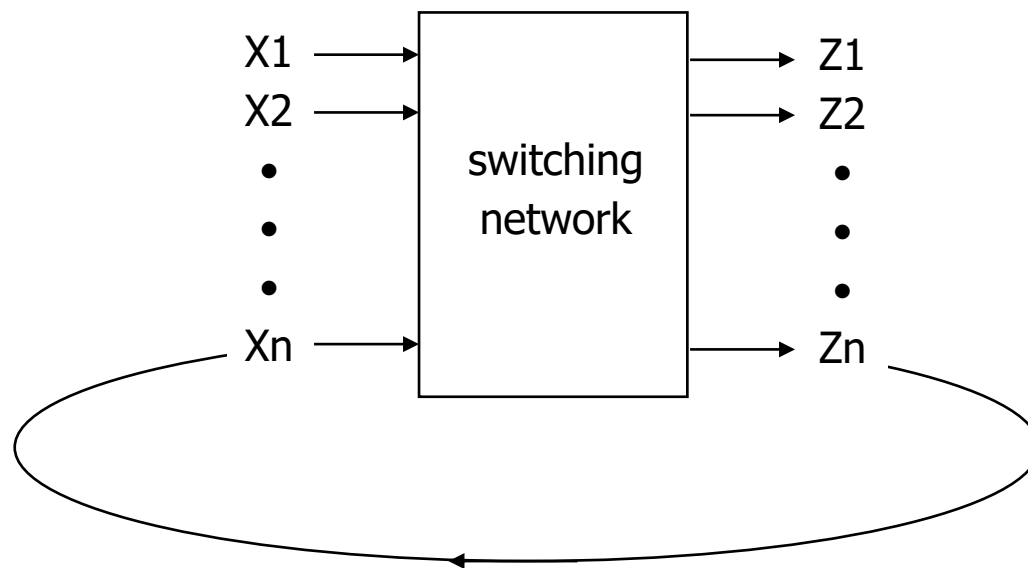
- 输出 = F (当前输入, 早先输入, 早先输出)
- 将“存储器”构建到逻辑电路中的基础
- 例如时序电路的例子：门锁
 - 状态通过存储器保持
 - 状态改变根据组合逻辑输出和信号输入决定
 - 存储的输出选择组合电路



带有反馈的电路

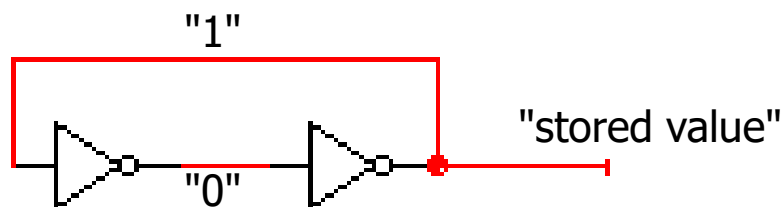
□ 如何控制反馈？

- 是什么阻止值无休止地循环往复

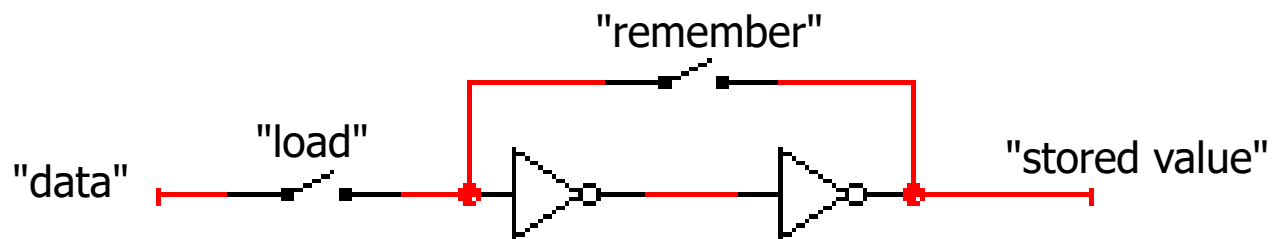


最简单的反馈电路

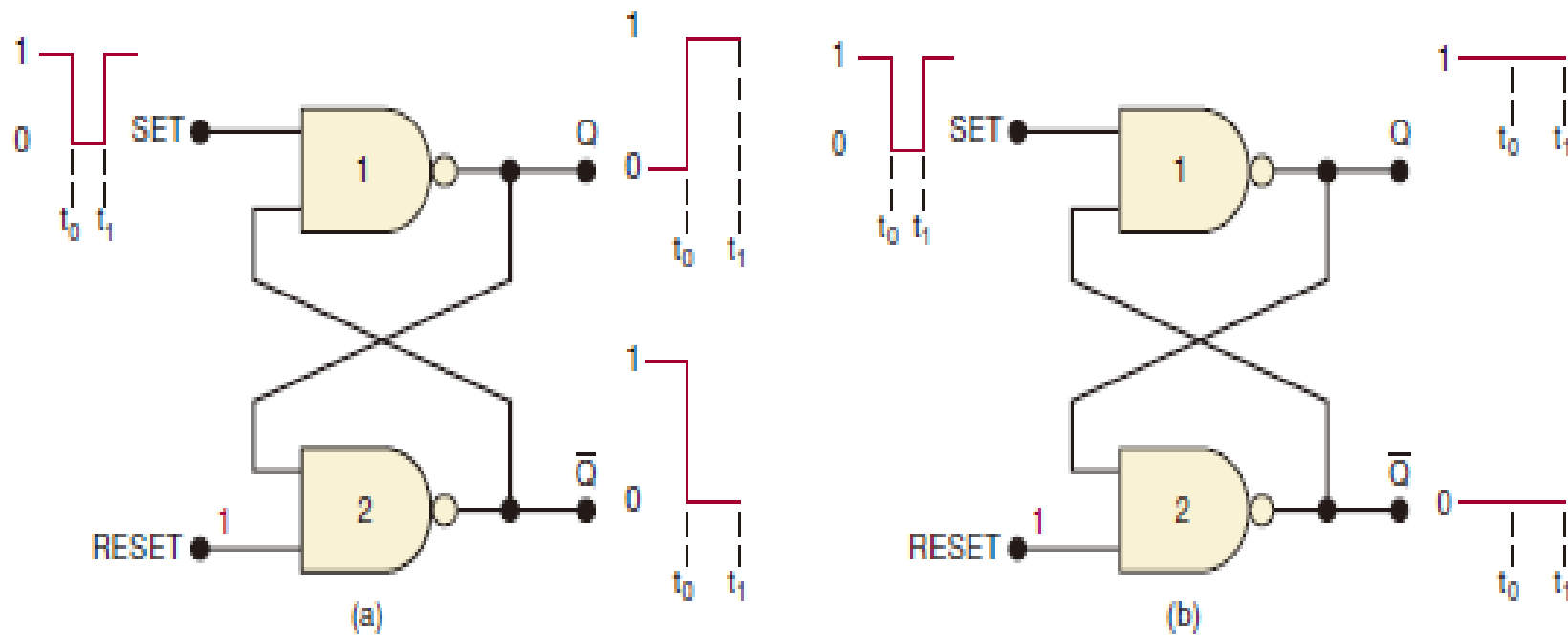
- 一个静态存储单元由两个反相器构成
 - 只需提供电源就会保持其值



- 记忆单元如何获得一个新值?
 - 选择性断开反馈路径
 - 加载新值到单元

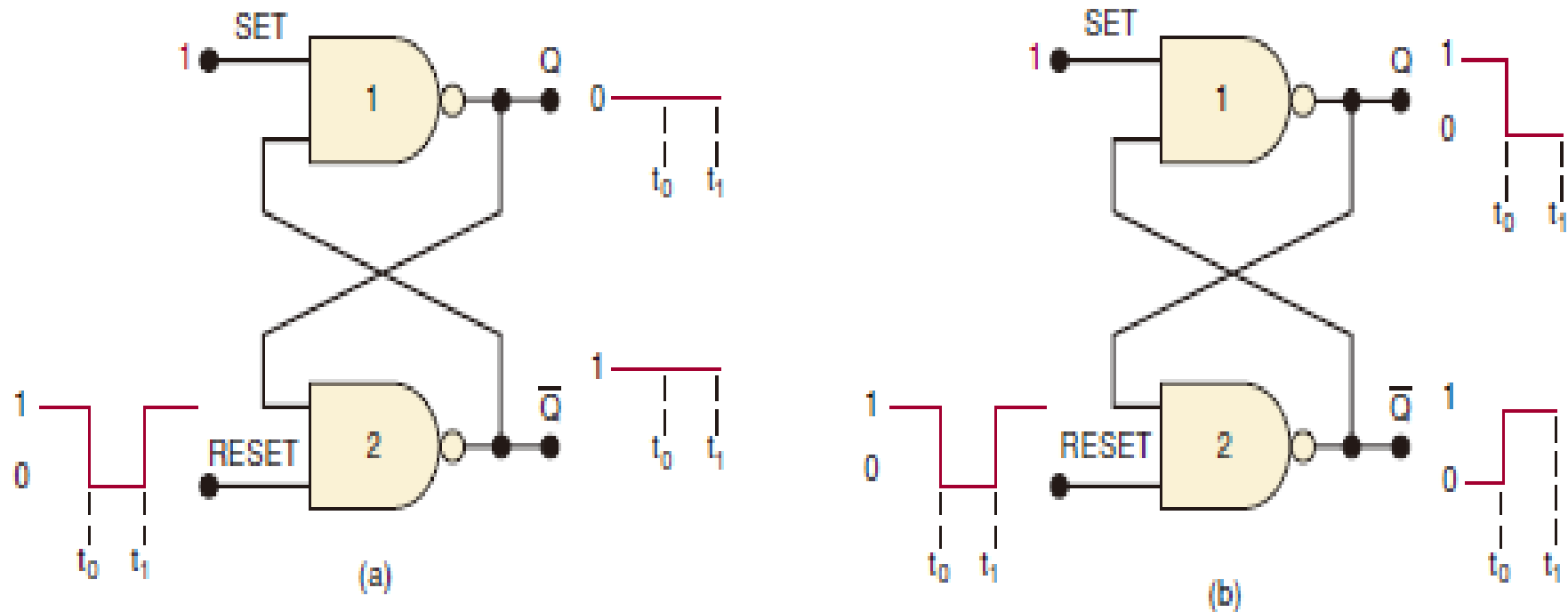


锁存器置位



- 在Set脉冲前 (a) $Q = 0$ 时和 (b) $Q = 1$ 时，将SET输入置为“0”状态，在这两种情况下，Q都以**高电平**结束

锁存器复位

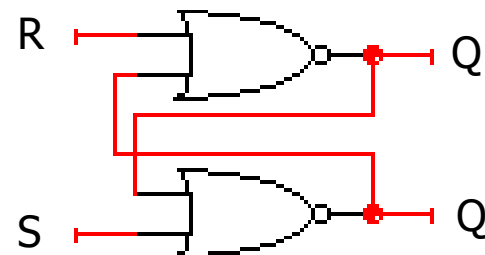
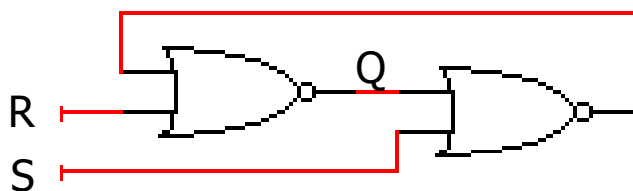


- 在RESET脉冲之前，(a) $Q = 0$ 或 (b) $Q = 1$ 时，将RESET输入脉冲复位成LOW（“0”）状态，在每种情况下，Q值都是**低电平**

具有交叉耦合门的存储单元

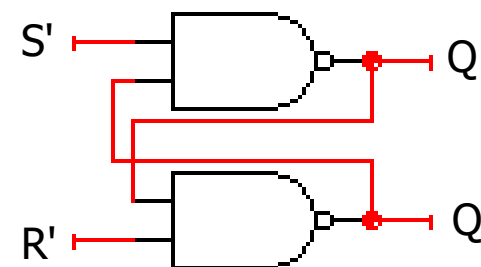
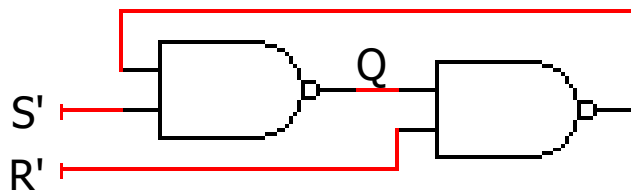
□ 交叉耦合NOR门

- 类似于反相器对，能够强制输出为0（复位=0）或1（置位为1）

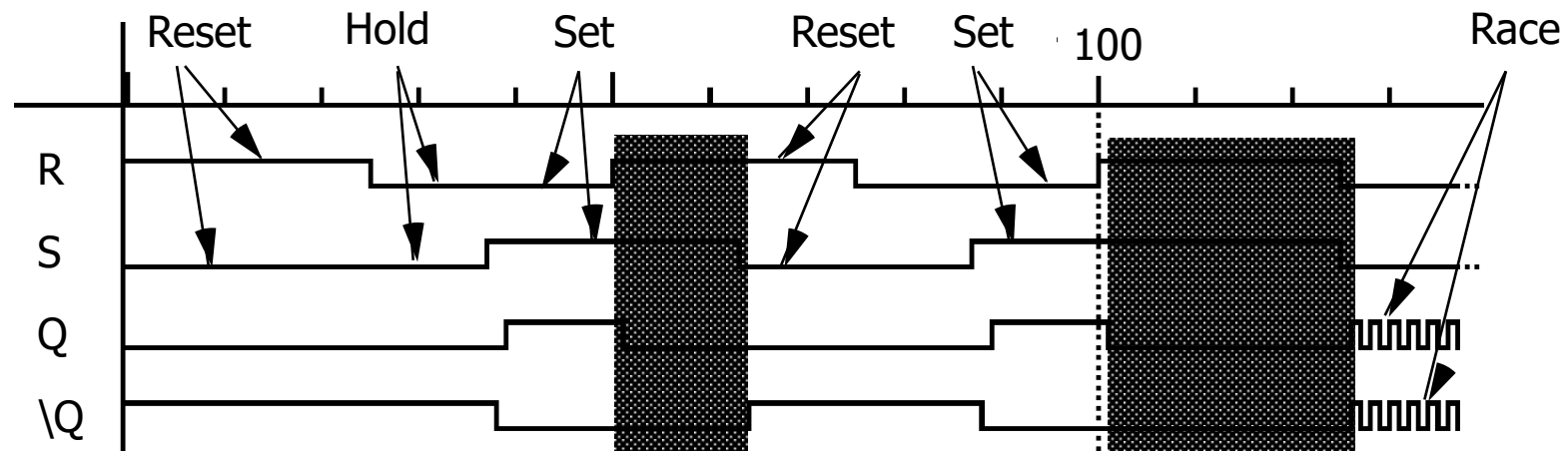
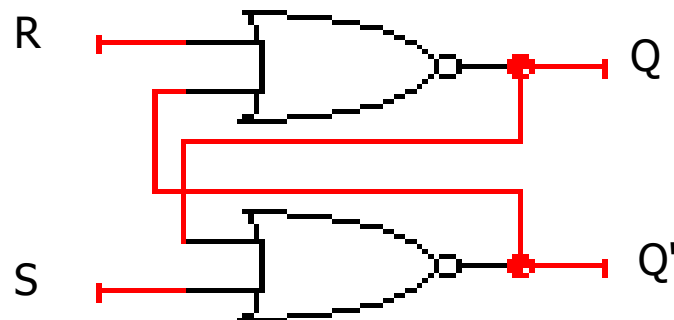


□ 交叉耦合NAND门

- 类似于反相器对，能够强制输出为0（复位=0）或1（置位为1）



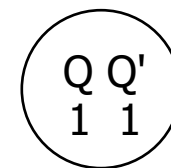
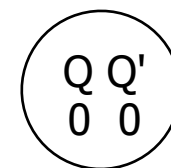
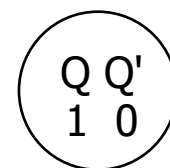
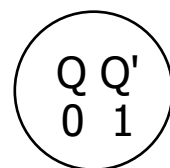
时序行为



R-S锁存器的状态行为

□ R-S锁存器的真值表

S	R	Q
0	0	保持
0	1	0
1	0	1
1	1	不定

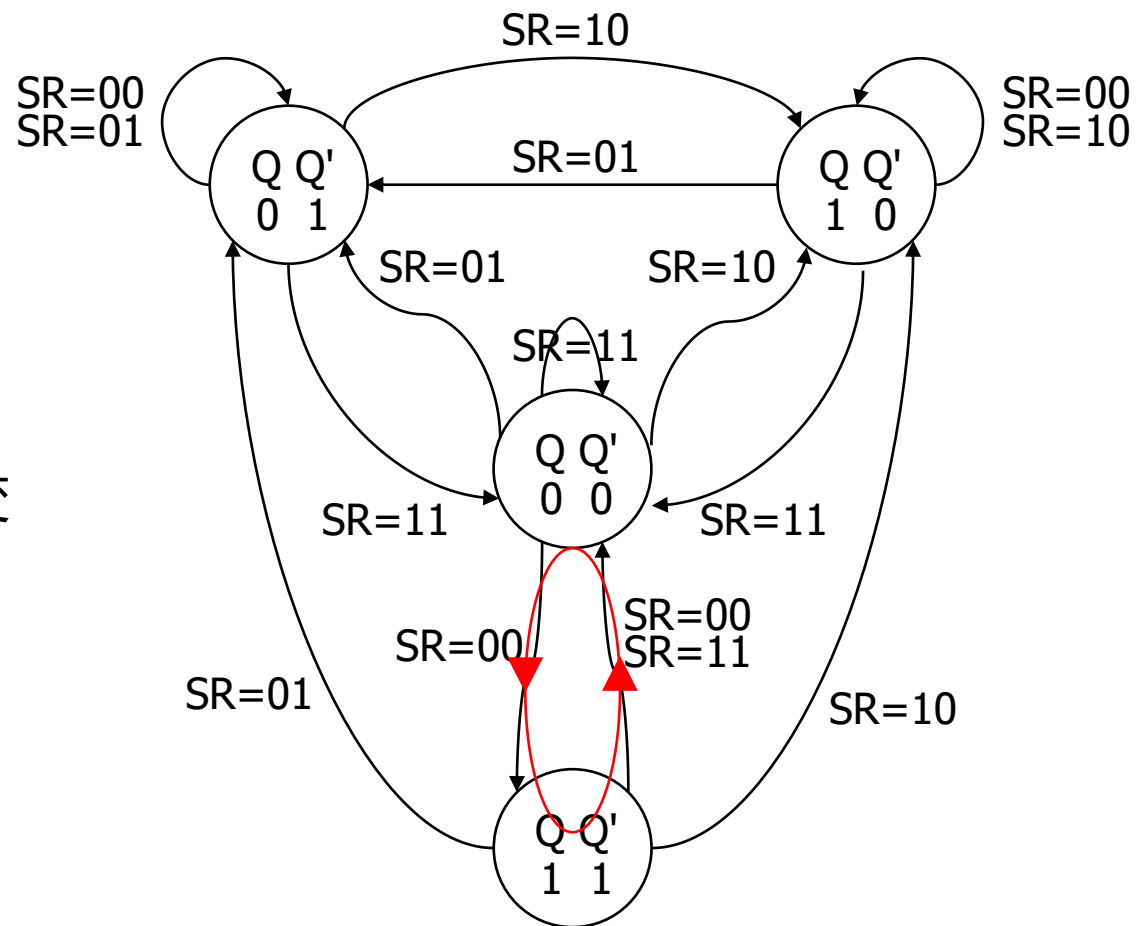


理论上R-S锁存器行为

□ 状态图

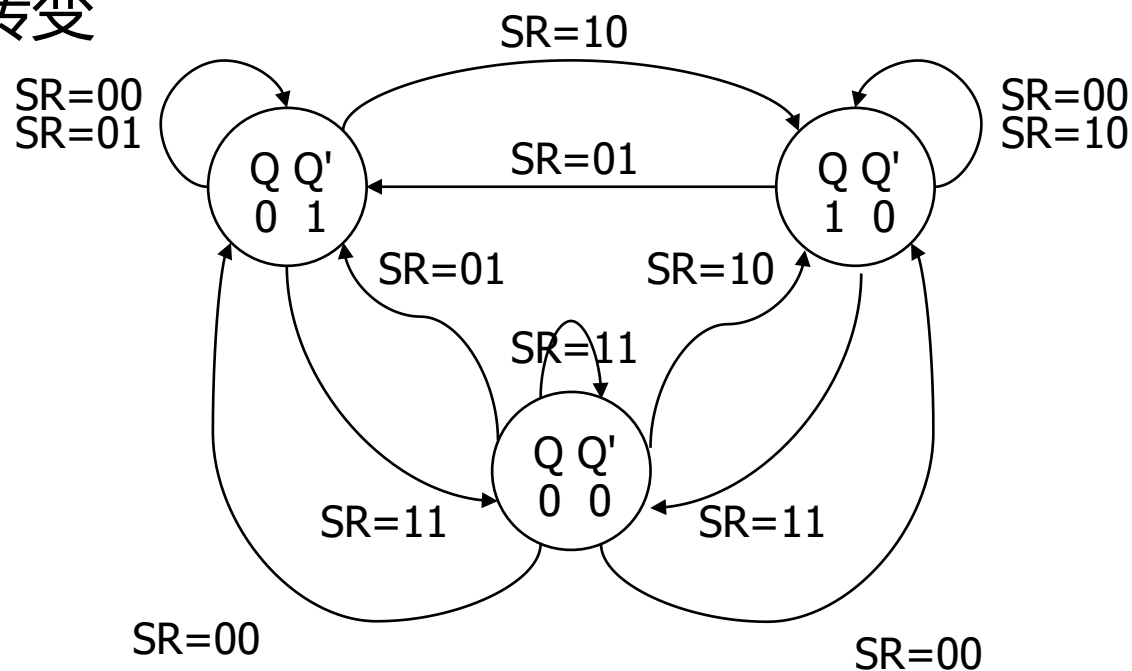
- 状态: 可能的值
- 状态转换: 根据输入进行改变

可能冲突在
状态00和 11



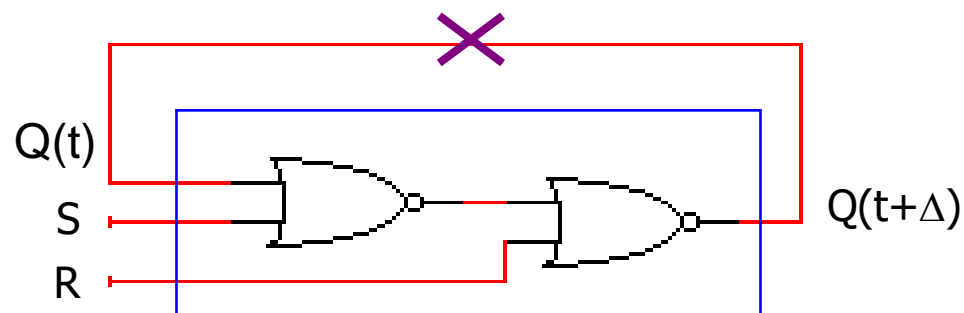
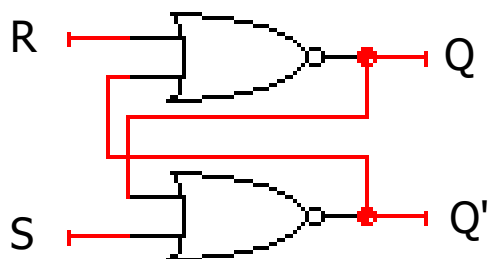
观察到R-S锁存器的行为

- 观察R-S锁存器1-1状态较难
 - R或S经常有一个先改变
- 返回到状态0-1或1-0
 - 所谓的竞争条件
 - 或不确定的转变



R-S锁存器分析

□ 断开反馈路径



S	R	Q(t)	Q(t+Δ)	
0	0	0	0	保持
0	0	1	1	
0	1	0	0	复位
0	1	1	0	
1	0	0	1	置位
1	0	1	1	
1	1	0	X	不允许
1	1	1	X	

		S	
Q(t)	0	0	1
	1	0	1
		R	

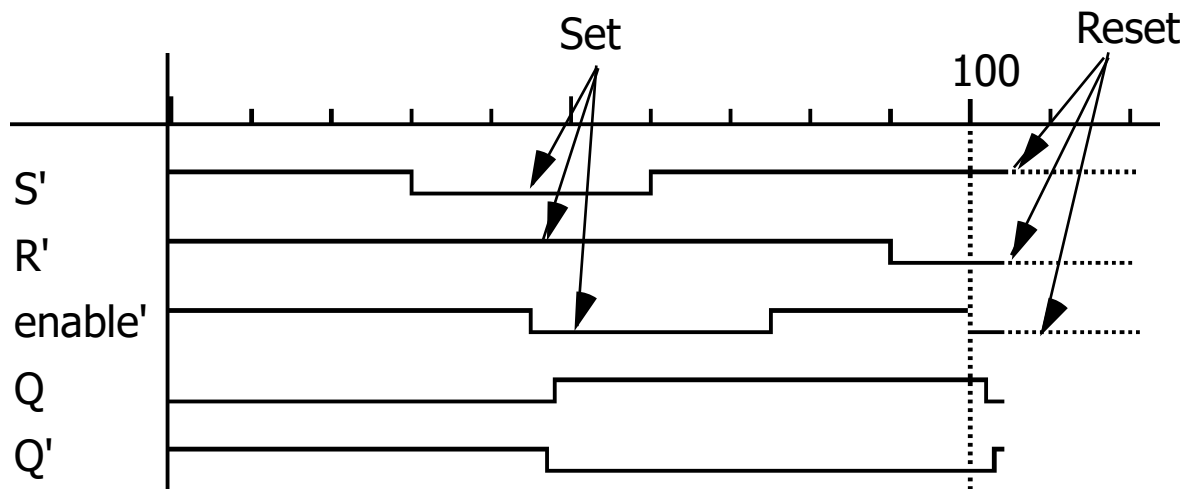
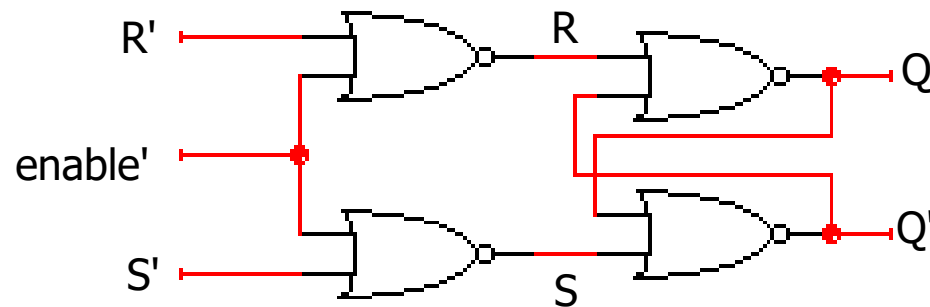
特性方程

$$Q(t+\Delta) = S + R' Q(t)$$

门控R-S锁存器

□ 控制R和S的输入

- 否则，在启用低电平时R或S上的最轻微毛刺可能会导致存储值发生变化



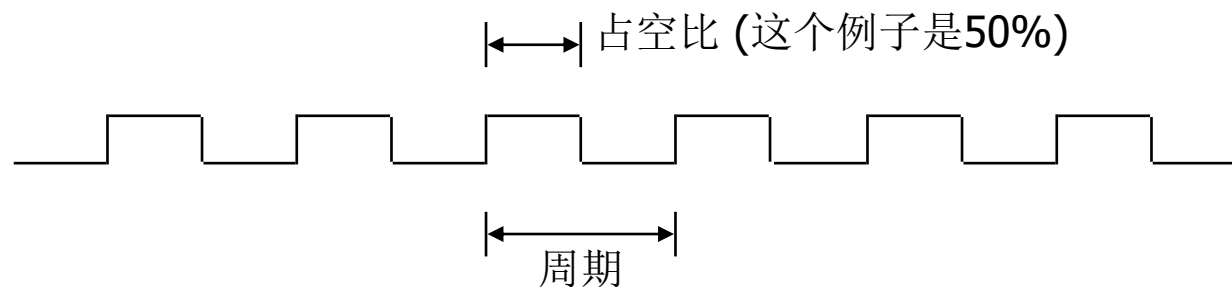
时钟

□ 用来保持时间

- 等待足够长的时间让输入 (**R'** 和 **S'**) 稳定下来
- 允许对存储的值产生影响

□ 时钟是有规律的周期性信号

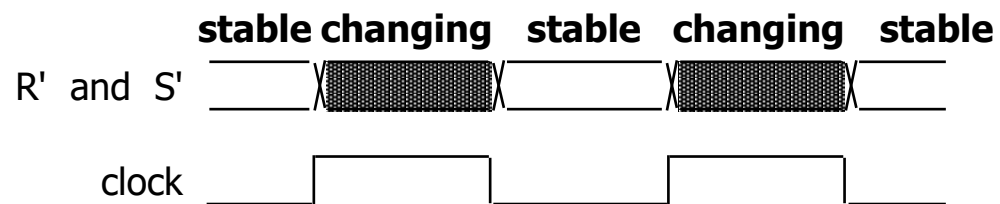
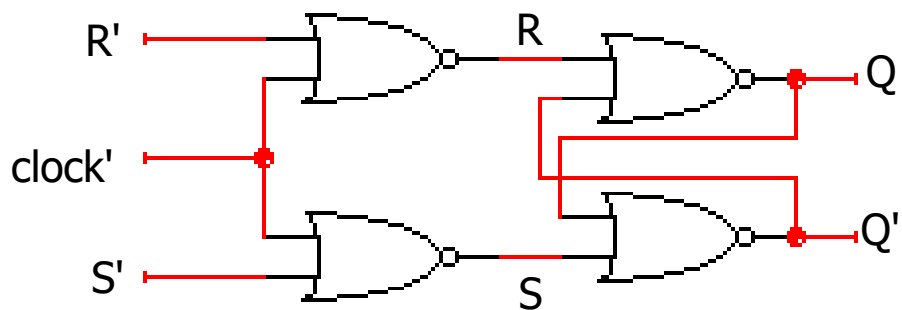
- **周期 period**(滴答之间的时间)
- **占空比duty cycle** (滴答之间时钟是高电平部分 – 表示为周期的百分比)



时钟 (续)

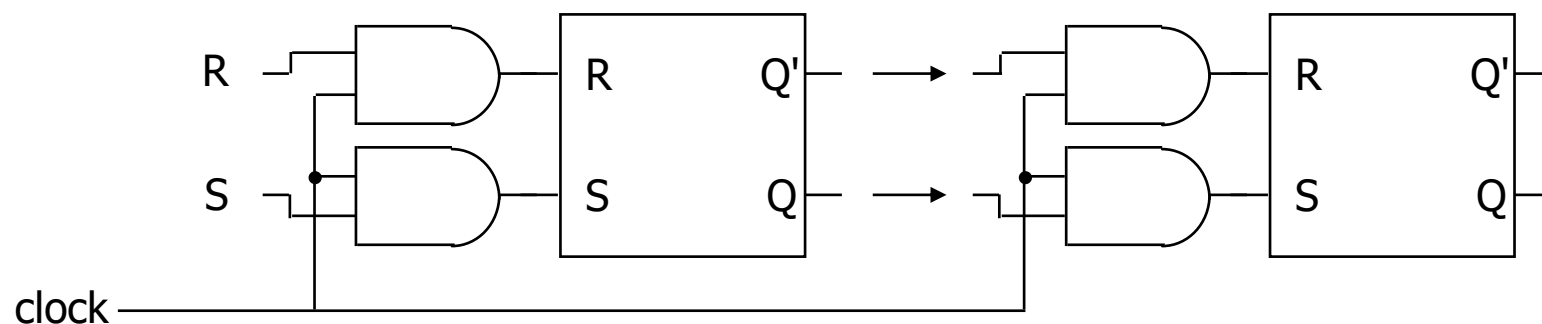
□ 用时钟控制R-S锁存器

- 时钟有效时，不能让R和S改变 (允许R和S通过)
- 只有一半的时钟周期用于信号变化传播
- 信号必须在时钟周期的另一半保持稳定



锁存器级联

- 连接一个锁存器的输出到另一个的输入
- 如何通过链来阻止变化?
 - 需要控制从一个锁存器到下一个锁存器的数据流
 - 每个时钟周期从一个锁存器前进
 - 担心锁存器（如图中箭头所示）之间的逻辑太快



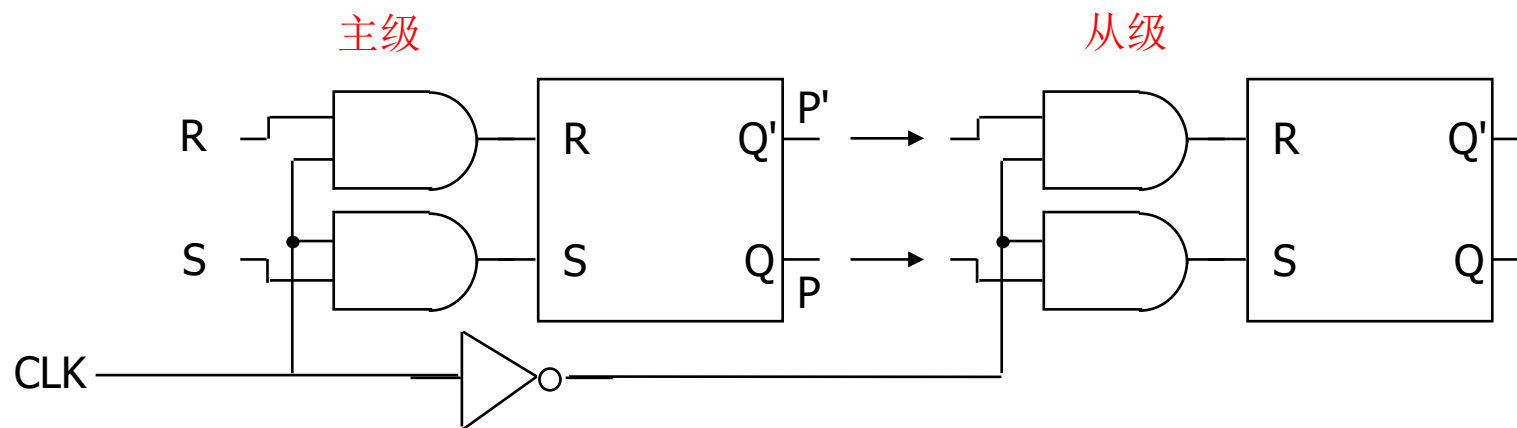
主从结构

□ 通过交替的时钟断开流

- 使用正时钟将输入锁存到一个 R-S 锁存器中
- 使用负时钟通过另一个 R-S 锁存器改变输出

□ 视为一个基本单元

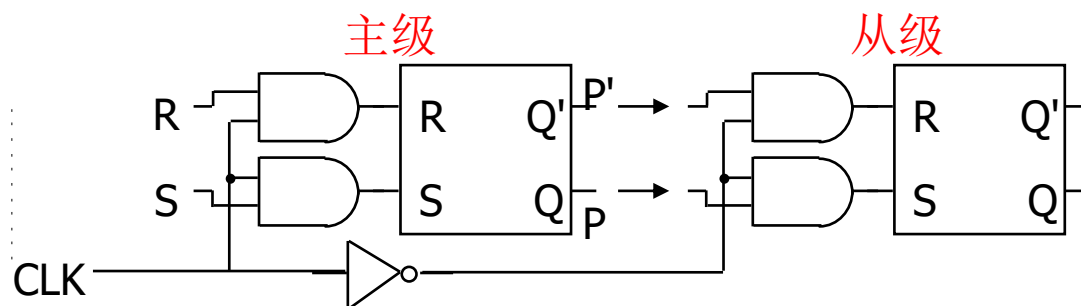
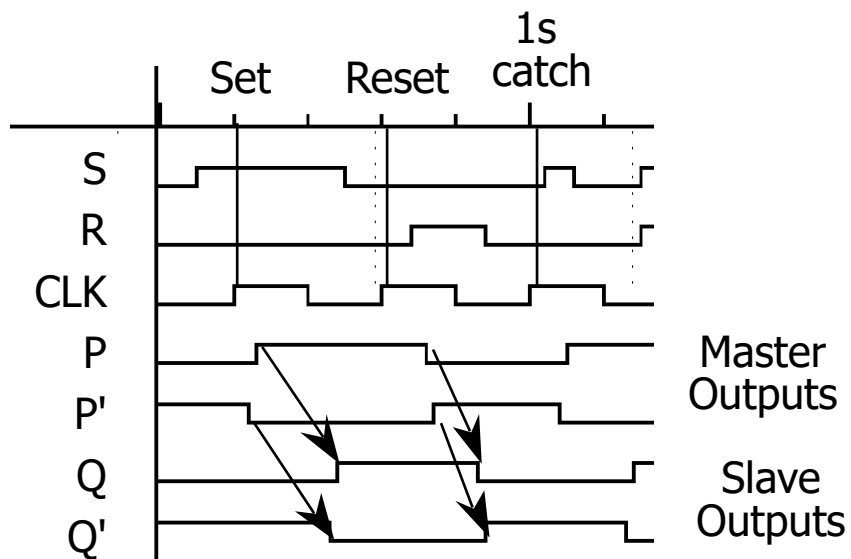
- 主从触发器
- 两倍的逻辑



“1” 的捕获问题

□ 主从FF的第一R-S阶段

- 当时钟为高时，R或S上的0-1-0毛刺被主级“捕获”
- 从而逻辑上的约束是无危险的



D 触发器

□ 使S和R互为补

- 消除 “1” 的捕获问题
- 不能只保留以前的值（必须在每个时钟周期准备好新值）
- 时钟变低之前的 D 值是存储在触发器中的值
- 可以通过添加逻辑来制作 R-S 触发器 $D = S + R' Q$

