1. Câte linii sunt necesare pentru un transfer paralel? Justificați.

Daca ne referim la 2 sisteme atunci e nevoie de n linii de date(si anume cati biti transmitem) si o linie de control pentru validare daca s-au transmis respectiv receptionat datele.

1. Ce este circuitul 8255? Prezentați caracteristicile sale.

Circuit integrat realizat în tehnologie NMOS, 40 de terminale, cu o singură tensiune de alimentare,

+5 V. Toate intrările şi ieşirile sunt compatibile TTL Dispune de 24 linii de intrare/ ieşire care pot fi configurate în mai multe feluri în funcţie de

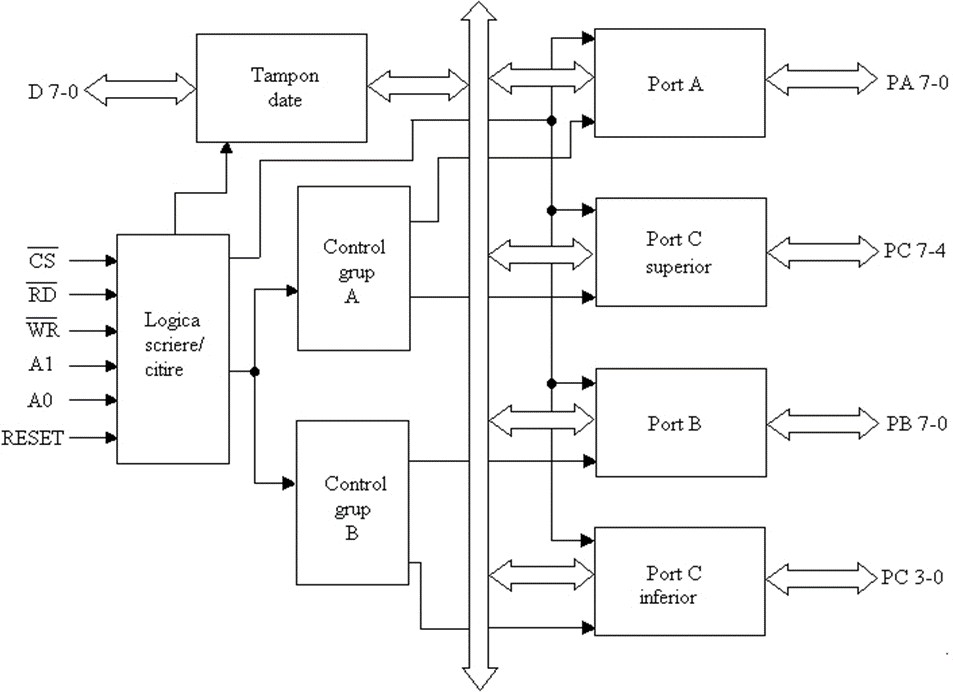
modul de lucru ales:

2 grupe de câte 12 linii de intrare sau ieşire, fără semnale de dialog; 2 grupe de câte 8 linii de intrare sau ieşire, cu semnale de dialog sau o grupă de 8 linii bidirecţionale, cu semnale de dialog.

Din cele 24 linii de intrare/ ieşire 16 au posibilităţi de memorare iar 8 nu au această facilitate.

Comunicarea cu circuitul 8255 se face prin intermediul a 4 adrese de port, corespunzătoare porturilor A, B, C şi portului pentru cuvântul de comandă.

1. Prezentați și comentați structura internă a circuitului 8255.



Tamponul date asigură legătura între circuit şi magistrala de date a sistemului: transferă cuvinte de comandă, de stare şi date.

Logica scriere/ citire are rolul să conducă întregul transfer de date din interiorul circuitului:

Are ca intrări semnale de comandă din partea microprocesorului care îi comunică ce fel de operaţii se desfăşoară;

Acest bloc comandă cele 2 jumătăţi ale circuitului: grupul A şi grupul B;

Blocurile de control pentru grupele A şi B primesc comenzi de la blocul Logică scriere/ citire, primesc cuvintele de comandă şi generează comenzile pentru porturile corespunzătoare;

Porturile A, B şi C au câte 8 biţi:

Portul A poate fi ieşire, în modurile 0, 1 sau 2, cu posibilităţi de memorare sau intrare, în modurile 0, 1 sau 2, cu posibilităţi de memorare doar în modul 1 sau 2;Portul B poate fi ieşire, în modurile 0 sau 1, cu posibilităţi de memorare sau intrare, în modurile 0 sau 1, cu posibilităţi de memorare doar în modul 1;

Portul C are funcţiuni multiple: poate fi ieşire, doar în modul 0, cu posibilităţi de memorare sau intrare, doar în modul 0, fără posibilităţi de memorare; dacă porturile A şi B lucrează în modurile 1 sau 2, atunci ranguri din portul C vor fi folosite pentru semnale de dialog şi întregul port C poate fi folosit pentru a obţine informaţie de stare de la circuit;

1. Cum se programează circuitul 8255 (nu este necesară structura cuvintelor ci doar ce anume i se

comunică circuitului)?

Se realizează prin transmiterea unui cuvânt de comandă la adresa portului cuvântului de comandă; se poate cere porturilor să lucreze în unul din următoarele moduri:

modul 0, numit şi mod intrare/ ieşire, pentru porturile A, B şi C,

modul 1, numit şi mod intrare/ ieşire cu dialog, pentru porturile A şi B şi  modul 2, numit şi mod bidirecţional cu dialog, doar pentru portul A.

Există şi posibilitatea ca, printr – o singură instrucţiune de ieşire, microprocesorul să comande ieşiri individuale ale portului C; se face printr – un cuvânt de comandă în care rangul 7 este la valoarea 0 logic; particularitatea este cunoscută sub numele mod “bit set/ reset” şi este utilă în aplicaţii de control.

1. Descrieți unul din modurile de lucru cu dialog ale circuitului 8255.

Modul 1:

Se mai numeşte şi mod de intrare/ ieşire cu dialog şi se foloseşte pentru operaţii de intrare/ ieşire cu dialog. Caracteristicile modului sunt următoarele:

se pot comanda independent grupul A şi grupul B;

grupul A conţine portul A şi 3 ranguri ale portului C iar grupul B conţine portul B şi alte 3

ranguri ale portului C;

rangurile nefolosite ale portului C pot fi comandate prin modul bit set/ reset;

porturile A şi B pot fi declarate ca intrări sau ieşiri având şi posibilităţi de memorare;  portul C are şi rol de registru de stare.

1. Care sunt posibilitățile de conectare a porturilor la o UC cu microprocesor? Posibilităţi de conectare a porturilor la UC:

Intrare/ ieşire programabilă (PIO): transferul se desfăşoară prin intermediul UC; foloseşte

intensiv timpul UC;

Întreruperi: procesorul este întrerupt la transferul fiecărui cuvânt (octet); multe întreruperi

care nu întotdeauna pot fi acceptate; rată de transfer limitată

Accesul direct la memorie (DMA): transfer direct memorie – periferic sau periferic – periferic sau memorie – memorie (neutilizat pentru că este mai rapid prin UC); nu implică UC dar cere hardware suplimentar conectat pe magistrale;

Controler DMA: 8237A

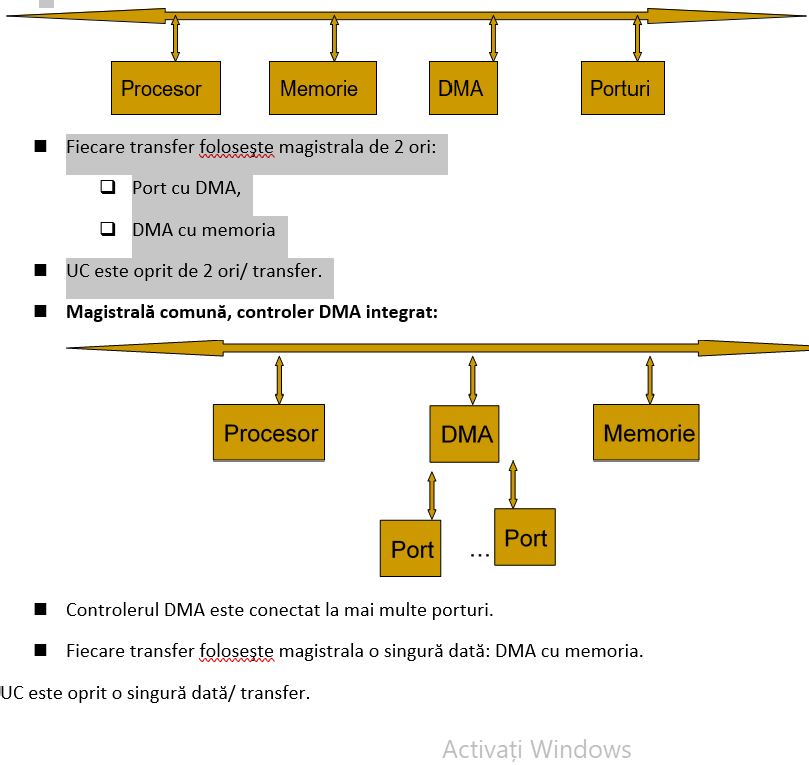


1. Prezentați 3 configurații DMA. Caracteristici

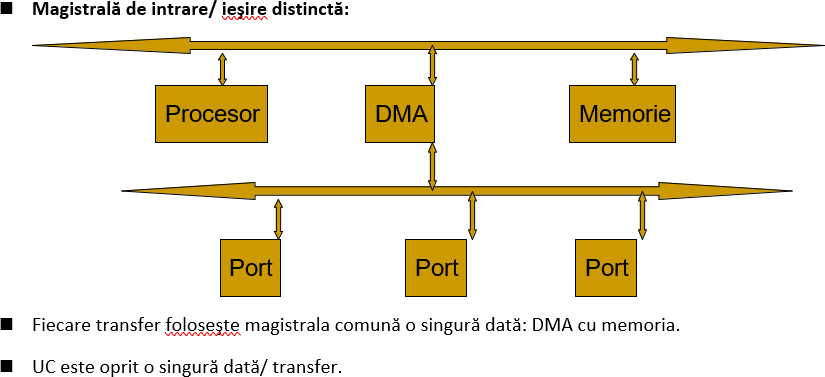
Configuraţii DMA:



Magistrală comună, controler DMA separat, Magistrală comună, controler DMA integrat, Magistrală de intrare/ ieşire distinctă.



Magistrală comună, controler DMA separat:



1. Ce este circuitul 82C37A? Prezentați caracteristicile sale.

. Controlerul DMA 82C37A (o variantă mai modernă a clasicului 8237A)

* + Dispune de 4 canale independente,
  + Poate fi cascadat pentru a obţine oricâte canale,
  + Control individual (activare/ dezactivare şi polaritate) asupra fiecărei cereri DREQ şi fiecărui răspuns DACK,
  + Permite transfer memorie – memorie,
  + Rată de transfer ridicată: până la 4 MO/ sec. sau până la 6.25 MO/ sec. în funcție de frecvența tactului;
  + Asigură incrementarea sau decrementarea adresei,
  + Se foloseşte cu un registru extern pentru jumătatea mai semnificativă a adresei,
  + Poate lucra în mai multe moduri,
  + Compatibil TTL/ CMOS.

1. Descrieți întreruperile externe.
   * + Sunt provocate de evenimente externe microprocesorului care cer atenţie imediată din

partea acestuia.

* + - Cel care cere întreruperea trebuie să:
      * Ţină cererea activată până când microprocesorul răspunde;
      * Se identifice atunci când microprocesorul o cere.
    - Pot exista cereri simultane din partea mai multor surse => prioritizare:
      * Fie cu o logică de prioritizare:
        + Serială (“daisy – chain”) sau
        + Paralelă;
      * Fie cu un PIC;
      * Prioritizarea poate fi:
        + Fixă;
        + Programabilă sau
        + Rotativă.

# 39 . Descrieți întreruperile interne

* Se găsesc la microprocesoarele peste 8 biţi şi la toate microcontrolerele;
* Se numesc şi excepţii la unele microprocesoare;
* O parte din ele se numesc şi “traps” la unele microprocesoare;
* Provocate de cauze interne procesorului;
* La microcontrolere pot fi mascate, la microprocesoare nu;
* 2 tipuri de cauze (la microprocesoare):
  + Evenimente interne speciale sau
  + Instrucţiuni dedicate (se mai numesc şi întreruperi software).
* Întreruperi interne provocate de evenimente speciale:
  + Pot fi generate înainte de execuţia unei instrucţiuni: de ex.: o violare de privilegiu sau cod ilegal etc.;
  + Pot fi generate după execuţia unei instrucţiuni: de ex.: o divizare la 0, obţinerea unui

rezultat în afara unui domeniu, pas cu pas etc.

1. Ce este circuitul 8259? Prezentați caracteristicile sale.

**.** Controlerul pentru întreruperi (PIC) 8259A

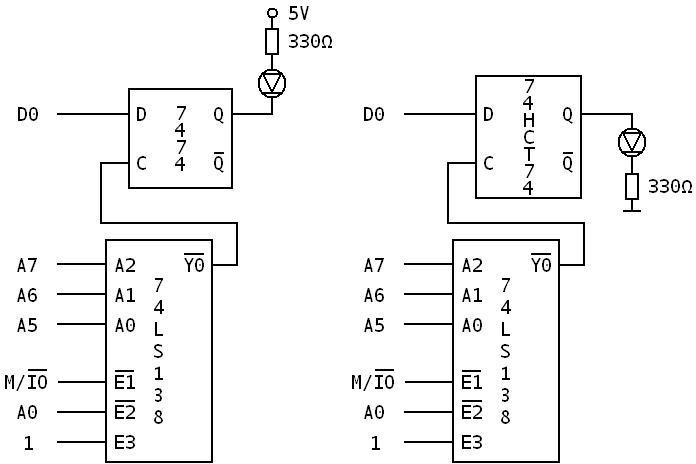
* Poate gestiona şi prioritiza 8 cereri de întrerupere;
* Poate fi legat în cascadă cu alte 8 circuite similare asigurând astfel gestionarea şi

prioritizarea a 64 cereri de întrerupere;

* Posibilitate de mascare individuală a cererilor;
* Mai multe moduri de gestionare a întreruperilor:
  + Fully nested,
  + Rotating priority,
  + Special mask şi
  + Poll.
* Necesită 2 - 4 cuvinte de iniţializare (ICW1 – 4) şi 4 cuvinte de operare (OCW1 – 4);
* Generează vectorul de întrerupere asociat cererii luată în considerare de procesor.

1. Justificația existența unui circuit de memorare (bistabil, registru) în schema de comandă a unui led prin program.

* Conectarea la o UC se face prin intermediul unui port de ieşire;
* Elementul de afisare poate fi un bistabil sau un registru.



* În soluţia a s-a folosit un bistabil în tehnologie TTL, ca urmare comanda va fi în 0 (IOL = 16 mA, IOH = 0,8 mA);
* Secvenţa ca LED – ul să lumineze este:

MOV AL,00H

OUT 00H,AL

* Secvenţa ca LED – ul să nu lumineze este:

MOV AL,01H

OUT 00H,AL

* În varianta b bistabilul este în tehnologie HCT, ca urmare comanda se poate face fie în 0 fie în 1;
* Secvenţa ca LED – ul să lumineze (comandă în 1): MOV AL,01H

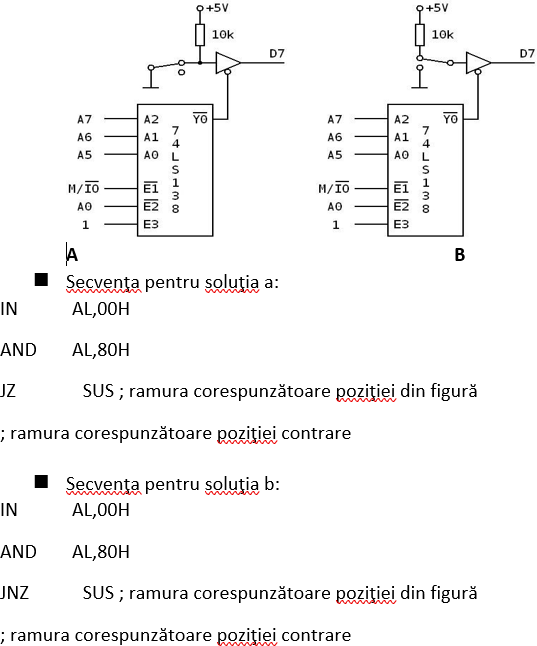
OUT 00H,AL

* Secvenţa ca LED – ul să nu lumineze (comandă în 1):

MOV AL,00H

OUT 00H,AL

1. Descrieți o soluție pentru citirea stării unui comutator prin program.



43.Care este diferența între arhitectura și microarhitectura unui microprocesor?

* Arhitectură vs. microarhitectură
  + Arhitectură: setul de instrucțiuni, registrele, structura datelor în memorie; sunt informații accesibile programatorului;
  + Microarhitectură: implementarea arhitecturii pe suportul fizic; este îmbunătățită

continuu;

1. Dați exemple de arhitecturi ale seturilor de instrucțiuni ale microprocesoarelor.

Caracteristici.

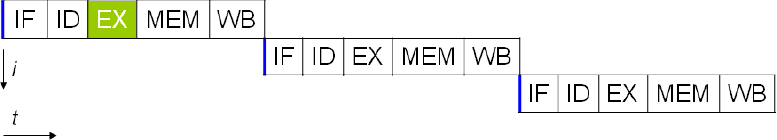
* + Von Neumann
    - Codul și datele sunt reprezentate în memorie la fel și sunt accesate la fel;
    - Se folosesc aceleași magistrale; rezultă simplitate;
    - Întrucât toate accesele se fac la aceeași memorie și memoria este mai lentă ca procesorul (la toate nivelele tehnologice), aceasta va frâna execuția programului;
  + Harvard
    - Codul și datele sunt păstrate în memorii diferite; există 2 spații de adrese;
    - Accesul la cod și date se face prin magistrale diferite; rezultă viteză mare dar

scheme mai complicate;

* + - Structura Princetown: un singur spațiu de adrese dar 2 blocuri de memorii;

1. Descrieți evoluția soluțiilor implementate în microprocesoare pentru execuția instrucțiunilor (fără hyperthreading).

* 1 ciclu instrucțiune = 5 cicluri mașină:
  + IF: aducere cod de instrucțiune (instruction fetch);
  + ID: decodificare cod de instrucțiune (instruction decode);
  + EX: generare semnale de comandă și control (execution);
  + MEM: citire operanzi;
  + WB: scriere rezultat;
* Procesoare cu execuție secvențială:



* + Hardware ineficient folosit, viteză mică;
  + Simplitate, ușor de stabilit durata secvențelor de cod;

Procesoare cu bandă de asamblare (pipeline):

* + Rata de execuție crește de 5 ori (banda de asamblare are 5 nivele);
  + Hardware eficient folosit; hardware complex;
  + Latența este dată de cel mai lent nivel;

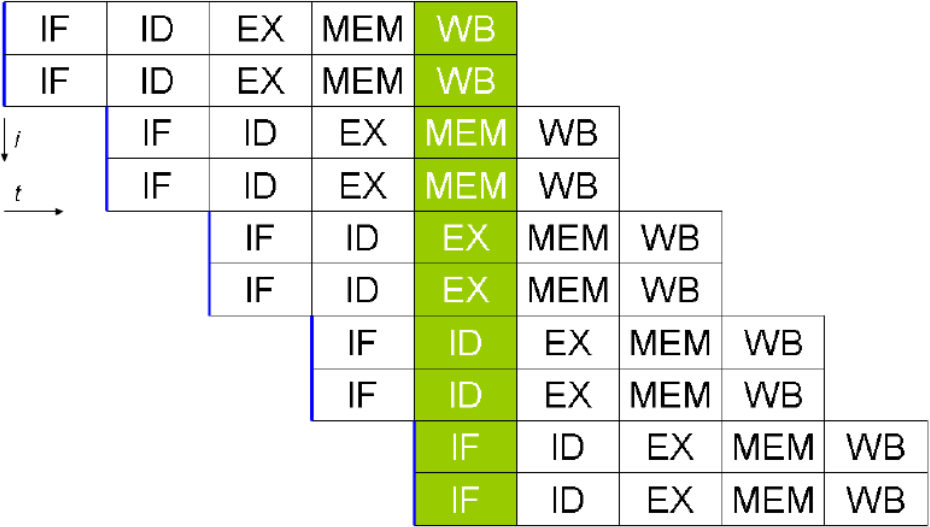
Procesoare cu superpipeline: Pentium 4 cu pipeline cu 20 nivele;



* + Nivelele mai lente sunt divizate în nivele cu latență mai mică;
  + Hardware complex;
* Procesoare superscalare:
  + Au un singur nucleu dar mai multe resurse de execuție (multiple ALU, multiple FPU

etc.);

* + Execută simultan mai multe instrucțiuni;



1. Care este cauza limitării eficienței benzii de asamblare? Prezentați soluții pentru creșterea eficienței benzii de asamblare.



Creșterea eficienței benzii de asamblare

Scade la apariția instrucțiunilor care rup secvențialitatea unui program: salturi, apeluri, întreruperi; pierderea este mare la apariția instrucțiunilor de salt sau apel condiționat; Soluții:



Execuția speculativă: se ghicește ramura unui salt/apel condiționat care va fi continuată; în gazul ghicirii eronate, banda trebuie golită; în cazul ghicirii corecte, nu se pierde timp; Întârzierea execuției: după instrucțiunea de salt/apel condiționat se plasează o instrucțiune care va fi executată indiferent de ramura care va continua; dacă nu sunt dependențe de date, această instrucțiune poate fi NOP; se câștigă timp pentru ca instrucțiunea de salt/apel condiționat să stabilească ramura pe care va continua;

Predicția ramurii: se ghicește ramura care se va executa dar nu aleator ci bazat pe anumite

considerente, de obicei istoria salturilor;

Ex.: execuția unei bucle; o buclă este executată de mai multe ori înaintea terminării ei, însemnând că au loc mai multe ramificări în o direcție și doar o singură ramificare în cealaltă direcție; fie secvența în pseudocod HLL:

1. Care sunt diferențele principiale între microprocesoarele unicore,

Microprocesoare unicore

Execuție secvențială a instrucțiunilor;



Facilități: pipeline, out-of-order execution (instruction level parallelilsm)

Performanța limitată de interdependențele între instrucțiuni;

Performanța pipeline-ului limitată de instrucțiunile care modifică secvențialitatea; Multimicroprocesoare: sisteme cu mai multe microprocesoare + circuite, cu acces comun la resurse;



Problemă: accesul la resursele comune;

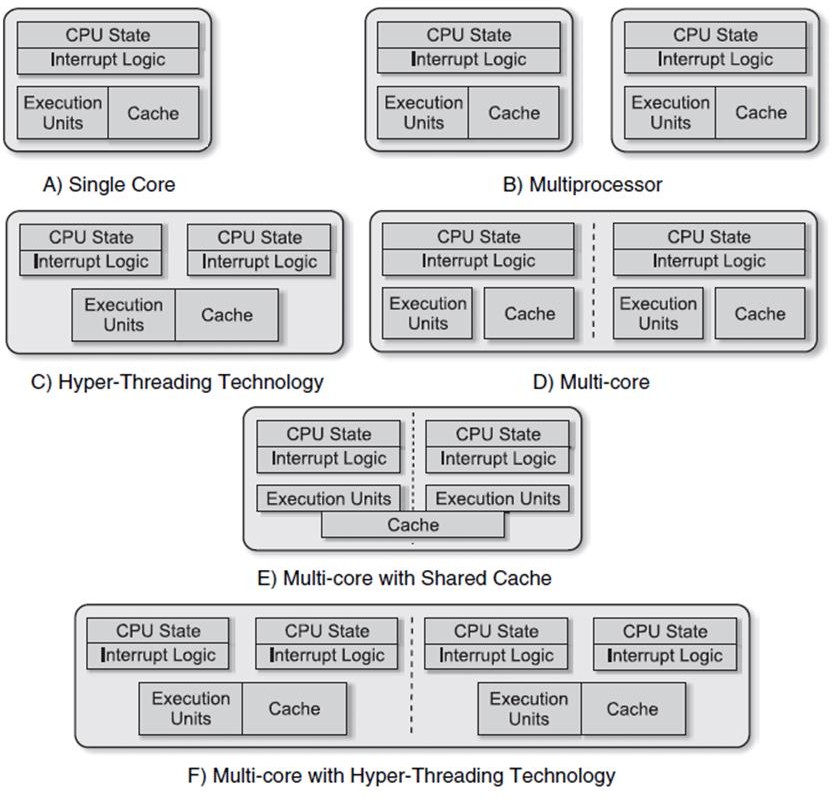
Microprocesoare multitasking (multithreading)

Un unic microprocesor fizic este văzut de software ca mai multe microprocesoare logice;

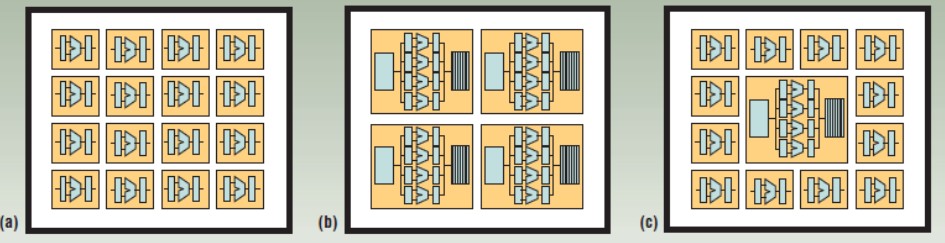
Fiecare microprocesor logic execută un task; Problemă: comutarea taskurilor; Microprocesoare multicore



Mai multe microprocesoare fizice (core (nucleu)) execută fiecare câte un task; 48. Prezentați schema bloc a unui microprocesor multicore cu

hyperthreading.

1. Prezentați structura unui microprocesor multicore simetric și a unuia asimetric.



a: multicore simetric cu 16 nuclee cu 1 BCE; b: multicore simetric cu 4 nuclee cu 4 BCEs;

c: multicore asimetric cu 12 nuclee cu 1 BCE și 1 nucleu cu 4 BCEs;

Procesoarele multicore pot fi:

Simetrice: toate nucleele sunt la fel (resurse, performanțe, cost);

Asimetrice: nuclee diferite (resurse, performanțe, cost);



Dinamice: nucleele își pot modifica caracteristicile în timpul rulării;

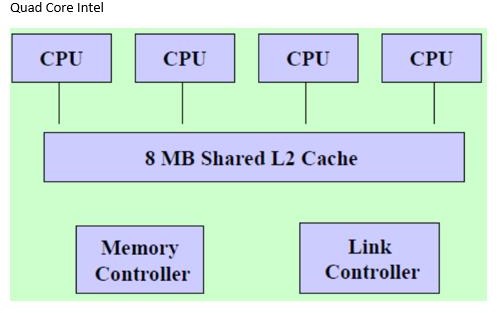
sau:

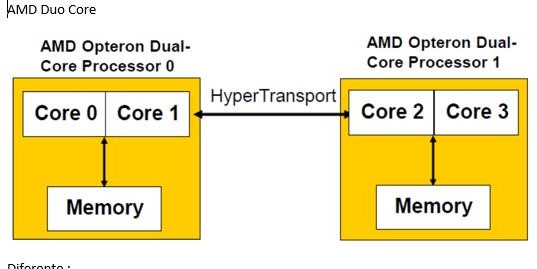
Omogene: toate nucleele au aceeași funcționalitate;



Heterogene: o parte din nuclee au funcționalități diferite, sunt neconvenționale (GPU,

FPGA etc.);

1. Prezentați schema bloc a unui microprocesor Intel Quad Core și a unui microprocesor AMD Dual sau Quad Core. Care sunt diferențele principiale?



Diferente :

Nr nuclee Nr cpu

Memorie mai mare la quad core

Performanta (poate rula mai multe taskuri deodata)

# Descrieți 3 inovații ale microarhitecturii Intel Core.

* + Intel Intelligent Power Capability
    - Gestionează puterea în mod dinamic;
    - Se bazează pe Power-Gating; întârzierea introdusă de etajul de comandă a alimentării este minimizată;
  + Intel Advanced Smart Cache:
    - Prin crearea unei memorii cache L2 comune, crește probabilitatea ca fiecare nucleu să acceseze informația dorită din memoria cache;
    - Dacă un nucleu accesează rareori memoria cache comună, alt nucleu poate să o utilizeze mult mai intens;
  + Intel Advanced Digital Media Boost:
    - Permite creșterea performanței la execuția operațiilor de tip SIMD, cu instrucțiuni pe 128 biți (extensia SSE – Streaming SIMD Extensions);

instrucțiunile pe 128 biți pot fi executate în un singur ciclu față de 2 cicluri în lipsa acestei caracteristici;

* + - Util la aplicații multimedia, video, sunet, procesare foto, criptare, calcule inginerești etc.;