

FPGA 的 LVDS 介绍和 xilinx 原语的使用方法中文说明

低压差分传送技术是基于低压差分信号(Low Voltage Differential signaling)的传送技术, 从一个电路板系统内的高速信号传送到不同电路系统之间的快速数据传送都可以应用低压差分传送技术来实现, 其应用正变得越来越重要。低压差分信号相对于单端的传送具有较高的噪声抑制功能, 其较低的电压摆幅允许差分对线具有较高的数据传输速率, 消耗较小的功率以及产生更低的电磁辐射。

LVDS: Low Voltage Differential Signaling, 低电压差分信号。

LVDS 传输支持速率一般在 155Mbps (大约为 77MHZ) 以上。

LVDS 是一种低摆幅的差分信号技术, 它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbps 的速率传输, 其低电压幅和低电流驱动输出实现了低噪声和低功耗。

差分信号抗噪特性

从差分信号传输线路上可以看出, 若是理想状况, 线路没有干扰时, 在发送侧, 可以形象理解为:

$$IN = IN+ - IN-$$

在接收侧, 可以理解为:

$$IN+ - IN- = OUT$$

所以:

$$OUT = IN$$

在实际线路传输中, 线路存在干扰, 并且同时出现在差分线对上, 在发送侧, 仍然是:

$$IN = IN+ - IN-$$

线路传输干扰同时存在于差分对上, 假设干扰为 q, 则接收侧:

$$(IN+ + q) - (IN- + q) = IN+ - IN- = OUT$$

所以:

$$OUT = IN$$

噪声被抑止掉。 上述可以形象理解差分方式抑止噪声的能力。

表 1-1 各种 LVDS 技术的工业标准

	工业标准	最高数据率	输出摆幅 (V _{OD})	功耗
LVDS	TIA/EIA-644	3.125 Gbps	± 350 mV	低
LVPECL	N/A	10+ Gbps	± 800 mV	中等-高
CML	N/A	10+ Gbps	± 800 mV	中等
M-LVDS	TIA/EIA-899	250 Mbps	± 550 mV	低
B-LVDS	N/A	800 Mbps	± 550 mV	低

From: 美国国家半导体的《LVDS 用户手册》P9

FPGA 中的差分管脚

为了适用于高速通讯的场合，现在的 FPGA 都提供了数目众多的 LVDS 接口。如 Spartan-3E 系列 FPGA 提供了下列差分标准：

- ? LVDS
- ? Bus LVDS
- ? mini-LVDS
- ? RSDS
- ? Differential HSTL (1.8V, Types I and III)
- ? Differential SSTL (2.5V and 1.8V, Type I)
- ? 2.5V LVPECL inputs

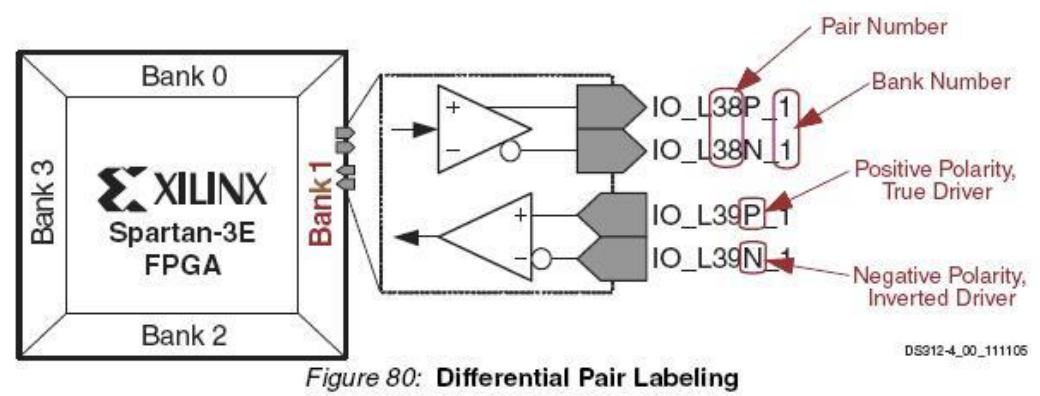
所拥有的差分 I/O 管脚数目如下

Table 2: Available User I/Os and Differential (Diff) I/O Pairs

Device	VQ100 VQG100		CP132 CPG132		TQ144 TQG144		PQ208 PQG208		FT256 FTG256		FG320 FGG320		FG400 FGG400		FG484 FGG484	
	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff
XC3S100E	66 (7)	30 (2)	83 (11)	35 (2)	108 (28)	40 (4)	-	-	-	-	-	-	-	-	-	-
XC3S250E	66 (7)	30 (2)	92 (7)	41 (2)	108 (28)	40 (4)	158 (32)	65 (5)	172 (40)	68 (8)	-	-	-	-	-	-
XC3S500E	66 (7)	30 (2)	92 (7)	41 (2)	-	-	158 (32)	65 (5)	190 (41)	77 (8)	232 (56)	92 (12)	-	-	-	-
XC3S1200E	-	-	-	-	-	-	-	-	190 (40)	77 (8)	250 (56)	99 (12)	304 (72)	124 (20)	-	-
XC3S1600E	-	-	-	-	-	-	-	-	-	-	250 (56)	99 (12)	304 (72)	124 (20)	376 (82)	156 (21)

From:Spartan-3E FPGA Family:Complete Data Sheet p5

I/O 管脚的命名方式：



From:Spartan-3E FPGA Family:Complete Data Sheet p164

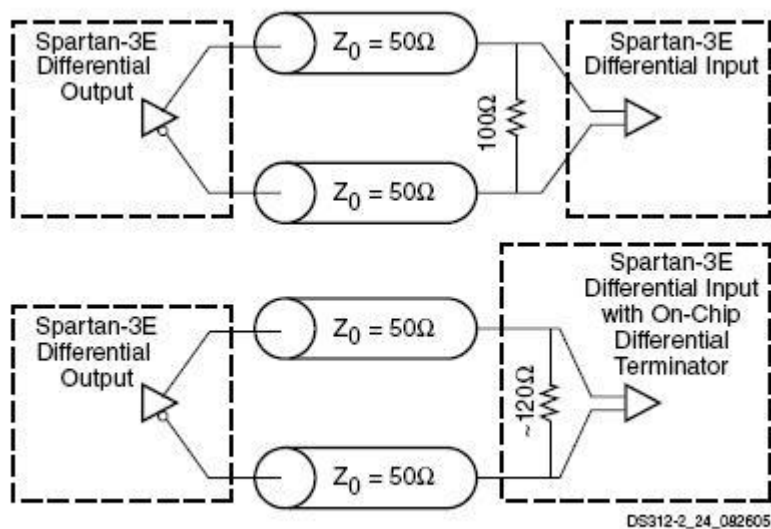
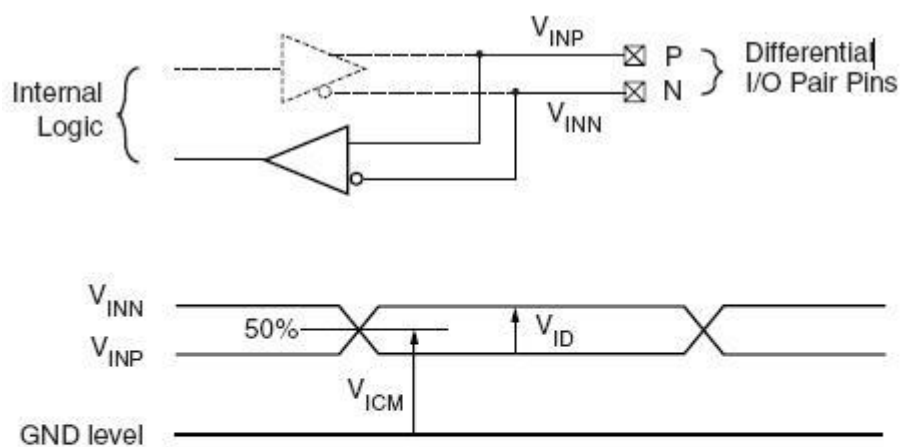


Figure 11: Differential Inputs and Outputs

From: Spartan-3E FPGA Family: Complete Data Sheet p18

Spartan-3E 系列 FPGA 器件差分 I/O 接口输入工作的特性参数:



$$V_{ICM} = \text{Input common mode voltage} = \frac{V_{INP} + V_{INN}}{2}$$

$$V_{ID} = \text{Differential input voltage} = |V_{INP} - V_{INN}|$$

DS099-3_01_012304

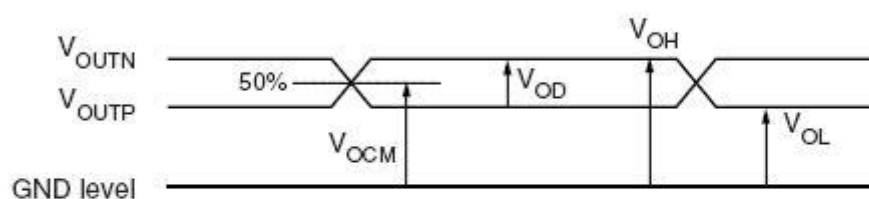
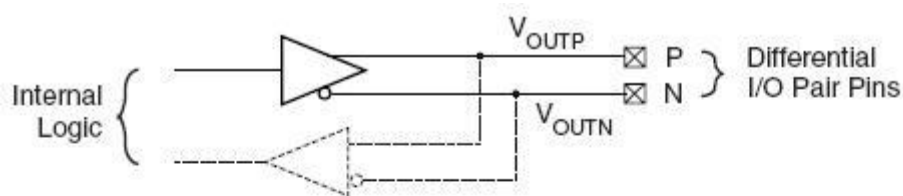
Figure 70: Differential Input Voltages

Table 81: Recommended Operating Conditions for User I/Os Using Differential Signal Standards

IOSTANDARD Attribute	V _{CCO} for Drivers ⁽¹⁾			V _{ID}			V _{ICM}		
	Min (V)	Nom (V)	Max (V)	Min (mV)	Nom (mV)	Max (mV)	Min (V)	Nom (V)	Max (V)
LVDS_25	2.375	2.50	2.625	100	350	600	0.30	1.25	2.20
BLVDS_25	2.375	2.50	2.625	100	350	600	0.30	1.25	2.20
MINI_LVDS_25	2.375	2.50	2.625	200	-	600	0.30	-	2.2
LVPECL_25 ⁽²⁾	Inputs Only			100	800	1000	0.5	1.2	2.0
RSDS_25	2.375	2.50	2.625	100	200	-	0.3	1.20	1.4
DIFF_HSTL_I_18	1.7	1.8	1.9	100	-	-	0.8	-	1.1
DIFF_HSTL_III_18	1.7	1.8	1.9	100	-	-	0.8	-	1.1
DIFF_SSTL18_I	1.7	1.8	1.9	100	-	-	0.7	-	1.1
DIFF_SSTL2_I	2.3	2.5	2.7	100	-	-	1.0	-	1.5

From:Spartan-3E FPGA Family:Complete Data Sheet p126

Spartan-3E 系列 FPGA 器件差分 I/O 接口输出工作的特性参数:



$$V_{OCM} = \text{Output common mode voltage} = \frac{V_{OUTP} + V_{OUTN}}{2}$$

$$V_{OD} = \text{Output differential voltage} = |V_{OUTP} - V_{OUTN}|$$

V_{OH} = Output voltage indicating a High logic level

V_{OL} = Output voltage indicating a Low logic level

DS312-3_03_02150E

Figure 71: Differential Output Voltages

Table 82: DC Characteristics of User I/Os Using Differential Signal Standards

IOSTANDARD Attribute	V _{OD}			ΔV_{OD}		V _{OCM}			ΔV_{OCM}		V _{OH}	V _{OL}
	Min (mV)	Typ (mV)	Max (mV)	Min (mV)	Max (mV)	Min (V)	Typ (V)	Max (V)	Min (mV)	Max (mV)	Min (V)	Max (V)
LVDS_25	250	350	450	-	-	1.125	-	1.375	-	-	-	-
BLVDS_25	250	350	450	-	-	-	1.20	-	-	-	-	-
MINI_LVDS_25	300	-	600	-	50	1.0	-	1.4	-	50	-	-
RSDS_25	100	-	400	-	-	1.1	-	1.4	-	-	-	-
DIFF_HSTL_I_18	-	-	-	-	-	-	-	-	-	-	V _{CCO} - 0.4	0.4
DIFF_HSTL_III_18	-	-	-	-	-	-	-	-	-	-	V _{CCO} - 0.4	0.4
DIFF_SSTL18_I	-	-	-	-	-	-	-	-	-	-	V _{TT} + 0.475	V _{TT} - 0.475
DIFF_SSTL2_I	-	-	-	-	-	-	-	-	-	-	V _{TT} + 0.61	V _{TT} - 0.61

Xilinx 公司差分原语的使用

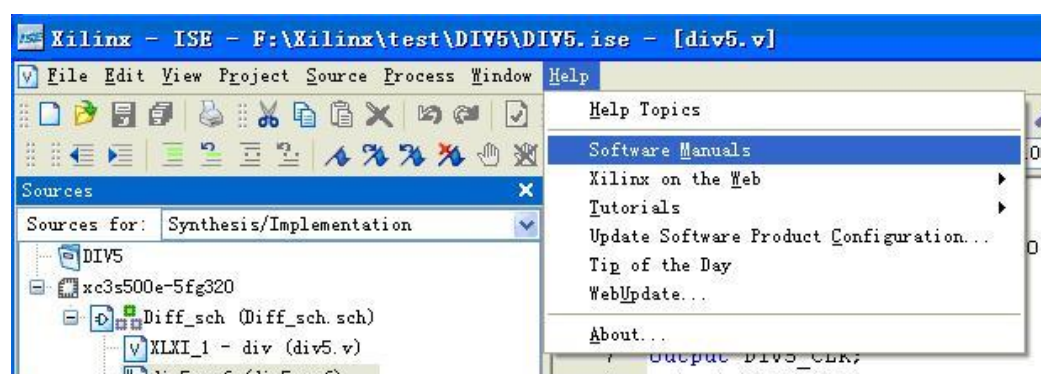
(原语, 其英文名字为 **Primitive**, 是 Xilinx 针对其器件特征开发的一系列常用模块的名字, 用户可以将其看成 Xilinx 公司为用户提供的库函数, 类似于 C++ 中的“cout”等关键字, 是芯片中的基本元件, 代表 FPGA 中实际拥有的硬件逻辑单元, 如 LUT, D 触发器, RAM 等, 相当于软件中的机器语言。在实现过程中的翻译步骤时, 要将所有的设计单元都转译为目标器件中的基本元件, 否则就是不可实现的。原语在设计中可以直接例化使用, 是最直接的代码输入方式, 其和 HDL 语言的关系, 类似于汇编语言和 C 语言的关系。)

关于 Xilinx 原语的详细介绍, 可以参考下面文章

1) FPGA 开发实用教程 第 4 节 Xilinx 公司原语的使用方法

<http://www.eefocus.com/article/08-03/37457s.html>

2) ISE 的 Help—software Manuals



差分 I/O 端口组件

1) IBUFDS

IBUFDS 原语用于将差分输入信号转化成标准单端信号, 且可加入可选延迟。在 **IBUFDS** 原语中, 输入信号为 I、IB, 一个为主, 一个为从, 二者相位相反。

IBUFDS 的逻辑真值表所列, 其中“-*”表示输出维持上一次的输出值, 保持不变。

表 IBUFDS 原语的输入、输出真值表

输入		输出
I	IB	O
0	0	1
0	1	0
1	0	1
1	1	1

IBUFDS 原语的例化代码模板如下所示：

```
// IBUFDS: 差分输入缓冲器 (Differential Input Buffer)
// 适用芯片: Virtex-II/II-Pro/4, Spartan-3/3E
// Xilinx HDL 库向导版本, ISE 9.1
IBUFDS #(
    .DIFF_TERM("FALSE"),
    // 差分终端, 只有 Virtex-4 系列芯片才有, 可设置为 True/False
    .IOSTANDARD("DEFAULT")
    // 指定输入端口的电平标准, 如果不确定, 可设为 DEFAULT
) IBUFDS_inst (
    .O(0), // 时钟缓冲输出
    .I(I), // 差分时钟的正端输入, 需要和顶层模块的端口直接连接
    .IB(IB) // 差分时钟的负端输入, 需要和顶层模块的端口直接连接
);
// 结束 IBUFDS 模块的例化过程
```

http://www.xilinx.com/itp/xilinx6/books/data/docs/lib/lib0229_197.htm
1

Verilog Instantiation Template

```
IBUFDS instance_name (.O (user_O),
    .I (user_I),
    .IB (user_IB));
```

在综合结果分析时, IBUFDS 的 RTL 结构如图所示。

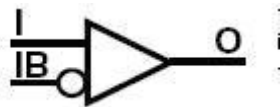


图 IBUFDS 原语的 RTL 结构图

2) OBUFDS

OBUFDS 将标准单端信号转换成差分信号，输出端口需要直接对应到顶层模块的输出信号，和 IBUFDS 为一对互逆操作。OBUFDS 原语的真值表如表所列。

表 OBUFDS 原语的真值表

输入	输出	
I	O	OB
0	0	1
1	1	0

OBUFDS 原语的例化代码模板如下所示：

// OBUFDS: 差分输出缓冲器 (Differential Output Buffer)

// 适用芯片: Virtex-II/II-Pro/4, Spartan-3/3E

// Xilinx HDL 库向导版本, ISE 9.1

OBUFDS #(

.IOSTANDARD("DEFAULT")

// 指名输出端口的电平标准

) OBUFDS_inst (

.O(O), // 差分正端输出，直接连接到顶层模块端口

.OB(OB), // 差分负端输出，直接连接到顶层模块端口

.I(I) // 缓冲器输入

);

// 结束 OBUFDS 模块的例化过程

http://www.xilinx.com/itp/xilinx5/data/docs/lib/lib0317_301.html

Verilog Instantiation Template

OBUFDS instance_name (.O (user_O),

.OB (user_OB),

.I (user_I));

在综合结果分析时，OBUFDS 原语的 RTL 结构如图所示。

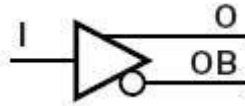


图 OBUFDS 的 RTL 结构图

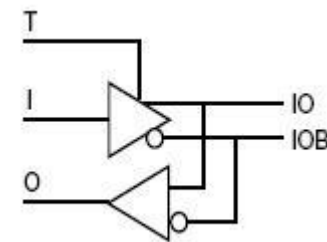
3) IOBUFDS

IOBUFDS 原语真值表

Inputs		Bidirectional		Outputs
I	T	IO	IOB	O
X	1	Z	Z	- *
0	0	0	1	0
1	0	1	0	1

* The dash (-) means No Change.

IOBUFDS 的 RTL 结构图



Verilog Instantiation Template

```
// IOBUFDS: Differential Bi-directional Buffer
// Virtex-II/II-Pro/4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 9.1i
```

IOBUFDS #

.IBUF_DELAY_VALUE("0"),

```
// Specify the amount of added input delay for the buffer, "0"-"16" (Spartan-3E only)
```

.IFD_DELAY_VALUE("AUTO"),


```
// Specify the amount of added delay for input register, "AUTO", "0"-"8"  
(Spartan-3E only)
```

```
.IOSTANDARD("DEFAULT") // Specify the I/O standard
```

```
) IOBUFDS_inst (
```

```
.O(O), // Buffer output
```

```
.IO(IO), // Diff_p inout (connect directly to top-level port)
```

```
.IOB(IOB), // Diff_n inout (connect directly to top-level port)
```

```
.I(I), // Buffer input
```

```
.T(T) // 3-state enable input
```

```
);
```

```
// End of IOBUFDS_inst instantiation
```

差分时钟组件

1) IBUFGDS

与全局时钟资源相关的原语常用的与全局时钟资源相关的 Xilinx 器件原语包括：IBUFG、IBUFGDS、BUFG、BUFGP、BUFGCE、BUFGMUX、BUFGDLL 和 DCM 等，如图 1 所示。

IBUFGDS 是 IBUFG 的差分形式，当信号从一对差分全局时钟管脚输入时，必须使用 **IBUFGDS** 作为全局时钟输入缓冲。IBUFG 支持 BLVDS、LDT、LVDSEXT、LVDS、LVPECL 和 ULVDS 等多种格式的 IO 标准。

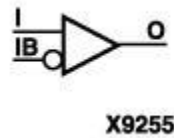
http://www.xilinx.com/itp/xilinx6/books/data/docs/lib/lib0231_199.html

IBUFGDS 原语真值表

Inputs		Outputs
I	IB	O
0	0	- *
0	1	0
1	0	1
1	1	- *

* The dash (-) means No Change.

IBUFGDS 的 RTL 结构图



Verilog Instantiation Template

```
IBUFGDS instance_name (.O (user_O),  
                          .I (user_I),  
                          .IB (user_IB));
```

LVDS 差分的在 FPGA 中的应用

在高速传输的过程中，经常会受到干扰而误码，因此有时候时钟输入采用差分输入的办法来提高抗干扰的能力。下面已一个二分频为例子：

二分频 Verilog 代码如下：

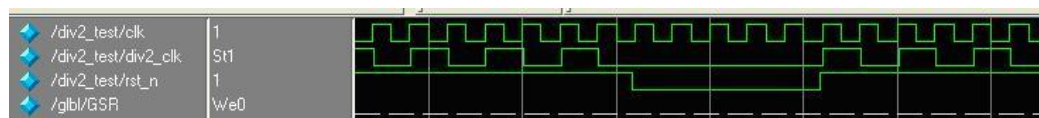
```
`timescale 1ns / 1ps  
  
module div2(clk, div2_clk, rst_n);  
  input clk;  
  input rst_n;  
    
  output div2_clk;  
  reg div2_clk;  
  
  always@(posedge clk or negedge rst_n)  
  begin  
    if(!rst_n)  
      div2_clk<=0;  
    else div2_clk<=~div2_clk;  
  end
```

```

end
endmodule

```

布线布局的仿真（Post-Route Simulation）波形如下：

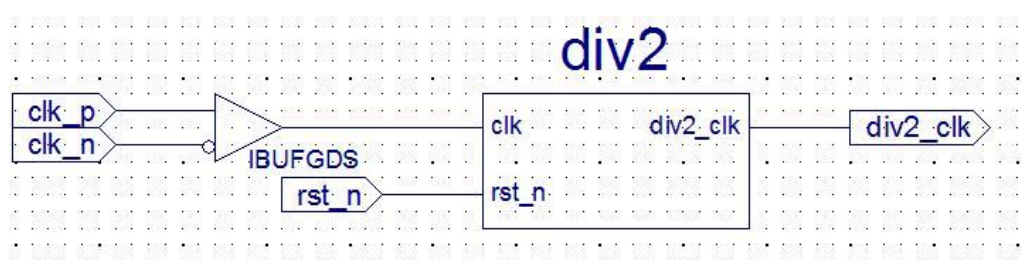


现在对时钟 clk 信号进行差分处理，对 div2 module 进行例化（Create Schematic Symbol）

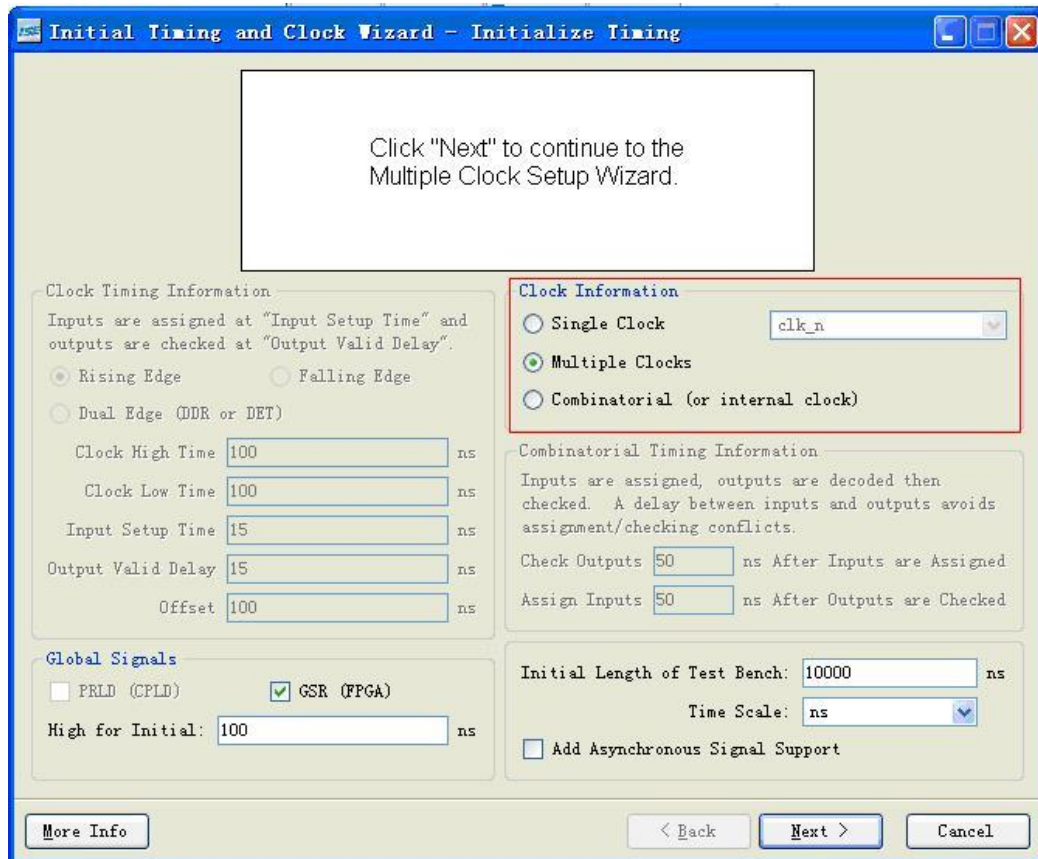
新建一个 div2_diff.sch。添加 div2 的 module 在 sch 上。通过搜索，把时钟缓冲差分组件 IBUFGDS 也放在 div2_diff.sch 上。



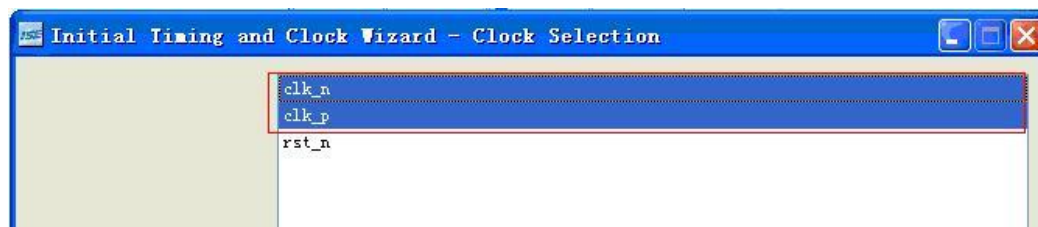
设置好 clk 的差分管脚，（按照 Verilog 命名规范）正的命名为 clk_p，负的命名为 clk_n。



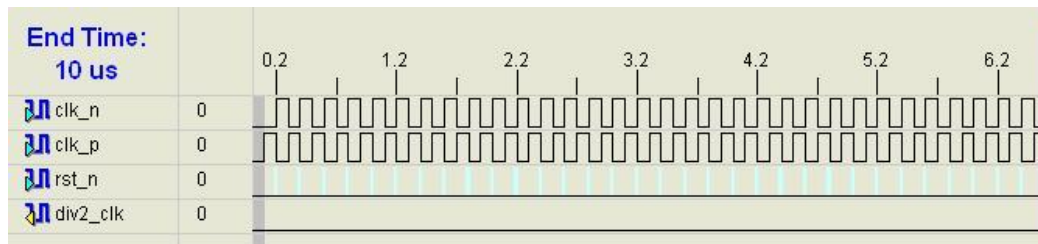
在添加波形测试文件时要注意，Clock Information 选择 Multiple Clocks（因为时钟变为两个 clk_p、clk_n）



下一步，把 clk_p 和 clk_n 都选上：



可以看到仿真的 clk_p 和 clk_n 都变为差分输入的了。



还要对 `div2_diff.sch` 进行管脚约束。`div2_diff.ucf` 约束文件如下：

```
NET "clk_p" LOC = "C9" | IOSTANDARD = LVDS_25 ;
NET "clk_n" LOC = "D9" | IOSTANDARD = LVDS_25 ;
NET "div2_clk" LOC = "A10" | IOSTANDARD = LVCMOS33 ;
NET "rst_n" LOC = "H13" | IOSTANDARD = LVCMOS33 ;
```

要注意：

`clk_n` 和 `clk_p` 都要设置在差分管脚对上，

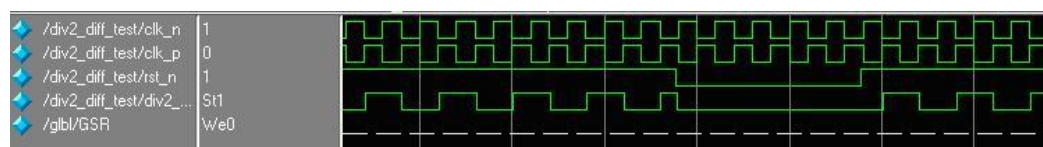
`clk_n`——C9——IO_L14P

`clk_p`——D9——IO_L14N

并且逻辑电平标准设置为 `LVDS_25`。Spartan-3E 支持下面的差分逻辑电平标准。

- ? LVDS
- ? Bus LVDS
- ? mini-LVDS
- ? RSDS
- ? Differential HSTL (1.8V, Types I and III)
- ? Differential SSTL (2.5V and 1.8V, Type I)
- ? 2.5V LVPECL inputs

综合、翻译、映射和布线布局后，运行布线布局仿真，可以看到时钟 `clk` 已经变为差分时钟了。



看 `div2_diff.sch` 的 HDL 文件（View HDL Functional Model）。可以看到其实 `sch` 调用了 `IBUFGDS` 原语。

```

`timescale 1ns / 1ps

module div2_diff(clk_n,
                clk_p,
                rst_n,
                div2_clk);

    input clk_n;
    input clk_p;
    input rst_n;
    output div2_clk;

    wire XLXN_1;

    div2 div2_diff (.clk(XLXN_1),
                  .rst_n(rst_n),
                  .div2_clk(div2_clk));
    IBUFGDS XLXI_2 (.I(clk_p),
                  .IB(clk_n),
                  .O(XLXN_1));

    // synthesis attribute IOSTANDARD of XLXI_2 is "DEFAULT"
    // synthesis attribute IBUF_DELAY_VALUE of XLXI_2 is "0"
    defparam XLXI_2.DIFF_TERM = "FALSE";
endmodule

```

在差分设计中，经常会因为配置错误而使得综合出错，最常见的错误分析如下：

①

ERROR:Place:332 - This design contains an LVDS IO pair. The pair of I/Os must be placed in a specific relative structure.

The two I/Os can not be placed in this specific structure.

The reason for this issue:

All of the logic associated with this structure is locked and the relative placement of the logic violates the

structure. The problem was found between the relative placement of IBUF clk_p at site PAD27 and IBUF clk_n at site

IPAD28. The following components are part of this structure:

IBUF clk_p

IBUF clk_n

这个错误出错是因为差分管脚 clk_p 和 clk_n 没有约束到芯片的差分对管脚上。需要修改.ucf 文件。至于芯片哪个管脚是差分对，可以参考相应芯片的

Datasheet。XC3S500E-FG320(Spartan-3E fpga)有 92 个 I/O 差分管脚和 12 个输入差分管脚。

②

ERROR:Pack:946 - The I/O component "clk_p" has an illegal IOSTANDARD value.

Components of type DIFFML do not support IOSTANDARD LVCMOS33.
3. Please correct the IOSTANDARD property value.

这个错误出错是因为差分管脚设置的逻辑电平标准不对，设置成 LVCMOS33，应该设置为芯片支持的 LVDS 逻辑电平标准。

参考资料：

1) 基于 LVDS 技术与 FPGA 的高速通讯应用研究，韩党群，唐征兵，张庆玲

<http://www.eccn.com/xsj07/xsj080231.asp>

2) LVDS 原理与应用简介

http://www.ent.eetchina.com/ART_8800472639_2700004_TA_5d4d019d.HTM

3) 美国国家半导体的《LVDS 用户手册》

http://www.ent.eetchina.com/ART_8800562170_2700004_TA_552cca6f.HTM

Xilinx FPGA 如何使用 LVDS

<http://www.61eda.com/Services/help/Xilinx/200803/1225.html>

无论使用 HDL flow 还是 schematic flow，只需要例化 IBUFDS, OBUFDS 之类的差分缓冲器，就可以使用 LVDS 了。

例化之后，要定位 Pin 位置，使用 PACE，在 IO

Standard 中选择 LVDS33 或者 LVDS25，还能选择有 DCI 的版本。定端口时，注意看 Datasheet 中 Pin 名字分 P/N，这 P 也要对应 buffer 中的 P，N 也要对应 N。而且注意同一个 bank 只能有一个电压标准。

如果用 FPGA Editor 观察布局布线后的情况，就会发现，FPGA

Editor 中没有 IBUFDS 这个 Component，这个 Buffer 是藏在 IOB 里的，点击到 Pin 的图块中，可以看到里面有一个 Buffer，就起到了 IBUFDS 这个作用。