

# 基于 DDS 技术的任意波形发生器研究与设计

陈戈珩, 邢志尧, 李贵盼

(长春工业大学 计算机科学与工程学院, 吉林 长春 130012)

摘要: 介绍了直接数字频率合成(DDS)的基本原理和基于 DDS 技术的任意波形发生器的结构及工作方式, 给出了任意波形发生器各组成电路的设计方案以及 DDS 通道的 FPGA 实现方法。

关键词: 波形发生器; 直接数字频率合成; 原理; 结构; 设计; 方法; AT89C51

中图分类号: TN741

文献标识码: A

文章编号: 1006-6977(2008)06-0033-04

## Design and research of the arbitrary waveform generator based on DDS

CHEN Ge-yan, XING Zhi-yao, LI Gui-pan

(School of Computer Science Engineering, Changchun University of Technology, Changchun 130012, China)

Abstract: This paper introduces the basic principles of DDS and the structure and work methods of AWG based on DDS technology. The various components of the circuit design method of AWG and the implementation of DDS channels on FPGA are given.

Key words: arbitrary waveform generator(AWG); direct digital synthesis; principle; structure; design; method; AT89C51

## 1 DDS 概述

### 1.1 DDS 基本原理

直接数字合成技术 (Direct Digital Synthesis, 简称 DDS) 是建立在采样定理基础上, 首先对需要产生的波形进行采样, 将采样值数字化后存入存储器作为查找表, 然后通过查表读取数据, 再经 D/A 转换器转换为模拟量, 将保存的波形重新合成出来。DDS 基本原理框图如图 1 所示。

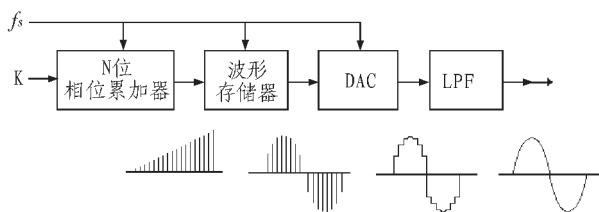


图 1 DDS 基本原理框图

由图 1 看出, 除了滤波器(LPF)之外, DDS 系统都是以数字集成电路实现, 因此 DDS 系统易于集成

和小型化。DDS 系统的参考时钟源通常是一个具有高稳定性的晶体振荡器, 整个系统的各个组成部分提供同步时钟。频率字(FSW)实际上是相位增量值(二进制编码), 作为相位累加器的累加值。相位累加器在每一个参考时钟脉冲输入时, 累加一次频率字, 其输出相应增加一个步长的相位增量。由于相位累加器的输出连接在波形存储器(ROM)的地址线上, 因此其输出的改变就相当于查表。这样就可把存储在波形存储器内的波形抽样值(二进制编码)经查找表查出。ROM 的输出送到 D/A 转换器, 经 D/A 转换器转换成模拟量输出。

### 1.2 DDS 的基本参数及其计算

在系统时钟脉冲的作用下, 相位累加器不停累加, 即不停查表, 把波形数据送到 D/A 转换器转换成模拟量输出, 从而合成波形。滤波器则进一步平滑 D/A 转换器输出的近似正弦波的锯齿阶梯波, 同时衰减不必要的杂散信号。设频率字(FSW)的值为  $d$ , 系统时钟频率为  $f$ , 相位累加器的字长为  $N$ , 则系

收稿日期: 2008-04-04

稿件编号: 200804006

作者简介: 陈戈珩(1961-), 女, 吉林长春人, 硕士研究生, 副教授。研究方向: 数字信号处理及应用。

$$f=d/2^N f_s \quad (1)$$

DDS系统的最小输出频率为:

$$f_{0\min}=f_s/2^N \quad (2)$$

输出频率最大值为:

$$f_{0\max} = d_{\max} / 2^N f_s \quad (3)$$

基于 DDS 技术的任意波形发生器主要由微处理器控制模块、键盘与显示模块、DDS 通道的 FP-GA 实现模块、D/A 转换模块以及滤波器模块组成。同时片外扩展了 4 KB 程序存储器 SRAM 和 6 KB 数据存储器 ROM, 分别用于存储波形抽样数据和 3 种标准输出波形抽样数据。本系统设计原理如图 2 所示。

采用 AT89C51 单片机完成数据处理和控制其他电路工作。将键盘接收的数据通过特定算法转换

由于 AT89C51 单片机主要接口有: 微处理器与扩展器件的接口; 微处理器与 FPGA 模块的接口; 微处理器与键盘、显示模块的接口; 微处理器与输出幅值调节电路的接口。由于单片机的输出引脚有限, 需扩展其引脚。本设计采用 8255 器件扩展单片机的输出引脚, 8255 的 PA 用于相位控制字的输出; PB 用于频率控制字的输出; PC 是位可控输出端, 用于 DDS 工作方式的控制字和波形参数的控制字输出引脚。AT89C51 单片机与 FPGA 的接口电路如图 3 所示。

由于本系统设计的测量装置需要设置输出波形、频率、电压等参数,而且监控程序需要菜单驱动,因此需要设置键盘。键盘采用外接 4×4 软键盘,使用软件扫描方式获得按键信息。因为按键需要去抖动,因此采用软件编程方式实现,这样可以节省硬件资源,简化电路设计。

液晶显示可提供人机交互界面和系统运行状态,选用精工的 MGLS 19264 液晶显示屏。该液晶显示屏内置 2 块 HD61202U 液晶显示驱动控制器。其中 CSA,CSB 作为左、右屏片选信号,接单片机 A8、A9 引脚。同时单片机用地址 A1 作为 R/W 信号控制数据总线的数据流向;地址 A0 作为 D/I 信号控制寄

存器的选择; E 信号由单片机的读信号 RD 和写信号 WR 合成产生, 实现计算机对内置 HD61202U 图形液晶显示模块的电路连接。电位器用来调节显示屏的对比度, 如图 4 所示。液晶显示左半屏命令字地址为 0E00H; 状态字地址为 0E10H; 写显示命令字地址为 0E01H; 读显示命令字地址为 0E11H; 右半屏对应地址为 0D00H、0D10H、0D01H、0D11H。

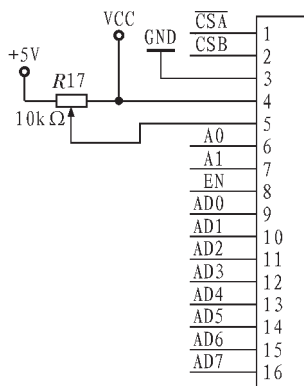


图 4 显示模块连接电路

### 2.3 DDS 通道的 FPGA 实现模块

该模块设计是 DDS 信号合成的关键部分, 主要由相位累加器、地址总线控制器、数据总线控制器与 SRAM 组成。其中, 除了 SRAM 外, 其余 3 个模块都由 FPGA 实现。

相位累加器是整个 DDS 系统的关键, 直接影响整个系统的功能。图 5 给出的 FPGA 结构框图中相位累加器实质上是一个带反馈的 29 位加法器, 它把输出数据作为反馈数据和由微处理器送来的频率控制字连续相加, 从而产生有规律的 29 位相位地址码。设计中采用流水线技术实现 29 位加法。当输入所需频率时, 转换成频率控制字来驱动 FPGA 工作, 从而产生所需波形频率。整个模块设计过程使用 FPGA 的开发软件实现并进行仿真。

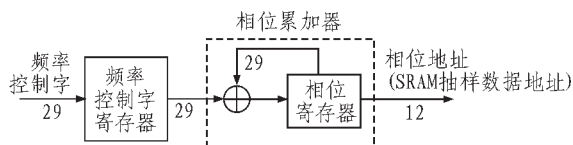


图 5 FPGA 的结构框图

### 2.4 D/A 转换模块

D/A 转换器是 DDS 系统的核心器件, 其速度和特性直接影响整个系统的性能。从建立时间、尖峰脉冲能量、位数和积分线性等四个方面选择 D/A 转换器。因为 DDS 系统的工作频率一般都很高, 因此

首先应选用高速 D/A 转换器。其次是考虑信噪比问题, 增大 D/A 转换器的位数, 可减小电压幅值量化误差, 增大信噪比, 因此, 采用了 12 位的 D/A 转换器。

### 2.5 滤波器模块

滤波器分为两组: 一组是椭圆函数滤波器, 用于正弦波的滤波; 另一组是线性滤波器, 用于其他标准波形的滤波。

## 3 结语

本系统设计的 DDS 电路采用 FPGA 实现, 单片机控制整个系统, 产生任意波形。因此, 基于 DDS 技术的波形发生器结构简单, 成本低, 而且提高了信号源输出信号的分辨率。使用 FPGA 设计的 DDS 电路要比采用专用 DDS 器件更灵活, 性价比更高。但在设计时应注意线路板的布线, 以减少外界干扰, 降低输出信号的杂散性。

参考文献:

- [1] 张厥盛, 曹丽娜. 锁相与频率合成技术[M]. 西安: 电子科技大学出版社, 1995.
- [2] Nicholas H T, III H. Samulei, Kim B. The optimization of Direct Digit a Frequency Synthesizer Performance in the Presence of Finite Word Length effects[J]. IEEE Proc 42th AFCS, 1988, 357- 363.
- [3] 袁振东. 一种高效率智能电子实验仪的设计与实现[J]. 电气电子教学学报, 2000(1): 55- 62.
- [4] 耿德根, 宋建国, 马 潮, 等. AVR 高速嵌入式单片机原理与应用[M]. 北京: 北京航空航天大学出版社, 2001.
- [5] 赵曙光. 可编程逻辑器件原理、开发与应用[M]. 西安: 西安电子科技大学出版社, 2000.
- [6] 郝迎吉, 王长乾, 王荣刚. 基于 DDS 三相数字信号源的设计[J]. 国外电子元器件, 2007(9): 57- 59.
- [7] 徐 鹏, 师奕兵, 李焱骏, 等. 一种恶劣环境下高协同度信号产生方法及其 FPGA 实现[J]. 中国测试技术, 2006, 32(6): 83- 86.

欢迎踊跃投稿:

电 话: 029- 88222991 88222992

电子邮箱: editor @ ieechina.com

网 址: http:// mag. ieechina.com

《国外电子元器件》作者在线投稿系统