

# 降低 DDS 时钟发生器输出抖动的若干方法

金宏兴 张 威

## 摘 要

本文主要介绍了 DDS 作为时钟发生器时的输出抖动情况以及减小时钟边沿抖动的几种方法, 以保证获得良好输出抖动性能的措施。

关键词: DDS 抖动

## Jitter Reduction in DDS Clock Generator Systems

Jin Hong-Xing Zhang Wei

### Abstract

This paper describes the edge jitter outputted from a DDS clock generator, put up with some ways to minimize the jitter and measures to be taken to secure the best jitter performance.

**Key words:** DDS (Direct Digital Synthesis) jitter

## 一、DDS 时钟发生器

时钟发生器是指能产生固定周期和精确定时的低输出抖动逻辑脉冲序列, 它的输出逻辑电平应与所用系统的要求一致。精确定时意味着要有一个高 Q 值的振荡器; 低输出抖动意味着具备高的噪声免疫性能。对于单一频率供应的系统, 这些特性相对容易做到, 比如, 晶体时钟振荡器。然而, 怎样设计一个快速、频率可变的时钟发生器? 而且输出频率之间没有整数关系, 这就是 DDS 的闪光之处。目前, 功能完整的 DDS 产品发展迅速, 它完全可以代替传统的模拟频率合成所完成的任务, 能够在一个芯片上集成了高速度高性能的 D/A 转换器和 DDS 系统, 形成一个功能完整的 DDS 结构体系, 比较模拟频率合成的 PLL 电路所解决的方法, DDS 有无比的优越性, 它以稳定精确的单一脉冲序列作为参考时钟  $f_r$ , 规定抽样时间, 直接产生一组正弦数字抽样值。DDS 可以输出  $2^{N-1}$  个离散频率 ( $N$  为 DDS 相位累加器的长度), 输出频率范围从直流到  $1/2 f_r$ , 间隔为  $f_r/2^N$ 。因而 DDS 在各个领域有广泛的应用。

## 二、减小输出抖动的方法和措施

DDS 输出采用正弦抽样, 带来了许多杂散成份, 造成输出时钟抖动。因此要解决一个最重要的问题: 怎样减小时钟边沿的抖动? 为保证获得良好的输出抖动性能, 通常采用以下几种方法:

- (1) 使用稳定的 DDS 参考时钟;
- (2) 对 DDS 输出滤波, 减小所有的非谐波杂散至少  $-65$  dbc;
- (3) 差分驱动比较器输入;
- (4) 提供足够的比较器输入电平 (至少  $1V$  P-P);
- (5) 比较器采用低阻抗输入, 抑制高阻抗噪声源;
- (6) 在高性能要求应用中, 使用外部比较器或者分频器;
- (7) 避免使用转换速率慢的信号;
- (8) 使用杂散降低技术。

对于 DDS 系统, 由于输入抖动全部加到输出端, 所以使用高稳定的 DDS 参考时钟的作用很明显。另外在 DDS 的输出端还需要设计一个滤波系统。带通滤波器是最佳选择, 因为杂散通常存在于基波的上下两侧。但对于宽带输出系统, 低通滤波是唯一选择, 输出时钟抖动性能也将折衷。为了便于滤波器设计, 应尽可能地提高系统输出基波频率, 使杂散远离基波。

使用低阻抗差分驱动比较器输入,  $1V$  P-P 值输入信号是最佳选择。低阻抗输入不仅可以扼止外部噪声引入, 而且可以防止比较器的反冲。差分输入可以扼止共模噪声, 加倍输入信号的转换速率。从单端变换到差分装置, 可使用无源宽带  $1:1$  射频变压器, 但它不能通直流, 所以应增加比较器的输入偏置。足够的比较器输入驱动电平, 可以使输出回差 (传输延迟回差) 最小, 提高开关转换特性。

DDS 的环境噪声会降低时钟抖动性能, 所以推荐使用片外高速比较器, 选择合适的输出逻辑电平、低输出回差比较器和单独供电等措施。

$5MHz$  和  $5MHz$  以上频率, 转换速率快的信号容易处理。使用上述技术, 能够达到的抖动数值大约为  $75 ps$  P-P。高频信号有高的谐波失真, 这些谐波不会有害, 除非谐波被混淆回到比较器的通频带内, 而变为非谐波的相关产物, 这将增加输出抖动。谐波可通过滤波器的基本原理来降低; 而杂散通过无源混频器, 上变频到很高的频率, 然后再经分频器分频, 得到所需的输出信号频率。这里的分频处理有两个优点:

- (1) 降低杂散成份  $20 \log N$  ( $N$  为分频比);
- (2) 分频器的输出为一方波, 如果能产生合适的逻辑电平, 可以不使用比较器。

$5MHz$  以下频率转换速率慢的信号, 很难获得好的输出抖动性能。但也可以通过先提高 DDS 的输出频率, 然后经分频, 得到所需的输出信号频率, 上述两个优点同样适用。在要求输出低抖动的极低频率输出时钟时, 这种杂散降低技术特别有效。使用分频技术, 可以获得近似  $75 ps$  P-P 的输出抖动, 而不使用分频技术, 对于  $1 kHz$  的正弦波, 使用低转换速率输入的比较器, 可能会产生  $10 ns$  P-P 的输出抖动。

### 三、DDS 时钟发生器应用实例

下面以一个 DDS 时钟发生器, 在 DAC 输出接滤波器的应用实例, 来分析 DDS 时钟发生器输出时钟抖动性能。假设一个参考时钟周期为  $5.7 ns$  ( $175 MHz$ ), 每个参考时钟周期进行 3 次抽样, 输出大约为  $56 MHz$ 。如图 1 所示, 由于周期之间和同一周期中的取样电平不同, 存在一个固定的零交叉阈值。那么经过若干周期的累积, 比较器输出时钟的抖动可以观察

到。

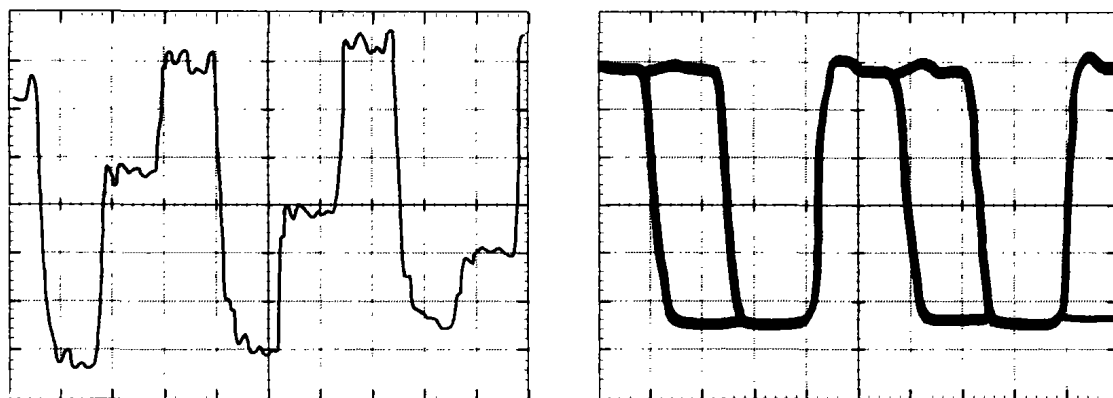


图 1 DAC 输出和比较器的一个时钟周期输出抖动

在大部分时钟应用系统中, 6 ns 的时钟抖动是不合适的。通常要在 DDS 输出端接低通或者带通滤波器, 滤除输出信号中的杂散成份, 提取出近乎纯净的正弦波。当滤波后的信号经比较器, 每个参考时钟周期产生的时钟抖动将减小大约 250 ps P-P。但由于比较器内在的抖动, 滤波只能使抖动减小到某个特定的水平, 更进一步的滤波没有效果。如果使用低通滤波, 相对于基波, 杂散可以降低到 -50 dB, 这仍然不够。对于 AD985X DDS 产品, 片内比较器的抖动大约为 80 ps P-P。这表明, 如使用一个更好的滤波系统, 输出时钟抖动会更小。图 2 是 DDS 的 DAC 输出, 经过一个 7 阶椭圆低通滤波的输出波形, 滤波器的 -3 dB 截止频率近似为 65 MHz。但使用低通滤波也有个缺点, 就是它不能消除某些落到 DDS 通频带内的伪谐波。因此当 DDS 作为窄带应用时, 带通滤波器是更好的选择。

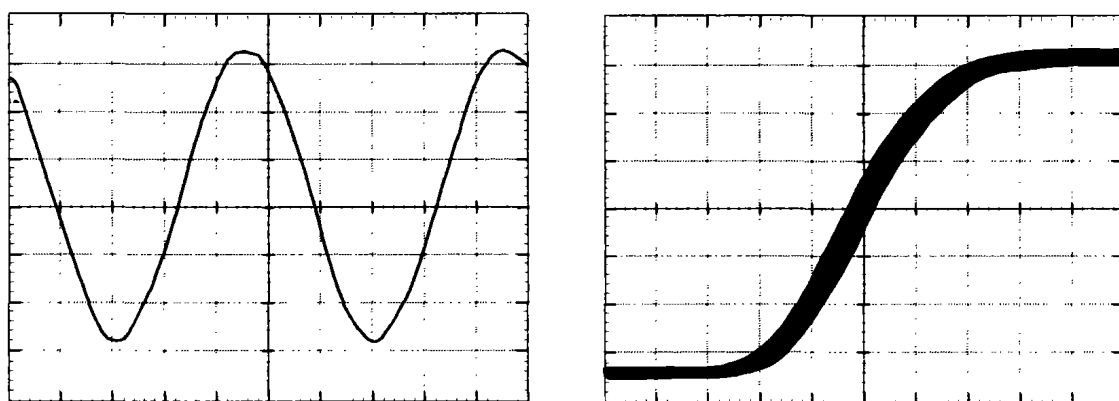


图 2 滤波后的 DDS 输出和比较器输出时钟抖动

图3为椭圆低通滤波在一个典型的DDS时钟发生器中的应用。滤波器的输入、输出阻抗都为 $200\Omega$ ，DAC输出电流为 $10\text{ mA}$ ，滤波器的输出将为 $1\text{ V P-P}$ 。 $200\Omega$ 的输出阻抗也使滤波器对允许偏差更受到影响，输出阻抗失配和复杂的滤波器使常用的 $50\Omega$ 仪器检测复杂化。由R4、R5和C1组成的平均电路，维持比较器周期对称转换输出。电路简单地结合 $I_{\text{out}}$ 和等幅度的DAC补充输出 $I_{\text{outB}}$ ，产生一个直流电压，大小等于取样正弦波的中心点值，这个电压值作为比较器转换输入的阈值。这样电路能跟踪输出幅度变化，补偿比较器输入端阈值直流电平，保证比较器周期对称输出。

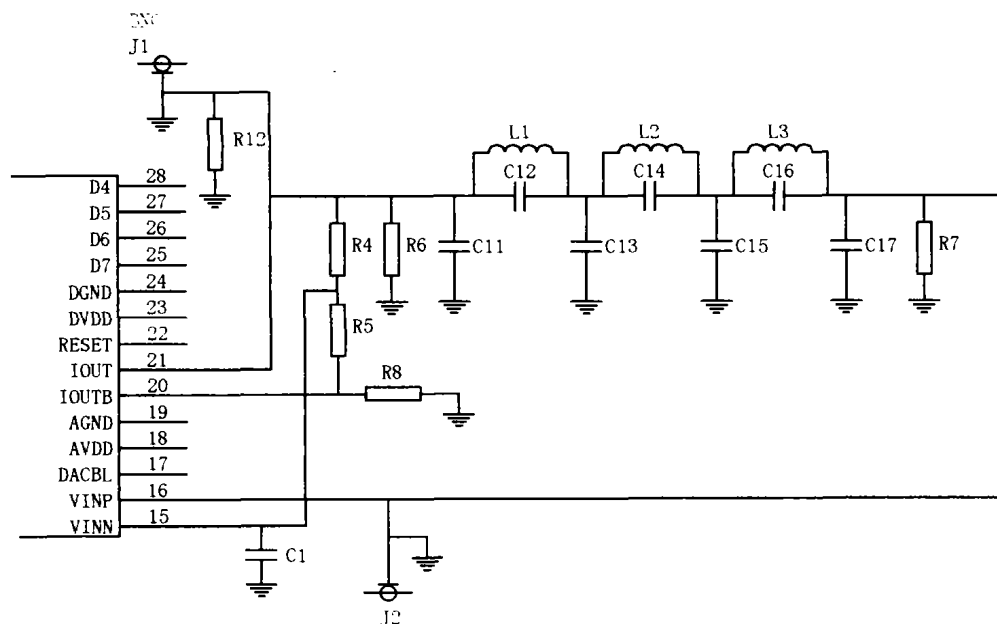


图3 椭圆低通滤波器在DDS时钟发生器中的应用

## 参 考 文 献

1. Rick Cushing. Low Jitter DDS. 1999
2. Analog Devices Inc. A Technical Tutorial on Digital Signal Synthesis. 1999