

摘 要

随着科学技术的飞速发展,电子测量技术被广泛应用于电子、机械、医疗、测控及航天等各个领域,而电子测量技术要用到各种形式的高质量信号源,因此任意波形发生器的研制就具有非常重要的现实意义。

本文是基于 DDS(Direct Digital Synthesis)技术来研制任意波形发生器。本文设计的任意波形发生器不仅可以产生正弦波、方波、三角波、Sa 函数波、升降锯齿波、指数函数波、平方根函数波、对数函数波、半圆函数波等波形,而且能够产生用户自定义的任意波形,同时还能产生 AM、FM、ASK、FSK、PSK 等数字调制信号,这将在很大程度上满足研究和应用的需要。

本文首先对 DDS 的基本工作原理及输出波形特性进行了理论分析,通过增大有效波形存储容量、修改频率控制字以及引入抖动注入技术来改善合成信号频谱纯度。在分析 DDS 基本原理的基础上开发了任意波形发生器的硬件平台和软件平台。硬件平台采用 MCU+FPGA+专用 DDS 芯片的系统设计方案,在硬件设计中以 Cyclone 系列 FPGA 芯片 EP1C3T144C8 为平台来构建任意波形发生器的 DDS 内核,并通过 QUARTUS II 7.2 软件仿真产生了常规波形和任意波形以及各种数字调制信号,通过仿真来验证设计的正确性,为任意波形发生器设计提供可靠的软核。STC89LE52RC 作为整个系统的控制芯片,用来控制 FPGA 和 AD9954 产生任意波形。在软件设计中开发了下位机和上位机软件,可以使用键盘独立操作任意波形发生器产生波形,在 PC 机上用 VC++ 开发了任意波形发生器软件,可以利用该软件来绘制任意波形和设置任意波形的参数,PC 机通过串口与任意波形发生器进行通信从而产生任意波形。

通过严格的测试表明,本文设计的任意波形发生器的频率分辨率能达到 0.03Hz,最高输出频率可达到 50MHz,频率准确度 $\leq 0.005\%$,输出端接上 50 Ω 的负载时,输出信号保持完好,性能指标满足了应用和设计的要求。

关键词: 任意波形发生器; DDS; FPGA; MCU

ABSTRACT

With the rapid development of science and technology, electronic measurement technique has been widely used in each field such as electronics, machinery, medical, measurement and space. The electronic measurement technology needs to use various forms of high quality source. Consequently, arbitrary waveform generator has very important practical significance.

The paper base on DDS(Direct Digital Synthesis) technology to design arbitrary waveform generator. The paper design arbitrary waveform generator that not only can generate sine waveform, square waveform, triangular waveform, sinc function waveform, ascend and descend sawtooth waveform, index function waveform, square root waveform, logarithm waveform, semi-circle waveform and so on, but also can generate arbitrary waveform which user has defined. At the same time, the arbitrary waveform generator can generate AM, FM, ASK, FSK, PSK modulated signal. It is satisfied with research and application.

Firstly, the paper has analysed base theory and output waveform's characteristic of DDS. In order to improve frequency spectrum of synthetical signal, the paper use amplify effective waveform memory storage, modify frequency control word and twitter injection technology. The paper empolder hardware and software of arbitrary waveform generator base on DDS. The hardware adopt (MCU+FPGA+DDS chip) system scheme. Using Cyclone series chip FPGA (EP1C3T144C8) to structure DDS core of arbitrary waveform generator in hardware design. In order to test and verify the correctness of the design, using Quartus II 7.2 software to simulate normal waveform, arbitrary waveform and modulated waveform. In this way, it supplied the credible soft IP core for the arbitrary waveform generator. MCU(STC89LE52RC) as the control chip of the whole system. It is master of FPGA and AD9954 for generating arbitrary waveform. The paper has developed upper monitor and lower computer software. It can use keyboard to operate arbitrary waveform generator for generating arbitrary waveform. The paper has developed upper monitor software by Visual C++ software. We can use the upper monitor software for drawing arbitrary waveform and setting parameters of arbitrary waveform. Communication between computer and arbitrary waveform generator overpass serial interface.

It indicated that the arbitrary waveform generator achieved 0.03Hz of frequency



resolution ratio and 50 MHz of highest output frequency by strict test. The frequency precision is equal or less than 0.005%. The arbitrary waveform generator output intact signal when the output terminal linking-up 50 ohm load. The performance of arbitrary waveform generator can satisfy with research and application.

KEY WORDS: arbitrary waveform generator, DDS, FPGA, MCU

目 录

第一章 绪论	1
1.1 任意波形发生器功能和研制意义	1
1.2 国内外波形发生器的发展动态	2
1.2.1 波形发生器的发展状况	2
1.2.2 国内外波形发生器产品比较	3
1.3 本文研究的主要内容	4
第二章 任意波形发生器的 DDS 理论分析	6
2.1 频率合成技术及性能指标	6
2.2 DDS 原理分析	10
2.2.1 DDS 基本结构	10
2.2.2 DDS 基本原理	11
2.2.3 DDS 技术特点	14
2.3 DDS 杂散抑制方法	15
2.4 本章小结	17
第三章 任意波形发生器硬件设计与调试	18
3.1 系统设计方案	18
3.2 系统设计总体结构	19
3.3 系统功能模块电路设计	20
3.3.1 FPGA 及其外围电路设计	20
3.3.2 MCU 及其外围电路设计	25
3.3.3 模拟输出通道处理电路	29
3.3.4 系统电源电路	35
3.4 电路板设计与调试	36
3.4.1 电路板设计	36
3.4.2 电路板的调试	37
第四章 FPGA 逻辑电路设计	38
4.1 FPGA 及其开发环境简介	38

4.1.1	FPGA(现场可编程门阵列)简介	38
4.1.2	Quartus II 7.2 集成开发环境	40
4.2	任意波形发生器的FPGA实现	41
4.2.1	任意波形发生器控制模块	41
4.2.2	相位累加器模块设计	44
4.2.3	系统时钟模块设计	45
4.2.4	提取高位数据模块设计	46
4.2.5	任意波形发生器的DDS设计与仿真	47
4.3	任意波形调制系统的研究与实现	50
4.3.1	幅度调制(AM)	50
4.3.2	频率调制(FM)	53
4.3.3	数字调制	55
4.4	本章小结	59
第五章	任意波形发生器的软件设计	60
5.1	基于硬件的底层驱动程序设计	60
5.1.1	AD9954 驱动程序	60
5.1.2	LCD驱动程序	61
5.1.3	矩阵键盘驱动程序	61
5.1.4	FPGA驱动程序	61
5.1.5	串口通信驱动程序	61
5.2	基于功能实现的系统软件设计	62
5.3	应用程序设计	63
第六章	系统性能测试	66
第七章	结论与展望	72
	参考文献	74
	致谢	76
	攻读硕士学位期间发表的论文和取得的科研成果	77

第一章 绪 论

1.1 任意波形发生器功能和研制意义

任意波形发生器既具有常规信号源的信号生成的能力,又可以通过各种编辑手段产生任意的波形采样数据,方便地合成一般信号发生器所不能生成的任意波形,从而满足科研和应用的需求。任意波形发生器的主要功能^[1]包括:

(1) 常规波形发生功能

基础实验中,为了验证电路功能、稳定性和可靠性,需要给它施加理想波形,任意波形发生器能够替代函数发生器提供正弦波、方波、三角波、锯齿波等常规波形,还具有调频、调相、调幅等数字调制功能和扫频能力。利用任意波形发生器的这一基础功能就能满足一般实验的信号需求。

(2) 任意波形生成功能

运行在实际电子环境中的设备,由于各种干扰的存在以及环境的变化,实际电路中往往存在各种信号缺陷和瞬变信号,例如过脉冲、尖峰、阻尼瞬变、频率突变等。任意波形发生器可以模拟这些特殊信号,以测试系统的实际性能。

(3) 信号还原功能

在一些军事、航空等领域,有些电路运行环境很难估计,在设计完成之后,在现实环境中还需要更进一步的实验验证,而有些实验的成本很高或者风险性很大(如雷达和视频模拟),人们不可能重复做实验来判断所设计产品的可行性和稳定性。此时,可以利用任意波形发生器的信号还原功能。在做一些高耗费、高风险实验时,可以通过数字示波器把现实中的实际波形数据记录下来,再通过计算机接口下载到任意波形发生器,通过任意波形发生器还原实验中的实际波形并加到设计电路中,做进一步的实验验证工作。

在电子、通信技术领域,常常需要波形、频率、幅度都可调节的信号,用于产生这种信号的电子仪器称作信号发生器。

信号发生器是一种常用的信号源,广泛应用于电子电路、自动控制和科学实验等领域。作为一种为电子测量和计量提供电信号的设备,它和万用表、示波器、频率计、频谱分析仪等仪器一样,是最基本也是应用最广泛的电子仪器之一。从

某种意义上说高品质信号源是实现高性能指标的关键,很多现代电子设备和系统的功能都直接依赖于所用信号源的性能,因此高品质信号源被人们喻为众多电子系统的“心脏”。随着通信、雷达、导航、宇航的不断发展,对信号源的频率稳定度、频谱纯度、频率范围和输出频率的个数以及信号波形的形状提出越来越高的要求。

传统的信号发生器只能产生一些常规的信号如正弦波、方波、脉冲波、三角波等。随着科学实验研究的需求不断发展,传统的波形发生器在一些特定的场合已经不能满足现代技术发展的要求,因为在许多应用研究领域,不但需要一些规则的信号,而且还需要一些不规则的信号用于特定系统的研究。

基于现代科学技术发展的需要,一般的信号发生器已经不能满足人们日益发展的技术的需要,因此,需要研制出一种能够产生任意波形的仪器来解决这个问题,从而可以看出任意波形发生器的研制具有极其重要的意义,同时我们也应该看到国产任意波形发生器与国外先进的任意波形发生器还存在着较大的差距,我们只有加速研制国产的先进任意波形发生器才能缩小与国外先进任意波形发生器的差距乃至超过国外任意波形发生器。

1.2 国内外波形发生器的发展动态

1.2.1 波形发生器的发展状况

在 70 年代前,信号发生器主要有两类:正弦波和脉冲波,而波形发生器能够提供正弦波、方波、三角波、锯齿波等几种常用标准波形,产生其它波形时,需要采用较复杂的模拟电路结合的方法,这个时期的波形发生器多采用模拟电子技术,而且模拟器件构成的电路存在着尺寸大、价格贵、功耗大等缺点,并且要产生较为复杂的信号波形,则电路结构非常复杂。同时,主要表现为两个突出问题,一是通过电位器的调节来实现输出频率的调节,因此很难将频率调到某一固定值;二是脉冲的占空比不可调节。

在 70 年代后,微处理器的出现,可以利用处理器、A/D 和 D/A,硬件和软件的结合使波形发生器的功能扩大,产生更加复杂的波形。这时期的波形发生器多以软件为主,实质是采用微处理器对 DAC 的程序控制,就可以得到各种简单的波形。

90 年代末, 出现几种真正高性能的波形发生器, 由 HP 公司推出了型号为 HP770S 的信号发生系统, 它由 HP8770A 任意波形数字化和 HP1776A 波形发生软件组成。HP8770A 实际上也只能产生 8 种波形, 而且价格昂贵。不久以后, Analogic 公司推出了型号为 Data-2020 的多波形合成器, Lecroy 公司生产的型号为 9100 的任意波形发生器等。

到了二十一世纪, 随着集成电路技术的高速发展, 出现了多种工作频率可过 GHz 的专用 DDS 芯片, 同时也推动了波形发生器的发展, 2003 年, Agilent 的产品 33220A 能够产生 17 种波形, 最高频率可达到 20M。由此可以看出, 波形发生器发展速度很快。近几年来, 国际上波形发生器的技术发展主要体现在以下几个方面^[2]:

(1) 过去的波形发生器产生的波形种类少、频率较低等原因限制了波形发生器的使用领域, 随着产生的波形种类的丰富和输出波形频率的提高, 使得波形发生器应用领域越来越广。波形发生器软件的开发正使波形数据的输入变得更加简易。波形发生器通常允许用一系列的点、直线和固定的函数段把波形数据存入存储器。同时可以利用一种强有力的数学方程输入方式, 复杂的波形可以由几个比较简单的公式复合成 $v=f(t)$ 形式的波形方程的数学表达式产生。

(2) 与总线虚拟仪器系统 (VME Xtension for Instrumentation, 简称: VXI) 资源结合。目前, 波形发生器由独立的台式仪器和适用于个人计算机的插卡以及新近开发的 VXI 模块。由于 VXI 总线的逐渐成熟和对测量仪器的高要求, 在很多领域需要使用 VXI 系统测量产生复杂的波形, VXI 的系统资源提供了明显的优越性, 但由于开发 VXI 模块的周期长, 而且需要专门的 VXI 机箱的配套使用, 使得波形发生器 VXI 模块仅限于航空、军事及国防等大型领域。在民用方面, VXI 模块远远不如台式仪器更为方便。

(3) 随着电子信息技术蓬勃发展, 台式波形发生器也呈现出高速发展的态势。现在新的台式波形发生器体积减少了将近一半, 系统的性能提高很多。

1.2.2 国内外波形发生器产品比较

早在 1978 年, 由美国 Wavetek 公司和日本东亚电波工业公司公布了最高取样频率为 5MHz, 可以形成 256 点(存储长度)波形数据, 垂直分辨率为 8bit, 主要用于振动、医疗、材料等领域的第一代高性能信号源, 经过了 30 多年的发展,

伴随着电子元器件、电路以及生产设备的高速化、高集成化，波形发生器的性能有了高速的发展。系统操作越来越简单而输出波形的能力越来越强。波形操作方法的^{好坏}，是由波形发生器控制软件质量保证的，编辑功能增加的越多，波形形成的操作性越好。

表 1-1 给出了当今国内外主要波形发生器厂商生产的波形发生器的性能指标，从中可以看出当今世界上重要电子仪器生产商在波形发生器上的研制水平。

表 1-1 国内外波形发生器产品主要参数比较

制造厂商	型号	最高频率	输出波形
日本横河	AG-1200	10MHz	正弦波/方波/三角波/斜波/脉冲波
Fluke Corp	FLUKE195	40MHz	正弦波/三角波/方波/直流
Agilent	33250A	80MHz	正弦波/三角波/方波/斜波/任意波
Tektronix	AFG3101	100MHz	正弦波/三角波/方波/斜波/任意波
台湾固纬	GFG-3015	15MHz	正弦波/三角波/方波/斜波/脉冲波
南京盛普科技电子	SPF20	20MHz	正弦波/方波/三角波/斜波/脉冲波

1.3 本文研究的主要内容

如何设计与实现任意波形发生器并提高其性能指标是本文研究的重点，本文结合 DDS 技术、虚拟仪器技术、RS232 接口通信技术，并借助 FPGA 可编程逻辑和 MCU(微控制器)灵活编程和控制技术实现一款便携式、可扩展的任意波形发生器。在学习、借鉴国内外先进技术的同时，研究、掌握基于 DDS 技术的任意波形发生器的基本架构和关键技术。

本文研制的任意波形发生器的性能指标主要包括：

- (1) 通道数：2 个，一个为主波形输出通道，另一个为任意波形输出通道；
- (2) 输出波形：正弦波、方波、三角波、锯齿波、指数函数波、Sa 函数波、对数函数波、半圆函数波、噪声以及用户自定义任意波形；
- (3) 调制波形：AM、FM、ASK、FSK、PSK；
- (4) 波形存储深度：4K；
- (5) 幅值分辨率：12bits；
- (6) 频率分辨率：0.03Hz；

- (7) 系统参考时钟频率: 100MHz;
- (8) 频率范围: 正弦波, 30mHz~50MHz, 任意波, 30mHz~5MHz;
- (9) 负载能力: $50\ \Omega \pm 10\%$;
- (10) 幅度范围: $-3V \sim +3V$;
- (11) 偏置范围: $-1.4V \sim +1.4V$;
- (12) 频率准确度: $\leq 0.005\%$

本文在分析 DDS 基本原理的基础上开发出了任意波形发生器的硬件平台和软件平台。本文实现的任意波形发生器既具有可扩展、灵活性强、人机界面友好等虚拟仪器的特点又具备传统台式任意波形发生器简单易用的性能,能够产生各种常规波形,如正弦波、方波、三角波、锯齿波等常规波形,也能产生用户自定义的任意波形,另外它还可以产生调幅、调频、调相等多种数字调制信号。本文共分七章,各章内容安排如下:

- 第一章 绪论,简要介绍了任意波形发生器的发展现状、功能和研制意义以及本文研究的主要内容;
- 第二章 详细分析了 DDS 的基本原理、结构和输出信号的特性,引入杂散抑制技术来改善 DDS 频谱纯度;
- 第三章 详细阐述了任意波形发生器的总体设计方案、架构以及各个功能模块硬件电路的详细设计与调试;
- 第四章 根据 DDS 原理和特点,利用 FPGA 构建 DDS 内核模块、MCU 与 FPGA 接口模块和数字调制信号等模块,并对设计过程进行仿真、分析以及验证。
- 第五章 详细阐述了任意波形发生器系统软件设计,包括 PC 机的上位机软件和 MCU 的下位机软件设计;
- 第六章 测量任意波形发生器的参数并对其参数和性能进行分析。
- 第七章 对本文的研究工作进行总结,并指明了该课题研究存在的不足和进一步的研究方向。

第二章 任意波形发生器的 DDS 理论分析

本章对频率合成技术及其性能指标进行简要介绍,然后分析 DDS 的基本理论、基本结构和输出信号的特性,在此基础上,引入杂散抑制技术来提高输出信号的频谱纯度。

2.1 频率合成技术及性能指标

综合来看,衡量频率合成器的主要性能指标^[3]有:

(1) 输出频率范围

输出频率范围是指频率合成器输出最低频率 f_{\min} 和最高频率 f_{\max} 之间的变化范围。 $f_{\max}-f_{\min}$ 越大,频率合成器的输出频率范围越宽,有时候也用相对带宽 Δf 来衡量其输出频率范围:

$$\Delta f = \frac{f_{\max} - f_{\min}}{(f_{\max} + f_{\min})/2} \times 100\% = \frac{2(f_{\max} - f_{\min})}{f_{\max} + f_{\min}} \times 100\% \quad (2.1)$$

(2) 频率稳定度

频率稳定度是指在规定的时间内,频率合成器的实际输出频率与频率设定值偏差的数值,可分为长期、短期和瞬时稳定度。

(3) 频率分辨率

频率合成器的输出频谱通常是不连续的。频率分辨率指两个输出频率之间的最小间隔。

(4) 频率切换时间

频率切换时间指频率合成器输出频率由一个频率点切换到另一个频率点并达到稳定工作所需的时间。该指标与频率合成所采用的技术紧密关联。

(5) 频谱纯度

频率合成技术中常常提到的一个指标就是频谱纯度,频谱纯度以杂散分量和相位噪声来衡量。杂散又称寄生信号,分为谐波分量和非谐波分量,主要由频率合成过程中的非线性失真产生,也有频率合成器内外干扰的影响,还与频率合成方式有关;相位噪声是瞬间频率稳定度的频域表示,在频谱上表现为主谱两边连续噪声边带。频谱纯度是衡量频率合成器质量的一个重要指标。

(6) 调制性能

调制性能是指频率合成器的输出是否具有调幅、调频、调相、幅移键控、频移键控、相移键控、扫频、猝发等功能。

频率合成理论^[4]形成于 20 世纪 30 年代，经过几十年的发展，经历了三代技术变革。

第一代：直接频率合成技术。直接频率合成是一种早期的频率合成技术，它利用一个或者多个不同的晶体振荡器作为基准频率源，经过倍频、分频、混频及模拟开关等途径直接组合出多个离散频率的输出信号。

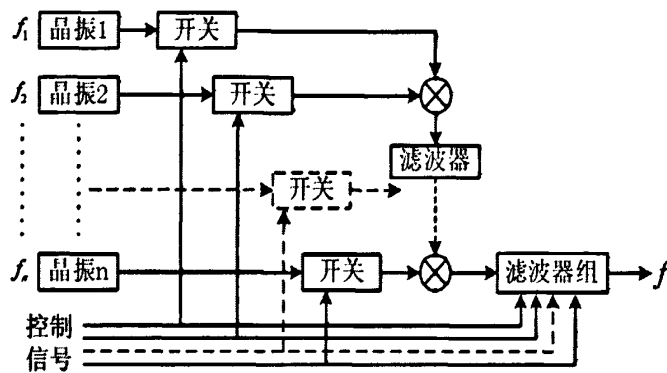


图 2.1 直接频率合成原理框图

图 2.1 是直接频率合成的一种示例。在这种频率合成技术中，由控制信号选择不同输入信号进行混频，在频率合成器的输出端可以得到任意一个输入频率的频率值，或者任意两个或两个以上频率的频率之和或频率之差。这种方法得到的信号长期和短期稳定度高，频率切换速度快，但是大量混频器和滤波器的使用使大规模集成不可能实现，因而体积大、功耗大、调试难度大，并且杂散抑制不易做好。目前仍有些雷达信号的产生采用此方法。

第二代：锁相频率合成技术。锁相频率合成也称间接频率合成，是 20 世纪 50 年代出现的频率合成技术。它是利用一个或者几个参考频率源，通过谐波发生器混频或分频，产生大量的谐波或组合频率，然后用锁相环把压控振荡器（Voltage Controlled Oscillator, VCO）的输出频率锁定在某一谐波或者组合频率上，由 VCO 间接产生所需频率的输出信号。

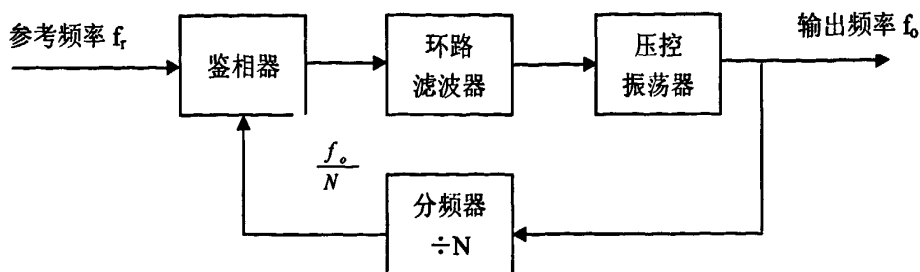


图 2.2 锁相环频率合成原理框图

图 2.2 是锁相环频率合成框图，它的工作原理是：参考频率提供基准频率 f_r ，VCO 输出频率 f_o 经分频器分频后为 f_o/N ，此信号与输入的参考信号在鉴相器中进行相位比较，鉴相器输出两个信号的相位误差信号，再经过环路滤波器送到 VCO，调整 VCO 的输出频率使得 $f_o/N = f_r$ ，环路进入锁定状态。若想改变输出频率，可以通过改变输入参考频率 f_r 或者分频器的分频比 N 来实现。如果固定参考频率 f_r ，则 VCO 的输出频率是随 N 变化的一组不连续的频率，其值是 f_r 的整数倍。

由此可见，锁相环频率合成器实际上是一个反馈系数可变的误差反馈控制系统。这种频率合成方法的优点是频率稳定度高、杂散抑制好、频谱纯度高、电路简单可靠、调试简便。锁相频率合成的这些优点使其具有广泛的用途，其中一个重要的应用方向是用高稳定的参考频率振荡器作为参考时钟并使用环路锁定，以提供一系列高纯度、高稳定度的频率源。

但是锁相频率合成存在一个问题：如图 2.2 所示，在改变它的输出频率时，由改变 N 导致失锁到频率重新锁定需要一个频率转换时间 T_s ，而经过前面的分析可知，为了提高其频率合成的分辨率，需要减小参考频率 f_r ，而这与频率转换时间是相矛盾的。根据工程中的经验公式：

$$T_s = \frac{25}{f_r} \quad (2.2)$$

由上式可以看出，频率转换时间 T_s 与参考频率 f_r 成反比。提高频率分辨率要以增加频率切换时间为代价。目前解决这一问题的办法是采用小数分频合成方法。但总的来看，锁相频率合成引入了闭环系统，其频率切换速度比直接合成技术慢。在频率转换速度要求不高，但对相位噪声、杂散指标要求高的场合，锁相频率合成技术仍有着特殊的优势。

第三代：直接数字频率合成（DDS）技术。DDS 技术的出现是频率合成技术的一次重大变革，它突破了前两代频率合成技术的原理，从“相位”的概念出发进行频率合成。DDS 的原始结构可以表示为图 2.3 的形式：

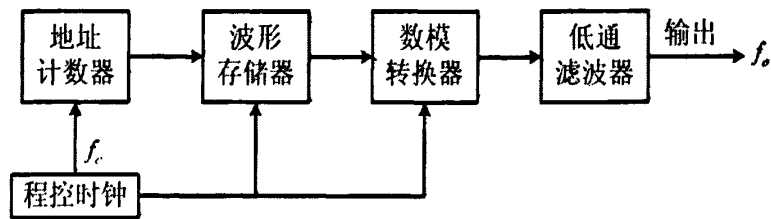


图 2.3 DDS 原始结构

图 2.3 所示是 DDS 的原始结构，这是一种基于数字存储器的波形产生系统，又被称作数字波形存储直读法或者直接数字波形合成（Direct Digital Waveform Synthesis, DDWS）。这种结构利用可编程的时钟信号作为地址计数器的计数时钟，地址计数器的输出作为波形存储器的扫描地址，波形存储器输出相应地址的数字幅度序列，再经过数模转换成模拟阶梯波形，最后通过低通滤波器平滑滤波得到输出波形。

假定地址计数器的时钟频率为 f_c ，波形存储器内存在波形一周期内的 n 个采样值，那么合成波形的频率为：

$$f_o = \frac{f_c}{n} \quad (2.3)$$

可见，采用图 2.3 结构进行频率合成，输出信号的频率必须通过改变参考时钟频率或者波形存储中的数据点个数来实现。通过进一步的研究，人们提出一种更为灵活的 DDS 结构。图 2.4 所示是基于相位累加器的 DDS 改进模型结构。

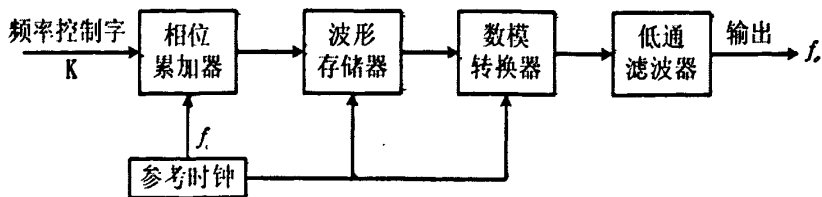


图 2.4 DDS 改进模型结构

为了区分它跟 DDWS 的不同，我们将这种结构称为直接数字频率合成（Direct Digital Frequency Synthesis, DDFS）。这种结构用相位累加器取代了原

来的地址计数器,使得输出信号的频率控制变得更加简便,只需要通过修改频率控制字 K 就能实现。随着对 DDS 技术研究和工程应用的不断深入,DDFS 已经逐渐成为 DDS 的主流结构,以至于人们习惯于用 DDS 来特指 DDFS。DDS 具有频率分辨率高、初始相位可控及频率切换时间快等突出优点,但同时也存在一定程度的杂散。通过对 DDS 杂散形成机理及特点的深入研究,人们提出了一系列改进措施,大大提高了其输出信号的杂散指标。DDS 另外一大优势在于它能方便地产生任意波形,在具体应用中,只需要修改波形存储器内的波形数据即可。在综合考虑各种频率合成技术的优势后,本文设计决定采用 DDS 技术来实现任意波形发生器,同时引入杂散抑制技术来降低 DDS 的杂散指标和提高频谱纯度。

2.2 DDS 原理分析

1971 年, J.Tiemey 和 C.M.Tader 等 3 人首次提出了 DDS 的思想,但由于受到当时的微电子技术和数字信号处理技术的限制, DDS 并没有引起人们的足够重视。上世纪 90 年代以来,随着电子工程领域的实际需要以及数字电路和微电子技术的快速发展, DDS 技术日益显现出它的优越性。

2.2.1 DDS 基本结构

DDS 电路结构^[5]一般由参考时钟、相位累加器、波形存储器、D/A 转换器 (DAC) 和低通滤波器 (LPF) 组成。其结构如图 2.5 所示。

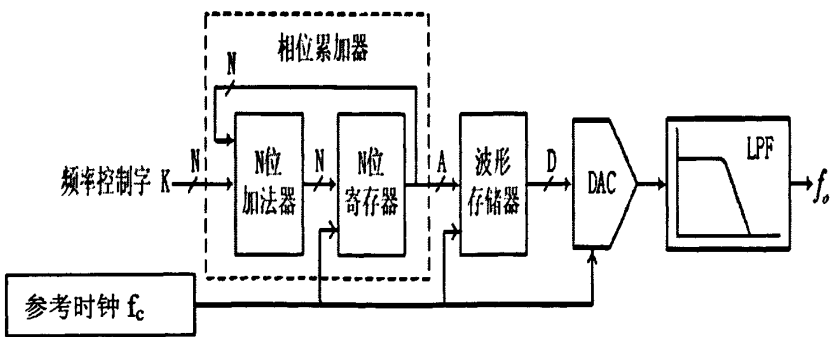


图 2.5 DDS 基本结构框图

其中, f_c 为参考时钟频率, K 为频率控制字, N 为相位累加器位数, A 为波形存储器地址位数, D 为波形存储器的数据位字长和 D/A 转换器位数。

DDS 系统中的参考时钟通常由一个高稳定度的晶体振荡器来产生,用来作为整个系统各个组成部分的同步时钟。频率控制字 (Frequency Control Word,

FCW) 实际上是相位增量值, 它作为相位累加器的输入。相位累加器由加法器和寄存器级联而成, 它将寄存器的输出反馈到加法器的输入端来实现累加的功能。在每一个时钟脉冲 f_c , 相位累加器把频率字 K 累加一次, 累加器的输出相应增加一个步长的相位增量, 由此可以看出, 相位累加器的输出数据实质上是以 K 为步长的线性递增序列 (在相位累加器产生溢出以前), 它反映了合成信号的相位信息。相位累加器的输出与波形存储器的地址线相连, 相当于对波形存储器进行查表, 这样就可以把存储在波形存储器中的信号抽样值查出。在系统时钟脉冲的作用下, 相位累加器不停的累加, 即不停的查表。波形存储器的输出数据送到 D/A 转换器, D/A 转换器将数字量化形式的波形幅度值转换成一定频率的模拟信号, 从而将波形重新合成出来。若波形存储器中存放的是正弦波幅度量化数据, 那么 D/A 转换器的输出是近似正弦波的阶梯波, 还需要后级的低通平滑滤波器进一步抑制不必要的杂波就可以得到频谱比较纯净的正弦波信号。图 2.6 所示为 DDS 各个部分的输出信号。

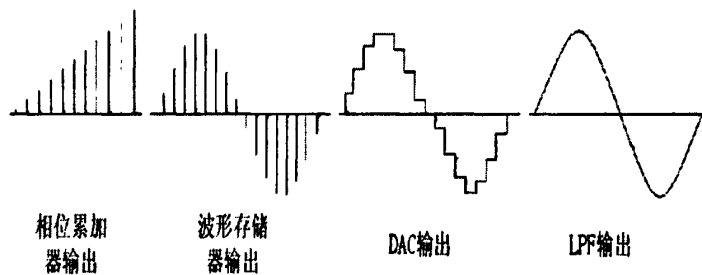


图 2.6 DDS 各部分输出波形

由于受到字长的限制, 相位累加器累加到一定值后, 就会产生一次累加溢出, 这样波形存储器的地址就会循环一次, 输出波形循环一周。相位累加器的溢出频率即为合成信号的频率。由此可见, 频率控制字 K 越大, 相位累加器产生溢出的速度越快, 输出频率也就越高。因此改变频率字 (即相位增量), 就可以改变相位累加器的溢出时间, 在参考频率不变的条件下就可以改变输出信号的频率。

2.2.2 DDS 基本原理

根据傅立叶变换定理, 任何满足 Dirichlet 条件的周期信号都可以分解为一系列正弦或者余弦信号之和。为了不失一般性, 下面以余弦信号的产生为例来说明 DDS 的基本原理。

设有一个频率为 f 的余弦信号 $S(t)$:

$$S(t)=\cos(2\pi ft) \quad (2.4)$$

现以采样频率 f_c 对该信号进行采样, 得到离散序列为:

$$S_n=\cos(2\pi f_n T_c) \quad n=0, 1, 2, \dots \quad (2.5)$$

其中 $T_c=1/f_c$ 为采样周期, $f_n = nf$ 。

式(2.5)所对应的相位序列为:

$$\phi(n)=2\pi f_n T_c \quad n=0, 1, 2, \dots \quad (2.6)$$

该相位序列的显著特性就是线性, 即相邻采样值之间的相位增量是一常数, 且仅与信号频率 f 有关, 即相位增量为:

$$\Delta \phi(n)=2\pi f T_c \quad (2.7)$$

我们感兴趣的信号频率 f 与参考源频率 f_c 之间满足以下关系:

$$f/f_c=K/M \quad (2.8)$$

其中 K 和 M 为两个正整数。所以相位增量可写为:

$$\Delta \phi(n)=2\pi K/M \quad (2.9)$$

由式(2.9)可知, 若将 2π 的相位均匀量化为 M 等份, 则频率为 $f=(K/M)\cdot f_c$ 的余弦信号以频率 f_c 采样后, 其量化序列的样本之间的量化相位增量为一个变值 K , 根据以上原理, 如果用变量 K 构造一个量化序列:

$$\phi(n)=Nk \quad (2.10)$$

然后完成 $\phi(n)$ 到另一序列 $S(n)$ 的映射, 即由 $\phi(n)$ 构造序列:

$$S(n)=\cos\left(\frac{2\pi}{M}\phi(n)\right)=\cos\left(\frac{2\pi}{M}nK\right)=\cos(2\pi f_n T_c) \quad (2.11)$$

式(2.11)是连续时间信号 $S(t)$ 经采样频率为 f_c 采样后的离散时间序列。根据采样定理, 当满足式(2.12) 时, $S(n)$ 经过低通滤波器平滑后, 可唯一地恢复出 $S(t)$ 。

$$\frac{f}{f_c} = \frac{K}{M} < \frac{1}{2} \quad (2.12)$$

可见, 通过上述系列变换, 变量 K 将唯一地确定一个单频模拟余弦信号 $S(t)$:

$$S(t) = \cos\left(2\pi \frac{K}{M} f_c t\right) \quad (2.13)$$

该信号频率为：

$$f_o = \frac{K}{M} f_c \quad (2.14)$$

式(2.14)就是直接数字频率合成(DDS)的方程，在实际的 DDS 中，一般取 $M = 2^N$ ， N 为正整数，于是 DDS 方程可写成：

$$f_o = \frac{K}{2^N} f_c \quad K=1, 2, \dots, 2^{N-1} \quad (2.15)$$

由式(2.15)可以看出，当 $K=1$ 时，DDS 系统输出信号的频率 f_o 最小，而这个最小频率同时也是 DDS 系统的频率分辨率：

$$f_{o\min} = \Delta f_o = \frac{f_c}{2^N} \quad (2.16)$$

对于 DDS 系统，从波形存储器中读数据的过程，我们可以将其看作是对波形存储器中的波形数据再次采样的过程，也就是说，DDS 系统查表的过程就是从波形存储器中二次采样过程，一个周期内查表的点数即为采样的点数。DDS 系统要恢复出原始波形，在一个周期内至少要取样两点，这是由于耐奎斯特采样定理的限制。那么 DDS 系统在理论上能输出的最大频率是：

$$f_{o\max} = \frac{f_c}{2} \quad (2.17)$$

通过以上的分析，我们可以得出以下几点结论：

(1) DDS 系统的输出频率 f_o 只与频率控制字 K 、系统时钟频率 f_c 、相位累加器位数 N 有关。在系统时钟频率和相位累加器位数固定时，通过改变频率控制字的值，就可以方便地控制输出信号的频率。

(2) DDS 系统的频率分辨率只与系统的系统时钟频率 f_c 和相位累加器位数 N 有关。想要提高系统的分辨率，可以增加相位累加器位数或者是降低系统时钟频率。

(3) DDS 理论上最大输出频率不会超过系统时钟频率 f_c 的二分之一，但在实际应用中，由于 DDS 系统中的低通滤波器非理想特性，由通带到阻带之间存在着一个过渡带，工程中 DDS 最高输出频率只取到 $0.4f_c$ 左右。

2.2.3 DDS 技术特点

DDS 技术的优点有很多，它的很多特性是其它频率合成技术所没有的，其中最主要的特性^[6]有以下三点：

(1) DDS 技术可以用于产生任意波形

基于前面对 DDS 系统基本结构的分析，不难理解，只要改变存储在波形存储器中的波形数据，就可以改变输出波形，因此能够用 DDS 技术来产生任意波形。对于任何周期性波形，只要满足采样定理，都可以利用 DDS 技术来实现。

(2) DDS 系统具有很高的频率分辨率

DDS 系统输出频率的分辨率随相位累加器的位数成指数增长，由式(2.16)可知，在系统时钟频率不变的情况下，只要增大相位累加器的位数 N ，就可以得到几乎是任意小的频率分辨率，可以满足精细频率控制的要求。DDS 如此精细的频率分辨率，使其输出频率已十分逼近连续变化。

(3) 输出频率切换速度快和相位保持连续

与锁相频率合成相比，由于 DDS 系统是一个开环系统，所以当输入一个新的频率控制字时，DDS 会迅速合成这个新的频率，实际的频率切换时间可以达到 ns 级。同时，频率切换时，DDS 系统的输出波形的相位是连续的。DDS 系统的频率字改变时，输出波形的变化过程可以用图 2.7 描述。

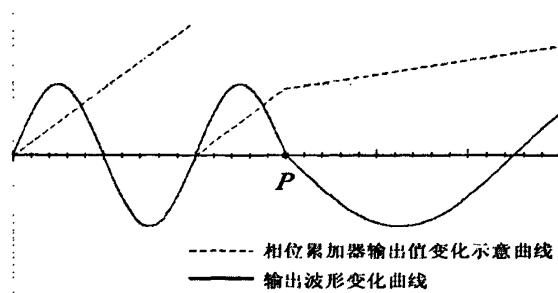


图 2.7 频率控制字改变时累加器的输出值和输出波形的变化^[7]

图 2.7 中，在波形输出到 P 点时，频率控制字发生改变（变小），相位累加器的累加值即相位步进变小，其输出值斜率也变小，系统输出波形的频率也在同时刻变小。DDS 系统在频率字发生改变后的一个时钟周期，其输出频率就可以就转换到了新的频率上，也即在频率字的值改变以后，累加器在经过一个时钟周期后就按照新的频率字进行累加，开始合成新的频率。所以我们可以认为 DDS

的频率切换是在一个系统时钟周期内完成的,系统时钟频率越高,切换速度越快。

另外,从面对 DDS 技术原理的分析可知,要改变输出频率,实际上改变的是频率控制字,也就是相位增量。当频率控制字的值从 K_1 改变为 K_2 之后,相位累加器是在已有的累积相位上,再对 K_2 进行累加,相位函数曲线是连续的。从图 2.7 也可以看出,只是在频率控制字改变的瞬间相位函数曲线的斜率发生了突变,相位值并没有发生跳跃,因此 DDS 能够在频率切换的过程中保持相位连续,输出波形能够平滑地从一个频率过渡到另外一个频率。

由于 DDS 采用数字化技术,最终合成信号是经过 D/A 转换得到的,所以不可避免的存在着以下缺点:

(1) DDS 在工程中的最高输出频率一般只能达到系统时钟频率的 40%,要想获得较高的频率,就必须提高系统时钟频率,也就是说 DDS 的相位累加器、波形存储器和 D/A 转换器都将工作在较高的时钟频率下,它的实现依赖于高速数字电路和高速 D/A 转换器。这也是 DDS 系统在早期没有受到重视,而直到最近几年才迅速发展的原因。

(2) DDS 系统采用数字合成技术,先离散信号再变换成模拟信号输出,这其中导致了各种误差,尤其是幅度量化误差、相位截断误差,因此各种杂波是不可避免的。

为了具有较高的输出频率,DDS 系统的参考时钟频率一般都比较高,根据式(2.16),在较高的时钟频率下,要想获得较高的频率分辨率,只有通过增加相位累加器的位数 N ,故一般 N 的取值都较大。如果相位累加器的所有输出都用来作为波形存储器的寻址地址,那么存储器的容量会大得惊人。例如,如果 32 位累加器的所有输出都用来寻址存储器,那么需要 4G 个存储单元,而如果换成 48 位的累加器,那么就需要 256T ($1T=1024G$) 个存储单元,这样的设计显然是不现实的。因此存储器的地址线位数 A 一般都小于 N 。这样存储器的地址线就只能接到相位累加器的输出的高 A 位上,而低 $N-A$ 位则要舍弃,也就产生了相位截断误差,表现在输出频谱上就是杂散分量。

2.3 DDS 杂散抑制方法

杂散信号对 DDS 频谱有着较严重的影响,对于频谱分量大于 $f_c/2$ 带外的杂

散我们可以设计性能优良的低通滤波器加以滤除，但是对于频谱分量小于 $f_c/2$ 的带内杂散，必须采取必要的方法才能够降低杂散对输出信号频谱的不利影响。下面介绍几种常用的抑制杂散信号的方法^{[8][9][10]}：

(1) 增大波形存储器的有效容量

相位舍位每减少一位，杂散改善约 6dB。减少相位舍位意味着增大波形存储器的容量，有如下两种方法：

① 增大波形存储器的绝对容量

这种方法受硬件条件限制，不可能无限的增大，并且增大波形存储器的绝对容量也同时意味着成本的升高和功耗的增大。

② 可以通过压缩存储技术来等效增大存储器的数据寻址位

压缩存储一种有效的方法就是利用一些特殊波形的对称性（如正弦波），只保存其 $[0, \pi/2]$ 区间（即第一象限）的幅度码，然后利用对称性来恢复其它象限的幅值，这样可以得到 4:1 的压缩比，这一方法简单而且电路易于实现。对于正弦函数，其具体操作是由相位累加器的最高位决定正弦函数值的符号，次高位地址决定寻址指针是递增还是递减。当然还可以对数据进行进一步的压缩，如 Taylor 级数近似算法，它是近似对正弦函数在某一点进行 Taylor 级数展开，取其前三项分别赋予不同的权值后存于三个存储器中，最后由运算电路来合成波形。这种方法可以获得 64:1 的压缩比。需要指出的是，压缩存储技术只适用于具有对称性的信号。

(2) 修改频率字使其与 2^N 互质

设法使频率控制字 K 满足 $\text{GCD}(2^N, K)=1$ ，即 K 与 2^N 保持互质，能使杂散改善 3.9 dB。要实现这一点很简单，只要强制 K 为奇数即可。

(3) 采用抖动注入技术

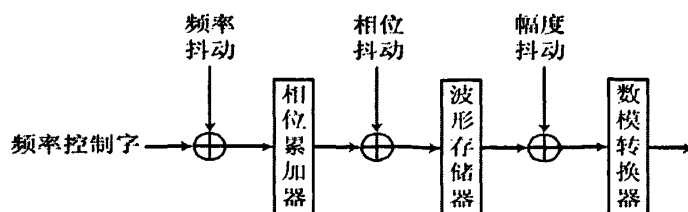


图 2.10 DDS 不同抖动注入方式

相位截断误差和幅度量化误差导致杂散的根本原因在于误差序列是一个周期序列,如果能破坏这种周期性,使其变为随机序列,这样将原来幅度较大的离散谱线功率在一个较宽的范围内进行平均,使其变为幅度较低的噪声基底,从而在一定程度上改善输出信号的频谱质量,这就是抖动注入技术的原理。根据抖动注入位置的不同,可以将抖动注入技术分为频率控制字加抖,波形存储器的寻址地址加抖,还有 DAC 转换前的幅度加抖。DDS 的抖动注入技术原理如图 2.10 所示。当然,此方法的杂散改善是以增加噪声基底为代价的,但这种代价相对于杂散改善带来整体谱质量的提高是完全值得的。

最后需要指出的是,在高频 DDS 电路中, D/A 转换的非线性才是影响 DDS 频谱质量的决定因素。通常认为,除了 D/A 转换有限分辨位数之外, D/A 转换的瞬间毛刺、D/A 非线性、数字噪声馈入和时钟泄漏都是导致频谱劣化的因素,它们给 DDS 系统的输出频谱增加了背景噪声和杂散。D/A 转换器的非线性在客观上起到了混频的作用,于是会产生输出信号 f_o 的谐波分量。又因为 DDS 是一个采样系统,所以这些谐波会以 f_c 为周期进行频谱搬移,即 $f = uf_c + vf_o$, 其中 u 和 v 为任意正整数。如果这些频率分量落到耐奎斯特带宽内将形成有害的杂散分量,这些分量的频率位置可以确定,但是幅度却难以确定。

要想减少 D/A 非线性带来的杂散,一般只能通过选择性能优良的 D/A 转换器来降低其影响。随着电子技术的发展和制造工艺水平的不断提高, D/A 转换器的性能也在不断的改进。由于 D/A 转换器的内部噪声分析必须针对特定的内部结构,所以在此不做深入的分析。

2.4 本章小结

本章首先详细描述了直接数字频率合成器(DDS)的工作原理和各主要组成部分的功能与基本结构,总结了 DDS 技术不同于其它频率合成技术的特点。接着对实际情况下,相位截断误差、幅度量化误差所造成的杂散进行分析,引入了杂散抑制技术来提高 DDS 输出频谱纯度。

第三章 任意波形发生器硬件设计与调试

本章详细介绍了任意波形发生器的硬件电路,从任意波形发生器的系统设计方案到各个功能模块的详细设计,从方案的选择到最终的硬件调试,其中的每一步都需要做到符合设计要求才能成为一个真正的任意波形发生器硬件平台。

3.1 系统设计方案

本文设计的任意波形发生器有两个输出通道,一个为 DDS 芯片输出的正弦波和方波等主输出波形,另一个为 FPGA 构建的 DDS 内核输出的任意波形和数字调制信号。专用的 DDS 芯片已经把 DDS 内核固化到芯片中,只需要用 MCU 控制 DDS 芯片即可输出相应的主波形, FPGA 构建 DDS 内核则是本文需要设计的一个关键所在。

采用 DDS 技术来合成波形不仅简单可靠、控制方便,而且可以实现可编程和全数字化。目前市场上有很多性能优良的 DDS 芯片,主要有 Qualcomm、AD 和 Stanford 等公司集成芯片,其中具有代表性的 DDS 芯片有 AD 公司的 AD9850、AD9852、AD9858、AD9954^[11]等,这些 DDS 芯片不仅有比较高的工作频率,而且内部集成了高精度的 D/A 转换器,这些特点使得 DDS 芯片很适合做信号发生器。因此本文采用 DDS 芯片(AD9954)来产生高频率的主输出波形(正弦波、方波)。

由于 DDS 芯片中的波形存储器采用只读存储器(Read Only Memory, ROM),在芯片出厂前已经将波形数据固化到 ROM 中,因此无法按用户需求更改波形数据来产生任意波形。相比之下,采用现场可编程逻辑阵列 FPGA(Field Programmable Gate Array)设计 DDS 电路比专用 DDS 芯片更具灵活性,因为只要通过改变 FPGA 内部波形存储器中的波形数据,就可以实现任意波形输出,这使得用 FPGA 来实现 DDS 具有相当大的灵活性。同时, FPGA 所能实现的功能完全取决于设计需求,可以简单也可以复杂,另外, FPGA 芯片还支持在系统升级,虽然在精度和速度上略有不足,但是基本上能满足绝大多数系统的要求,并且,将 DDS 设计嵌入到 FPGA 内部所构成的系统中,其系统成本并不会增加多少,而专用 DDS 芯片的价格一般也比 FPGA 高。因此,采用 FPGA 来设计 DDS 系

统具有较高的性价比。FPGA 的应用不仅使得数字电路系统的设计非常方便，并且还大大缩减了系统的研制周期，缩小了数字电路系统的整体体积和所使用芯片的数目，目前一些主流 FPGA 的时钟频率已可达数百 MHz，加上它的灵活性、可编程以及强大的 EDA 软件的支持，非常适合用于实现任意波形发生器的数字电路部分。本文利用 FPGA 可按需求灵活编程的特性，参考 DDS 芯片（AD9954）的内部结构自行设计 DDS 内核来产生任意波形和数字调制信号。

3.2 系统设计总体结构

本文的系统电路设计所遵循的原则是：尽量使电路精简和模块化，并充分利用软件的智能化和可扩充性。因为硬件结构复杂了，不但增加体积和成本，而且也使系统的可靠性和性价比下降。因此，本文设计的任意波形发生器遵循这一原则：在实现硬件电路功能的前提下，尽量简化硬件电路设计，并将设计清晰地分成多个模块。任意波形发生器的总体设计框图如图 3.1 所示：

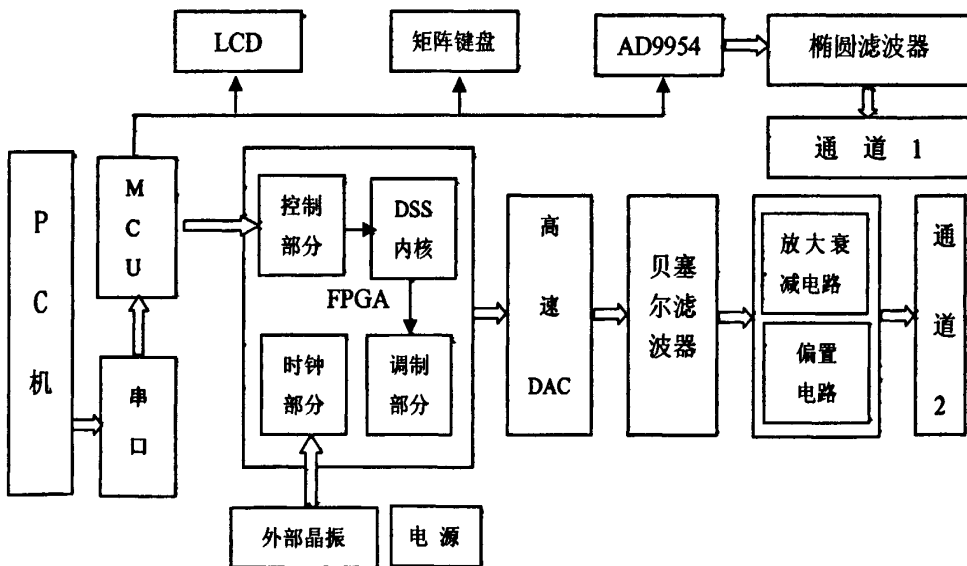


图 3.1 系统设计结构框图

任意波形发生器硬件电路由下面四个部分组成：

(1) FPGA 模块电路设计部分(FPGA 时钟电路、下载配置电路、FPGA 与 MCU 通信接口电路、FPGA 与 DAC 接口电路)；

(2) MCU 模块电路设计部分 (MCU 复位电路和最小系统电路、LCD 液晶显示接口电路、矩阵键盘控制接口电路、MCU 与 PC 机之间 RS232 通信接口电路、

MCU 与 AD9954 接口电路设计);

(3) 模拟输出通道处理模块电路(椭圆滤波器、贝塞尔滤波器、放大衰减电路、直流偏置电路);

(4) 系统电源电路。

其中 FPGA 与 MCU 接口电路是整个系统的核心部分,所有波形的生成都与它有关,控制部分完成输出波形的频率、相位、波形种类及调制方式的控制。模拟输出通道是设计中的难点,它位于任意波形发生器的后级,包括 D/A 转换、低通滤波、幅度控制、电平调节、输出驱动,它的设计直接影响输出信号的质量。

从任意波形发生器的结构框图看出,本文设计的任意波形发生器工作时,可以根据下位机的矩阵键盘输入频率、相位、波形、调制波形等参数,也可以根据上位机的软件界面输入频率、相位、波形、调制波形等参数,这些参数都将在 LCD 上进行同步显示,从而达到一个良好的人机交互的效果,方便任意波形发生器的使用。

3.3 系统功能模块电路设计

3.3.1 FPGA 及其外围电路设计

本文选用的 FPGA 是 Altera 公司 Cyclone 系列 FPGA 芯片 EP1C3T144C8^[12]。Cyclone 系列器件提供针对低成本应用的用户定制 FPGA 特性,支持常见的各种外部存储器接口和 I/O 协议,并且含有丰富的存储器和嵌入式乘法器,这些内嵌的存储器使我们在设计硬件电路时省去了外部存储器,节省了资源,而其硬件乘法器资源则非常适合用来实现高速 DDS 调制器。另外, Cyclone 系列器件使用 1.5V 内核电压,大大降低了芯片的功耗。在本文的设计中, FPGA 对内主要实现 DDS 的功能,对外主要为 DAC 提供时钟以及对外围器件提供控制总线 and 数据总线接口。

(1) FPGA 时钟电路

由于 DAC 的工作时钟都是由 FPGA 来供给, DDS 内部系统时钟和 DAC 的时钟频率是不一样的,因此应该由外部有源晶振 XTAL 给 FPGA 提供一个时钟源信号,由 FPGA 分频或者倍频后再向 DAC 和 DDS 内部提供工作时钟。具体电路如图 3.2 所示。

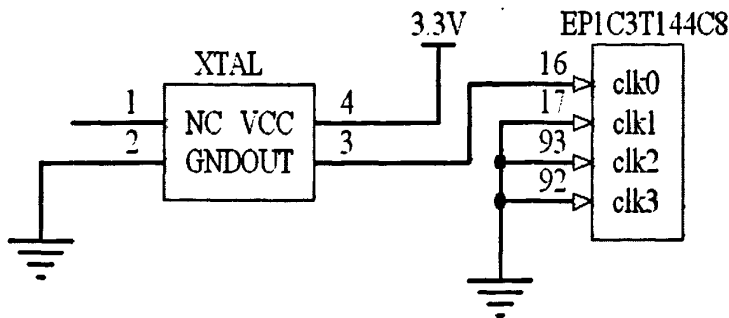


图 3.2 FPGA 时钟电路

EP1C3T144C8 内部共有 1 个锁相环 (PLL)，作为锁相环 PLL 的输入引脚共有 2 个，分别是 CLK0 和 CLK1，引脚既可以作为单端输入，也可以作为差分输入。本文采用的是单端时钟输入，不用的时钟引脚全部接地以减少干扰。另外 DDS 合成信号的质量跟时钟的质量有关，因此使用了 50MHz 高稳定度的有源晶振来为 FPGA 提供时钟源。

(2) FPGA 下载配置电路^[13]

Cyclone 器件使用 SRAM 单元来存储配置信息，而 SRAM 作为易失性存储器，每次掉电其存储的信息就会丢失，因此，Cyclone 器件每次上电都必须下载配置数据。Cyclone 器件支持多种配置方式，包括主动配置 (AS)、被动配置 (PS) 和 JTAG 配置。考虑到 JTAG 配置每次都必须连接到计算机，通过计算机来下载配置信息，因此设计了两种配置电路：JTAG 配置和 AS 配置。JTAG 配置口在调试的时候使用，在调试完成后，可以将配置文件写入 AS 配置芯片，由 AS 方式来配置 FPGA，这样就不用在每次使用任意波形发生器的时候都通过手动下载配置信息。

本文所使用的配置芯片是 EPCS1，这是 Altera 公司推出的作为其 FPGA 配套使用的一款串行配置芯片。由于采用了非易失的闪存 (flash memory) 结构，因此掉电之后数据得以保存。EPCS1 具有 1M bits 数据容量，支持压缩存储。EPCS1 的下载电路如图 3.3 所示，JTAG 下载方式电路如图 3.4 所示。

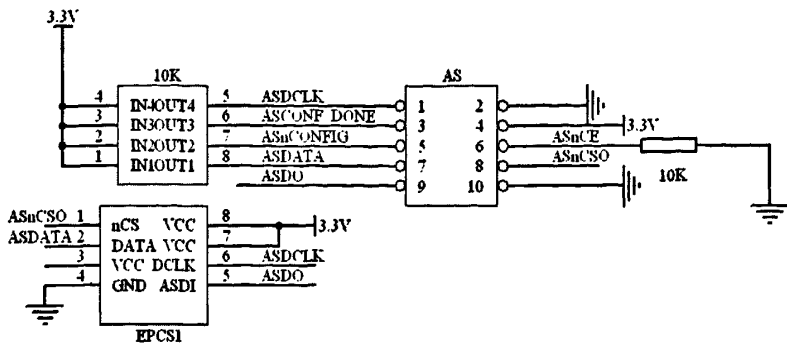


图 3.3 EPCS1 的下载电路

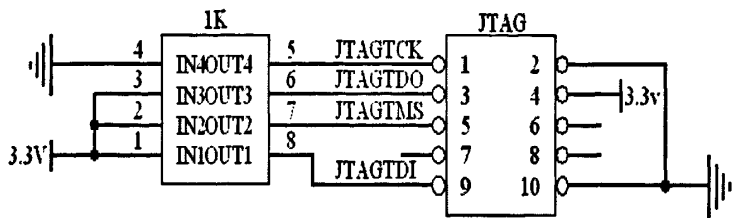


图 3.4 JTAG 下载电路

在图 3.3 中，AS 下载方式中 EP1C3T144C8 有两个地方需要注意，第一：nSTATUS、CONF_DONE、nCONFIG 三个引脚必须用10KΩ电阻上拉到 VCC（本文中 VCC 为 3.3V），否则将出现无法对 FPGA 进行配置的情况。第二：MSEL0 和 MSEL1 是配置方式选择引脚，其选择方式如表 3-1 所示。MSEL0 和 MSEL1 即使不用也不能悬空。由于 EPCS1 只支持低速 AS 配置，所以设计中将 MSEL0 和 MSEL1 接地。另外，JTAG 配置具有最高优先权，在使用 JTAG 方式进行配置的时候，其他方式都将被屏蔽。

表 3-1 Cyclone 配置方式选择

MSEL1	MSEL0	配置方式
0	0	低速 AS(20MHz)
0	1	PS
1	0	高速 AS(40MHz)
-	-	JTAG

(3) FPGA 与 MCU 通信接口电路

为了实现 MCU 与 FPGA 之间的通信来传递任意波形发生器的参数，需要设计 MCU 与 FPGA 的接口电路，通过 MCU 来控制 FPGA 内部的 DDS 模块。如图 3.5 是 FPGA 与 MCU 接口电路。

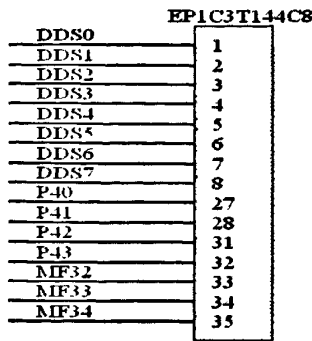


图 3.5 FPGA 与 MCU 接口电路

如图 3.5 所示，DDS0-DDS7 是 MCU 的 P0 引脚传递参数和数据到 FPGA 的数据总线，P40-P43 和 MF32-MF34 是 MCU 控制 FPGA 的控制总线，通过 MCU 与 FPGA 之间的通信来传输频率控制字和相位控制字等信息，从而达到生成任意波形的目的。

(4) FPGA 与 DAC(AD9762)接口电路

从波形 RAM 或者 ROM 中读出的波形数据还只是一个数字信号，要得到最后的输出信号必须经过数模转换器(DAC)。必须经过数模转换器。因此在波形存储器之后要设计一个 D/A 转换电路。D/A 转换电路的设计首先是要选择一款合适的 D/A 转换芯片。D/A 转换芯片种类繁多，选择 D/A 转换芯片要根据很多因素来确定，最主要的就是要考虑字长和转换速度。由于本文设计的 FPGA 中的波形 RAM/ROM 的字长是 12bit，所以本文选择了 12bit 的 D/A 转换器，同时考虑到任意波形发生器的系统时钟已经设计为 100MHz，因此必须选择一款转换速率大于或等于 100MHz 的 12bit 的 D/A 转换器。根据以上条件本文采用 AD 公司的 AD9762^[14]作为数模转换器。其中 FPGA 与 AD9762 的接口电路图如图 3.6 所示。

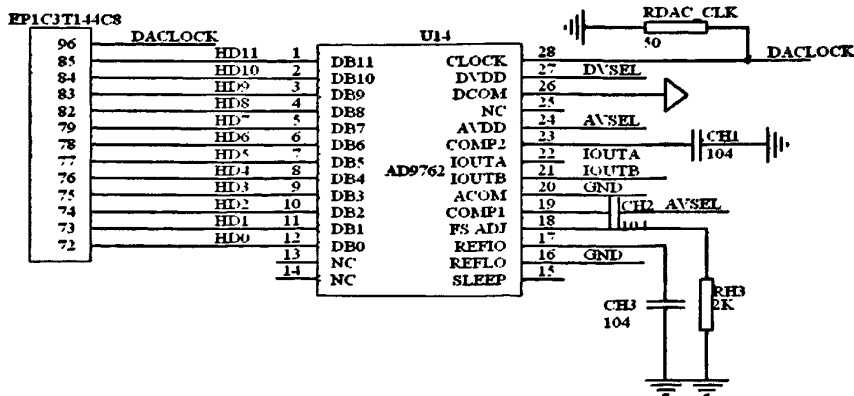


图 3.6 FPGA 与 AD9762 的接口电路

AD9762 的基本特性：(1) 最高转换速率 125MHz；(2) 12 位精度；(3) 差分输出，满刻度电流 2mA 至 20mA；(4) 5V 供电时功耗为 175mW，3V 供电时功耗为 45mW；(5) 内建 1.2V 基准电压源；(6) 28 脚 SOIC 封装。

AD9762 芯片的管脚分配图如图 3.6 所示，其信号引脚的功能如表 3-2 所示。

表 3-2 AD9762 信号引脚的功能表

引脚号	名称	描述
1	DB11	数据线最高位
2-11	DB10-DB1	数据线第 11 位到第 2 位
12	DB0	数据线最低位
13, 14, 25	NC	空脚
15	SLEEP	休眠
16	REFLO	当使用内参考时接地，当使用外参考时接模拟电源
17	REFIO	使用外参考时为外参考入，使用内参考时可以接电容对地
18	FS_ADJ	满刻度输出电流调整
19	COMP1	接一个电阻到电源，用于减少带内噪声
20	ACOM	模拟地
21	IOUTB	DAC 反向电流输出端，数据全 0 时输出满刻度电流
22	IOUTA	DAC 同向电流输出端，数据全 1 时输出满刻度电流
23	COMP2	内部开关驱动电路的偏置点，接 0.1uF 的去耦电容
24	AVDD	模拟电源
26	DCOM	数字地
27	DVDD	数字电源
28	CLOCK	时钟输入，上升沿有效

AD9762 的使用方法比较简单，接口时序也比较简单，只要将数据(DB11-DB0)用时钟(CLOCK)上升沿打入输入锁存器，相应的模拟数据就会立即更新。因此本文使用了图 3.6 所示的 D/A 转换模块电路，很好的满足了设计要求。DDS 输出的幅度量化序列经过波形量化序列转化成了两路峰峰值为 1V 的差分信号。再经过一个贝塞尔低通滤波器，滤掉 D/A 输出中的镜像频率就可以得到一个光滑的波形。

3.3.2 MCU 及其外围电路设计

微控制器(MCU)是整个系统的控制核心,它控制并协调着其它各个模块的工作。微控制器使用宏晶公司的 STC89LE52RC^[15],该微控制器内置 8K 字节 Flash 程序存储器,512 字节 RAM 数据存储器,36 个可用的 I/O 接口,工作频率最高可达 80MHz。微控制器为系统设计提供了丰富的资源。微控制器最小系统和各个模块接口如图 3.7 所示。

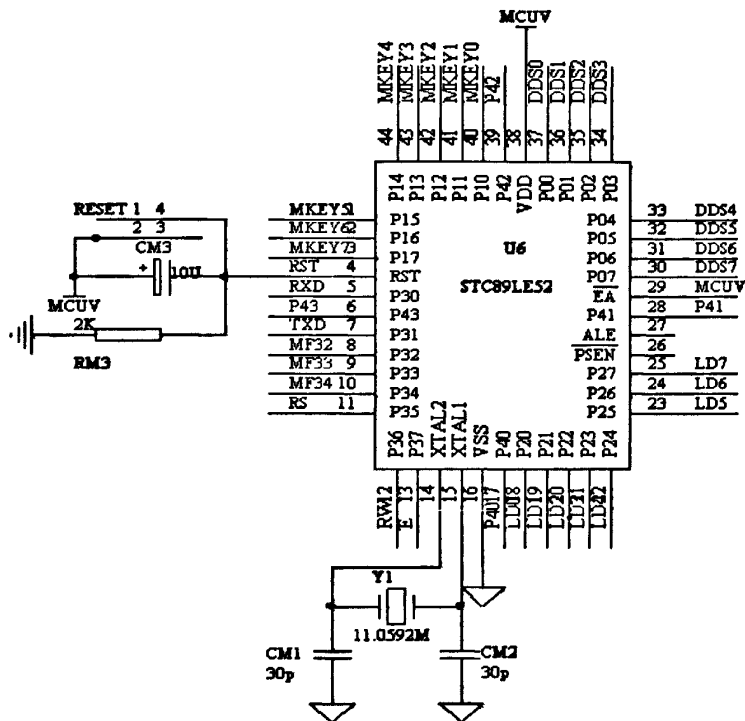


图 3.7 MCU 最小系统和各模块接口电路

(1) MCU 复位电路

这里所说的复位是指微控制器复位,也称系统复位。复位是使微控制器开始工作之前所处的一种预备状态,微控制器只有以这个状态为起点,后面的工作才是正常的,因此,微控制器在每次上电时必须复位。对于 STC 微控制器而言,通常在其 RST 引脚上保持 10ms 以上的高电平就能使微控制器完全复位。为了达到这个要求,可以有很多方法。本文中用的是如图 3.7 左边的复位电路接法,其中 MCUV 为 MCU 的数字电源。这种复位电路的工作原理是:按键按下时,电容 CM3 两端相当于短路,RST 引脚上为高电平,然后电源通过电阻 RM3 对电容 CM3 充电,RST 端电压慢慢下降,降到一定电压值下,即为低电平,微控

制器开始正常工作。复位操作的主要功能是把 MCU 的 PC 寄存器初始化为 0000H, 使得微控制器程序存储器从 0000H 单元开始执行程序。此外, 复位操作使 P0—P4 这些引脚变成高电平, 还会对内部的一些单元产生影响。

(2) MCU 控制 LCD 电路

液晶显示作为微控制器的外围电路, 起着人机交互界面和显示系统运行状态的作用, 市面上的液晶显示屏很多, 大多都已集成了液晶显示控制电路, 选用何种控制芯片的显示屏就决定了液晶显示屏的工作方式。根据本文需要, 选用了 YB12864-ZB 液晶显示屏。该液晶显示屏内置 ST7920 液晶显示驱动控制器, 同时内置中文字库, 非常方便任意波形参数的显示。这种液晶显示屏电路简单, 价格便宜, 并且支持串口和并口操作。MCU 控制 LCD 电路模块如图 3.8 所示。

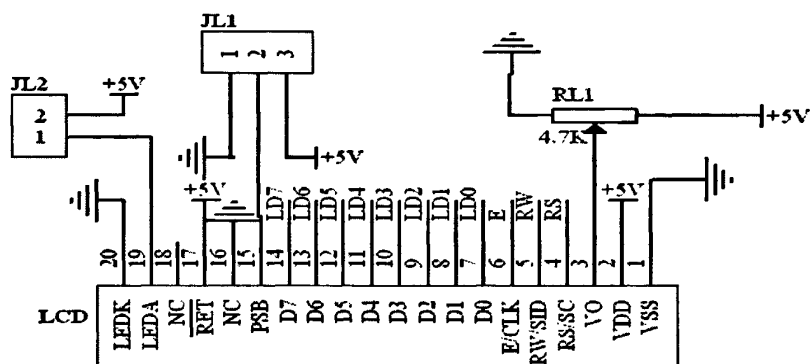


图3.8 MCU控制LCD电路模块

其中 LD0-LD3 为数据总线低四位, LD4-LD7 为数据总线高四位。RS/SC 为数据指令寄存器, 高电平时数据总线传输数据, 低电平时数据总线传输指令。RW/SID 为读写控制寄存器, 高电平时为读数据/指令, 低电平时为写数据/指令。E/CLK 为使能信号, PSB 为串口/并口选择, 高电平为并口传输数据, 低电平时为串口传输数据, 本文采用并口传输数据/指令, 因此 J1 跳线接高电平, LEDA 为背光正极, J2 接高电平使液晶显示适度。LEDK 为背光负极, 接地。VO 接口为对比度调节, 通过可变电阻 RL1 进行亮度调节。VDD 为液晶电源, 接 +5V 电源。VSS 为电源地, 接地即可。其中 LCD 与微控制器的接口参照图 3.7。

(3) MCU 控制矩阵键盘电路

本文设计的任意波形发生器需要设置输出波形、相位、频率、单位等参数, 所以需要设置键盘。键盘采用外接软键盘, 使用软件扫描的方式获得按键信息,

因为按键需要去抖动，这些都以软件编程的方式实现，这样可以节省硬件资源，电路设计简单。本系统采用4×4矩阵键盘作为人机交互的下位机平台界面，如图3.9矩阵键盘功能框图所示。

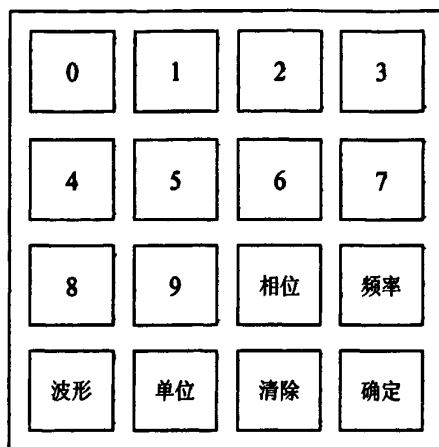


图3.9 矩阵键盘功能框图

(4) MCU与MAX232接口电路

微控制器与PC机通信的方式采用串口通信，但是微控制器的输入输出为TTL电平，而一般的PC机上的串口则采用RS-232的电平。因此，在微控制器与PC机进行串行通信时，必须完成电平的转换。这种电平的转换可以采用专门的集成电路来完成，本文采用MAX232。此外，STC89LE52RC在程序下载方面，无需使用专门的编程器和下载线。只要一根9针的串口线就可以实现程序的在线烧写。如图3.10是MCU与MAX232的接口电路。串口电路主要完成微控制器的程序下载以及微控制器与PC机信息的传输，达到上位机的软件界面控制下位机的作用。其中MAX232的R1OUT接MCU的RXD信号，T1IN接MCU的TXD信号。

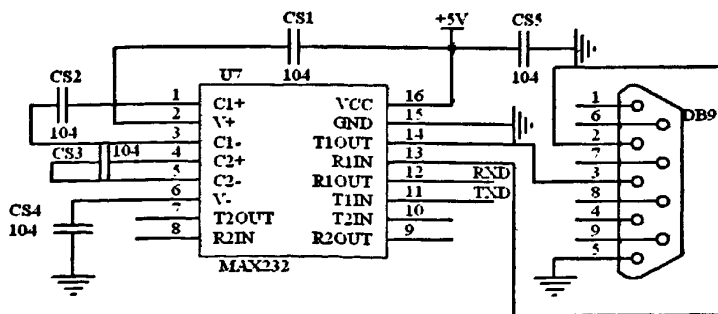


图3.10 MCU与MAX232的接口电路

(5) MCU与AD9954接口电路设计

AD9954是美国ADI公司推出的一款DDS集成芯片。AD9954内置高速、高性能D/A转换器和超高速比较器，可作为数字编程控制的频率合成器，能产生上百MHz的模拟正弦波。AD9954内含有静态RAM，利用该RAM可实现高速调制，并支持几种扫频模式。AD9954可提供自定义的线性扫频操作模式，通过AD9954的串行I/O输入控制字可以实现快速变频且具有良好的频率分辨率。

AD9954的基本原理框图如图3.11所示，它由400MSPS DDS核、14位DAC、参考时钟输入电路、时钟和控制电路、比较器以及用户接口6部分组成。

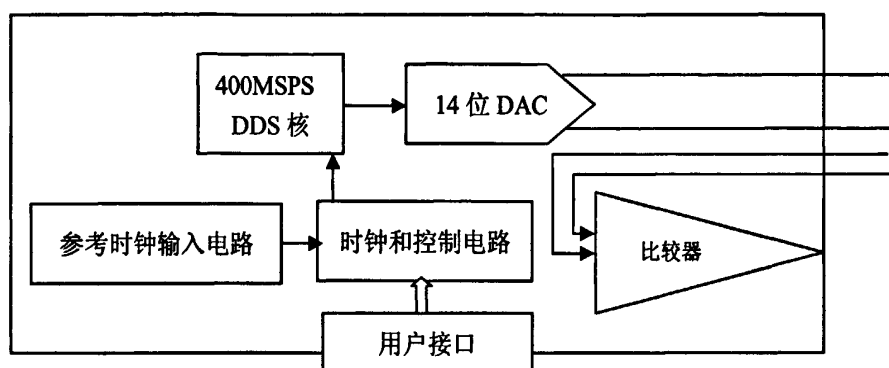


图3.11 AD9954的基本原理框图

AD9954主要特性参数：(1) 内置400MSPS时钟；(2) 内含14位DAC；(3) 相位/幅度可编程；(4) 有32位频率控制字；(5) 可用串行I/O控制；(6) 内置超高速模拟比较器；(7) 内部集成有1024字×32位RAM；(8) 采用1.8V电源供电；(9) 基于PLL的REFCLK倍频；(10) 支持5V输入电平。

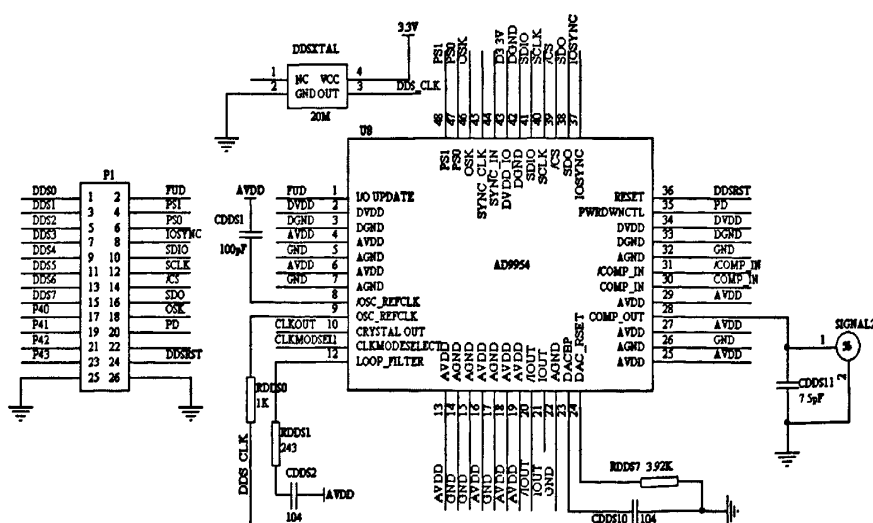


图3.12 MCU与AD9954接口电路

在MCU与AD9954的接口电路中，本文中MCU采用跳线P1来控制AD9954，具体配置如图3.12所示。

3.3.3 模拟输出通道处理电路

以离散数字序列经数模转换为模拟信号为基础实现波形发生器有其固有的优点，但同时也有频谱分量复杂，杂波多的缺点。在波形发生器中，滤波器起着保持有效分量、抑制杂波的作用。同时，作为一台任意波形发生器，它的各项性能要达到一定的指标，这在本文的第一章已经有详细的描述，经过滤波器输出任意信号后还要使信号的幅度达到一定的范围，因此本文在后级设计中将采用放大和衰减电路以及偏置电路，使得任意信号的输出幅度达到预定的性能指标。下面将详细介绍滤波器电路、放大和衰减电路、偏置电路的设计。

(1) 滤波器电路设计^{[16][17][18]}

在波形发生器中，滤波器起着保持有效分量、抑制杂波的作用。滤波器的设计主要从两个方面加以考虑：一是低通滤波器本身的传输特性，二是DDS系统输出信号的频谱结构。

低通滤波器是用它的传递函数 $H(j\omega)$ 来表征的，归一化的理想低通滤波器应满足：

$$H(j\omega) = \begin{cases} e^{-j\omega} & |\omega| \leq 1 \\ 0 & |\omega| > 1 \end{cases} \quad (3.1)$$

实际上，理想的滤波器特性是不可能获得的，只能用某种方式按某种规律去逼近。采用不同的曲线逼近理想滤波器，就获得了不同类型的滤波器。常见的滤波器有以下几种：巴特沃斯滤波器、契比雪夫滤波器、椭圆滤波器、贝塞尔滤波器和线性相位滤波器。图3.13描绘了这五种低通滤波器（同阶）的幅频特性。

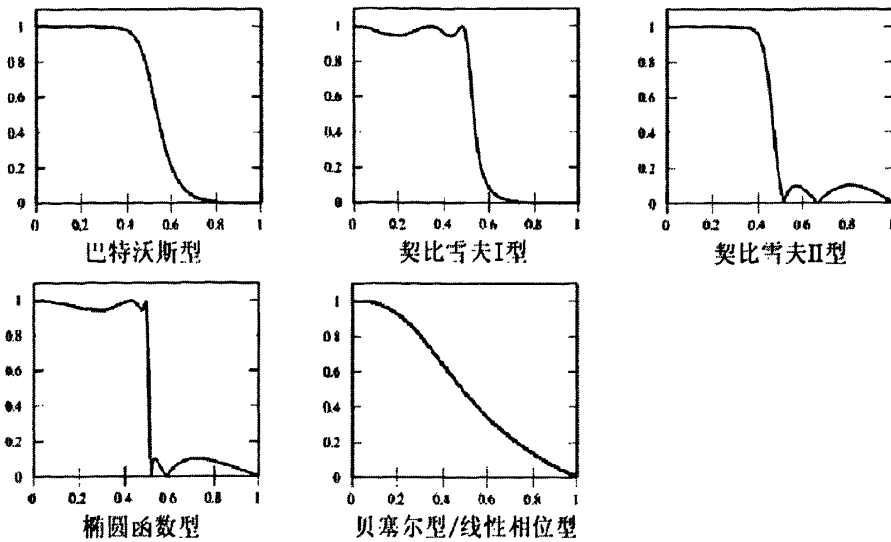


图3.13 (同阶)低通滤波器幅频特性比较

滤波器的传输特性可以用工作衰减、相移、群延迟及插入衰减等参数衡量其中衰减特性和群延迟是设计滤波器时考虑的重点。图3.13所示五种滤波器有着各自的特点：

(a) 巴特沃斯滤波器也称为最大平滑滤波器，它的传递函数只有实数极点和无穷零点，因而其幅频特性在通带和阻带内都是单调的，但也造成了通带到阻带的过渡缓慢；

(b) 契比雪夫滤波器的传递函数有复数极点和无穷零点，因而其幅频特性表现为有波动，其中契比雪夫I型为通带波动、阻带单调，契比雪夫II型为通带单调、阻带波动。契比雪夫滤波器以引入波纹为代价，使其过渡特性比巴特沃斯滤波器陡峭；

(c) 椭圆滤波器也称为联立契比雪夫滤波器，其传递函数有复数极点和有限零点（在截止频率附近），因而其幅频特性在通带和阻带内都是有波动的，但它的过渡特性最陡峭；

(d) 贝塞尔滤波器的传递函数也只有实数极点和无穷零点，其幅频特性在通带和阻带内都是单调的，且衰减特性非常缓慢，但它采用了贝塞尔逼近来实现滤波器设计，因此在通带内具有最平坦延迟；

(e) 线性相位滤波器与贝塞尔滤波器相似，在其通带内具有线性的相位响应，但在整个通带内，滤波器的群延迟特性不是单调的，而是引入了波纹，从而在整个通带内达到了群延迟的均方误差最小。

滤波器的选型跟DDS输出信号的频谱结构密切相关：

对于正弦波，其频谱分量单一，选择滤波器时主要考虑在通带内有一定的平坦度，在阻带内要保障足够的衰减来抑制谐波，并且希望该滤波器具有快速衰减特性。考虑到这些需求，本文设计了9阶椭圆滤波器作为专用DDS芯片输出波形的后级滤波器。当DDS输出频率接近其最大输出频率时（即DDS参考频率的40%），波形幅度会存在一定的衰减，因此，本文在滤波器的入口处加了一个谐振回路，对因Sa函数加权造成的幅度衰减作一个补偿。根据设计指标，正弦波信号最高输出频率是50MHz，因此所设计椭圆低通滤波器-3dB截止频率设置为50MHz，滤波器的入口的谐振回路谐振点设置在了49.5MHz左右，其电路图及幅频特性曲线分别如图3.14、图3.15所示。

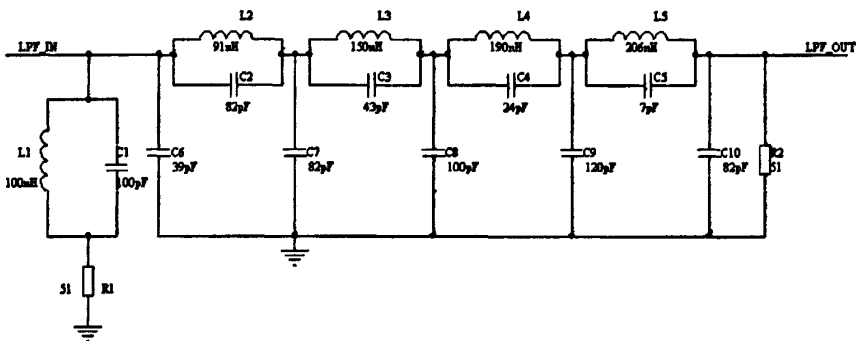


图3.14 9阶椭圆低通滤波器

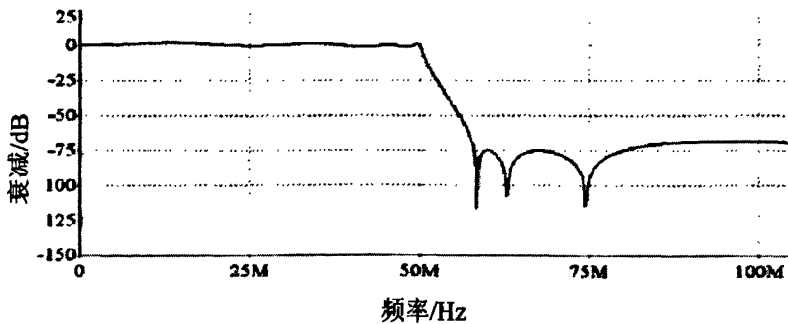


图3.15 9阶椭圆低通滤波器幅频特性曲线（仿真）

从仿真结果可以看出，所设计的9阶椭圆低通滤波器具有较平坦的通带和陡峭的过渡带，通带内纹波小于1dB，在58MHz处衰减达到了81dB，在整个阻带内，衰减大于60dB，可以很好的抑制谐波。

对于任意波，由于其含有丰富的谐波分量，如果设计过渡带过窄的滤波器就会将一些有用的谐波分量滤掉，这样会造成波形失真。当然过渡带过宽必然会带

来镜像干扰，影响输出信号的频谱纯度。但是对于任意波形来说频谱纯度不是主要指标，加之输出频率较低，一般来说镜像分量不会产生很大影响。出于这方面考虑，对于任意波，本文设计了7阶贝塞尔低通滤波器作为DAC后级的滤波器，该滤波器的截止频率设置在任意波形最高输出频率的10次谐波处，即50MHz处。具体电路如图3.16所示。它的幅频特性如图3.17所示。

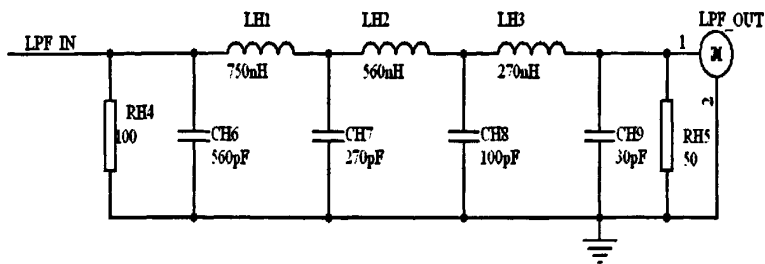


图3.16 7阶贝塞尔低通滤波器

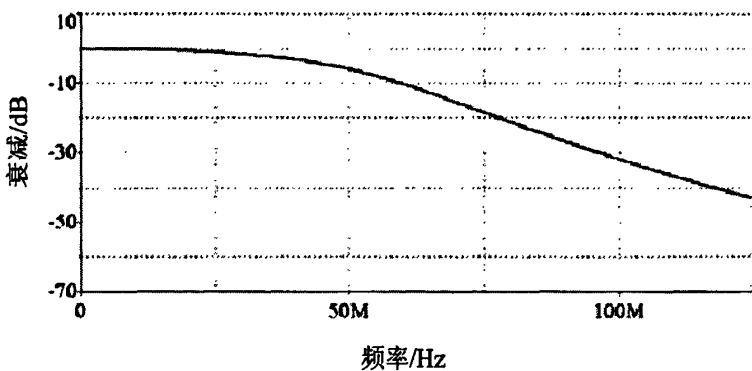


图3.17 7阶贝塞尔低通滤波器幅频特性曲线（仿真）

从仿真结果来看，这个滤波器的过渡特性非常缓慢，75MHz的时候衰减才18.5dB左右，100MHz才衰减了31dB。但是由于贝塞尔低通滤波器具有很好的群延迟特性，能够无失真的传输诸如方波、三角波等频谱很宽的信号。

(2) 放大电路

由于所设计的波形发生器输出信号的幅度范围要求在30mV~3V，而DAC的输出信号幅度约1V左右，另外，由于DAC后端的低通滤波器存在插入衰减，经过低通滤波器滤波后的信号幅度只有0.9V左右，因此必须经过放大和衰减电路才能达到波形发生器输出信号的幅度范围。

本文的放大电路是用集成运算放大器来实现的。集成运放是模拟集成电路中应用最广泛的器件之一，其在信号的运算（如加、减、乘、除、微分、积分、指

数、对数等)、信号的产生、有源滤波、波形变换等方面都有广泛的应用。

在本文中,由于正弦波的输出频率是:30mHz~50MHz,输出信号最大幅度为3V。我们选用的运放是高速电流反馈运放AD8009^[19]。增益为10时小信号带宽为350MHz,大信号带宽为320MHz,另外具有5500V/us的压摆率,增益为10时建立时间为25ns,使用+5V或±5V电源,在这里我们选用的是±5V电源。其电路如图3.18所示。

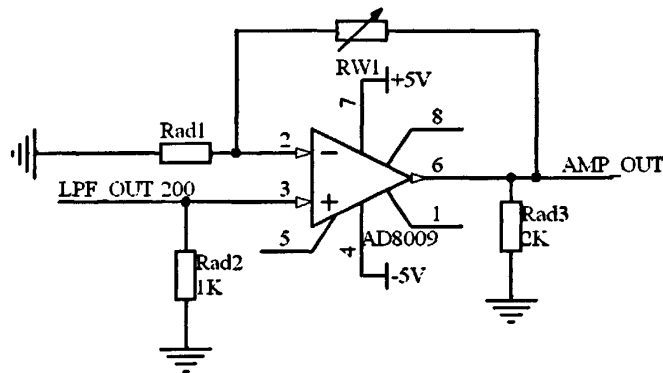


图 3.18 放大电路

这是一个同相放大电路,放大倍数为 $(1 + RW1 / Rad1)$,通过调整可调电阻RW1的电阻值,就可以改变放大器的放大倍数,从而改变输出信号的幅度。

(3) 衰减电路

本文的衰减电路是通过电阻分压网络来实现的,如图3.19所示。

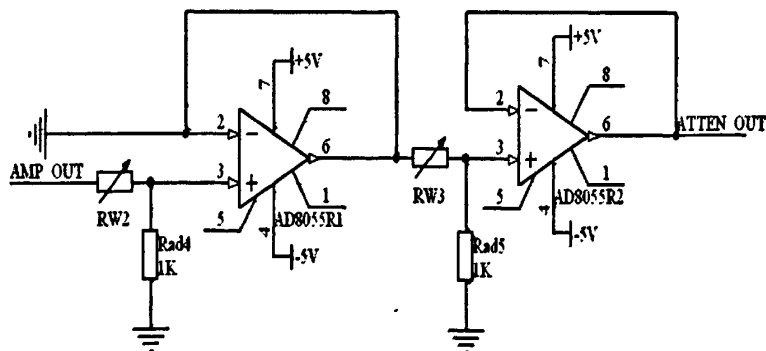


图 3.19 衰减电路

本文采用的是二级分压网络,整个衰减电路的衰减倍数为:

$$Atten = \frac{Rad4}{RW2 + Rad4} \cdot \frac{Rad5}{RW3 + Rad5} \quad (3.2)$$

通过调节 RW2 和 RW3 可变电阻的阻值，就能实现不同的衰减倍数。同时，为了减少电阻分压网络之间以及分压网络对前后级电路的影响，中间插入了两个射极跟随器作为隔离。

(4) 直流偏置电路

直流偏置电路的设计如图 3.20 所示。

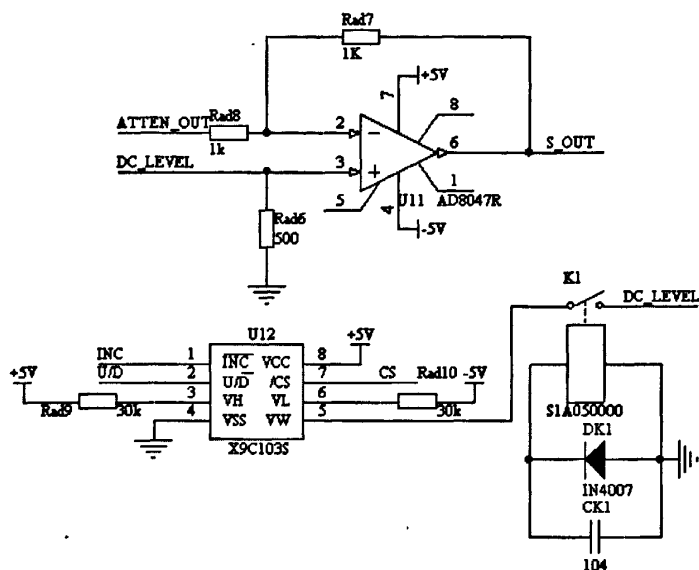


图 3.20 直流偏置电路

直流电压从 U11 的正向输入端加入，放大衰减电路的输出信号从 U11 的反相端加入，U11 构成了一个减法器电路。直流电压的调节是通过数字电位器 X9C103S^[20]来实现的。X9C103S 是总阻值为 10KΩ 的数字电位器，其内部结构图如图 3.21 所示。按照图 3.20 的接法，VH 端的电势约 +0.7V，VL 端的电势约 -0.7V。通过改变滑动端 VW 的触点位置，就能改变 U11 正向输入端的直流电压 (-0.7V~+0.7V)，这个直流电压经过 U11 后放大两倍，输出端 S_OUT 就得到 -1.4V~+1.4V 的直流电平。

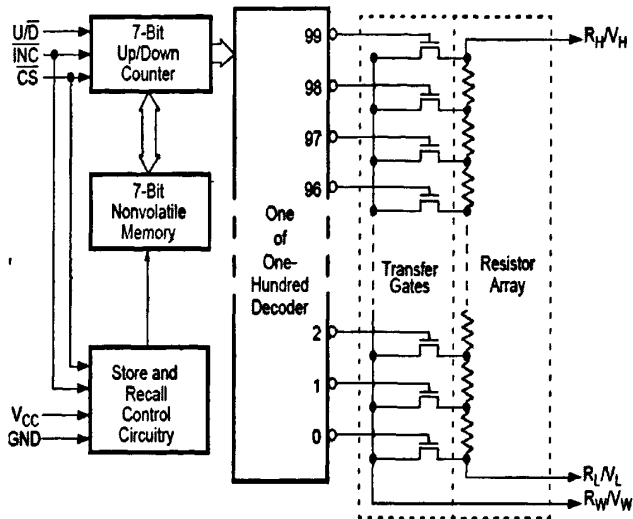


图 3.21 数字电位器 X9C103S 内部结构

从图 3.21 来看, X9C103S 内部共有 100 个触点, 触点位置的选择是通过 $\overline{U/D}$ 、 \overline{INC} 端来控制的。 $\overline{U/D}$ 为触点滑动方向控制端, 该端点的电平为高时, 触点朝上 (V_H) 端滑动, 该端点的电平为低时, 触点朝下 (V_L 端) 滑动; \overline{INC} 为触点动作控制端, 每来一个负脉冲, 触点位置朝滑动方向移动一次。触点位置每改变一次, 任意波形发生器输出端的直流电平改变 28mV。

3.3.4 系统电源电路

由于所设计任意波形发生器所需要供电电压种类比较多, 有 $\pm 5V$, 3.3V, 1.8V, 1.5V, 因此需要专门的电源电路。在本系统中, 可以采用 9V 电源适配器或者 USB 线供电, +5V, 3.3V, 1.8V, 1.5V 电源是由电源稳压芯片得到的。输出 +5V 电压所使用的电源稳压芯片是 LM7805, 这种电源稳压芯片具有宽输入电压范围 (7V~20V)、低噪声 ($40\mu V_{RMS}$), 高输出电流 (最高可达 1.5A)、低压降 (输出 1.5A 电流时只下降 100mV) 等特性。本系统所用的 3.3V、1.8V、1.5V 电压是分别由 LM1117-3.3、LM1117-1.8 和 LM1117-1.5 提供的, 其中 -5V 电压由 ICL7660^[21] 电源芯片提供。系统电源电路图如图 3.22 所示。

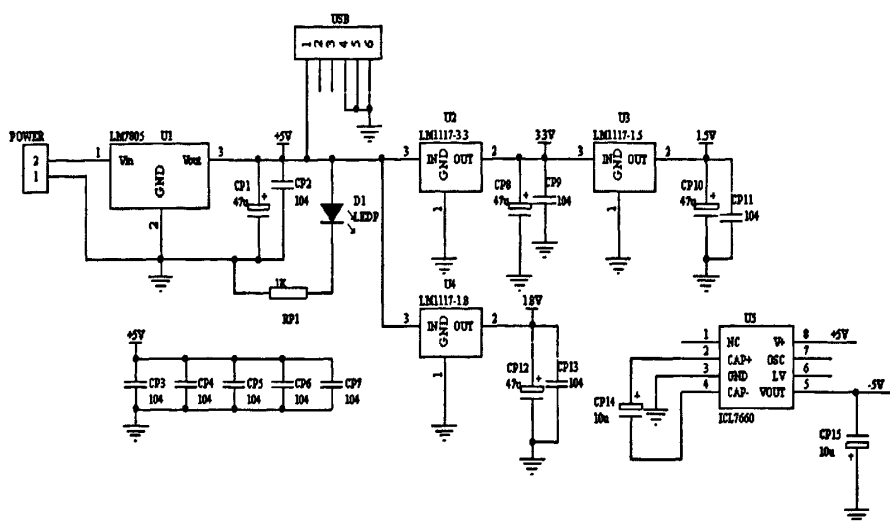


图 3.22 系统电源电路

其中图 3.22 中的 POWER 为 9V 电源适配器的接口，USB 直接提供+5V 电压，电源电路参考对应的电源稳压芯片的标准配置，其中+5V 电源增加 CP3~CP7 的电容器用于减小电源的纹波输出，起到净化电源的作用，为后级设计提供优质的电源。

3.4 电路板设计与调试

3.4.1 电路板设计

在高速数字电路设计领域，信号完整性（Signal Integrity, SI）是必须考虑的问题，如果在这个问题上不给予足够的重视，可能造成设计的电路不能稳定工作，严重的甚至功能无法实现，这样的代价是很高的。所以在制作印制电路板（Printed Circuit Board, PCB）的时候，就应该充分考虑信号整性的设计^{[22][23]}。

保证信号完整性，就是要使信号具有良好的物理特性（高低电平阈值以及电平跳变边沿的特性），防止信号产生畸变。在实际的设计中，影响信号完整性的因素比较多，如干扰、串扰、反射、振铃、地弹、衰减、开关噪声、容性负载等。在制作 PCB 时，为了保证信号完整性，采用了以下设计：

(1) 按电路的类型将电路划分为数字部分和模拟部分，在布局上将数字部分和模拟部分尽量分开，最好将高速数字部分和低速数字部分分开布局，本文中数字部分放在电路板的左边，模拟部分放在电路板的右边；

(2) 将数字地和模拟地分开，最后仅在一点相连，避免高频数字开关电流

对模拟地电平造成影响,本文中数字地和模拟地使用 0Ω 电阻在一点相连,另外注意不能跨越数字地和模拟地之间的间隙进行布线,因为一旦跨越分割间隙布线,电磁辐射和信号串扰都会急剧增加;

(3) 95%的元器件选用了贴片式封装,这样可以使信号的连接在PCB的同一层完成,减少过孔数量,从而减少过孔电容对高速信号的影响。相对于直插式元器件,贴片式元器件之间的连接更加紧凑,减少了元器件之间的电气耦合;

(4) 适当加宽电源线宽度以减少其传输阻抗,另外,避免高速信号线走长的平行线,在必要的时候进行合适的端接,信号线在顶层和底层的走线尽量保持垂直,对容易产生干扰的时钟线,用地线加以隔离;

(5) 在电源供电进入电路板的入口,加上了大容量的电解电容,可以滤除电源上的不稳定晃动,并且在各个集成电路的电源输入引脚,以及参考电平引脚,都加上了合适的去耦电容。在数字集成电路的VCC端接了 $0.1\mu\text{F}$ 的瓷片电容,在运放的每个电源端接了 $0.1\mu\text{F}$ 的瓷片电容和 $10\mu\text{F}$ 的钽电容。这些去耦电容尽可能地摆放在靠近芯片电源管脚的位置;

(6) 布线完成后,在电路板两层都覆上铜,并且使覆铜分别与模拟地和数字地相连接,这样就使得电路板上的地线电阻很小,所以整个模拟地线之间的电势差就很小,整个电路板有相对稳定的零电平。

3.4.2 电路板的调试

完成布线之后将PCB图制成PCB板,备齐所有元器件之后就开始安装调试工作了。首先是电源部分的调试,在焊接所有芯片之前先要保证电源工作正常。先将电源芯片焊上PCB板,并按照原理图焊上外围器件,然后加电,检查各个电源的输出电压是否正常,当所有电源输出正常后,才能焊接其它芯片。电源检查完以后先焊接主芯片,即FPGA芯片和MCU芯片,将FPGA和MCU芯片和其外围电路焊接完以后首先检查其工作是否正常,是否能下载程序。若工作正常,则继续焊接DA转换器和AD9954等芯片,然后将FPGA程序下载到FPGA芯片中和MCU程序下载到MCU芯片中,接着开始进行联合调试,在数字合成部分调试完成以后,再调模拟输出部分,直到整个系统达到要求的性能指标为止。

第四章 FPGA 逻辑电路设计

本章详细阐述了 FPGA 构建 DDS 内核来设计任意波形发生器, 通过使用 Quartus II 7.2 软件来设计 DDS 内核以及各个模块电路, 在各个模块设计完成后通过仿真进行验证, 从而保证任意波形发生器设计的软核(IP Core)的正确性。

4.1 FPGA 及其开发环境简介

4.1.1 FPGA (现场可编程门阵列) 简介

FPGA 是 Field Programmable Array (现场可编程门阵列) 的缩写, 是在 PAL、GAL、PLD 等可编程器件基础上进一步发展的产物。FPGA 具有静态可重复编程和动态在系统重构的特性, 使得硬件的功能可以像软件一样通过编程来修改。FPGA 的集成度很高, 其器件密度从数万门到数千万门不等, 可以完成极其复杂的组合逻辑和时序电路设计, 适用于高速、高密度的高端数字逻辑设计领域。FPGA 作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数量有限的缺点。

FPGA 的基本组成部分有可编程输入/输出单元、基本可编程逻辑单元、嵌入式 RAM 块、丰富的布线资源、底层嵌入功能单元等。

(1) 可编程输入输出单元

可编程输入输出单元 (IOE) 是芯片和外界电路的接口部分, 完成不同电气特性下对输入/输出信号的驱动与匹配需要。为了使 FPGA 有更灵活的应用, 目前大多数 FPGA 的 I/O 单元被设计成可编程模式, 通过软件的灵活配置, 可以适配不同的电气标准和物理特性, 调整匹配阻抗特性、上下拉电阻、输出驱动电流大小等。一般来说, FPGA 支持的常见电气标准有 LVTTTL、LVCOMS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等。

(2) 基本可编程逻辑单元

基本可编程逻辑单元 (LE) 是可编程逻辑器件的主体, 可以根据设计灵活地改变其内部连接与配置, 完成不同的逻辑功能。每个 LE 包含了一个 4 输入的查找表 (LUT)、一个带有同步使能的可编程触发器、一个进位链和一个级联链。查找表完成纯组合逻辑功能; 寄存器配置相当灵活, 可配置为带同/异步复位/置

位、时钟使能的触发器或者配置为锁存器。

(3) 嵌入式 RAM 块

大多数 FPGA 都有内嵌的块 RAM (Block RAM)。FPGA 内部嵌入可编程 RAM 模块，大大地拓展了 FPGA 的应用范围和使用灵活性。在本文中实现的过程中，块 RAM 是不可或缺的资源，内部 RAM 的使用节省了片外器件，从而节省了系统成本。FPGA 内嵌的块 RAM 一般可以灵活配置为单端口 RAM (Single Port RAM)、双端口 RAM(Double Ports RAM)、伪双端口 RAM(Pseudo DPRAM)、CAM (Content Address able Memory)、FIFO (First In First Out) 等常用存储结构。

(4) 布线资源

布线资源连通 FPGA 内部所有单元，连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。FPGA 内部有着非常丰富的布线资源，这些布线资源根据工艺、长度、宽度和分布位置的不同而有不同的等级，有一些是全局性的专用布线资源，用以完成器件内部的全局时钟和全局复位/置位的布线；一些叫做长线资源，用以完成器件 Bank 间的一些高速信号和一些第二全局时钟信号的布线，也称为 Low Skew 信号的布线；还有一些叫做短线资源，用以完成基本逻辑单元之间的逻辑互联与布线。

(5) 底层嵌入功能单元

这里所说的底层嵌入功能单元指的是那些通用程度较高的嵌入式功能模块，比如 PLL、DSP、CPU 等，随着 FPGA 的发展，这些功能模块被越来越多的嵌入到 FPGA 内部，以满足不同场合的要求。

本文选用了 ALTERA 公司 Cyclone 系列的 FPGA 芯片 EP1C3T144C8, TQFP 封装，144 个引脚。Cyclone 系列 FPGA 器件的一些典型参数如表 4-1 所示。

表 4-1 Cyclone 系列芯片性能参数

特征	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
逻辑单元数	2910	4000	5980	12060	20060
RAM 块数	13	17	20	52	64
总 RAM 位数	59904	78336	92160	239616	294912
锁相环数	1	2	2	2	2

4.1.2 Quartus II 7.2 集成开发环境

Quartus II 7.2 软件是 Altera 的综合开发工具,它集成了 Altera 的 FPGA/CPLD 开发流程中所涉及的所有工具和第三方软件接口。Quartus II 7.2 版本几乎支持 Altera 现行的所有 FPGA,在该集成开发环境中可以实现电路的设计、综合、适配到最后形成下载文件以及在线配置 FPGA,还能对电路进行功能仿真,对适配后形成的最终电路进行时序仿真。也就是说只要有了 Quartus II 这个集成开发环境,就基本上可以完成 Altera 公司 FPGA 开发过程中的所有工作。另外,为了方便设计,Quartus II 还提供了免费 LPM 模块供用户调用,如计数器、存储器、加法器、乘法器等。除了这些免费的 LPM 模块外,Altera 公司还开发了有偿 IP 核提供给有需要的用户使用。这些 LPM 模块和 IP 核都大大简化了设计过程,缩短了开发周期。

Quartus II 7.2 支持多种输入方式,常用的有:

- (1) 原理图输入:这种方法最直观,适合顶层电路的设计;
- (2) 硬件描述语言输入:包括 AHDL、VHDL 及 Verilog HDL 输入。采用硬件描述语言的优点易于使用自顶向下的设计方法、易于模块规划和复用、移植性强、通用性好;
- (3) 网表输入:对于在其他软件系统上设计的电路,可以采用这种设计方法,而不必重新输入,Quartus II 7.2 支持的网表文件包括 EDIF、VHDL 及 Verilog 等格式。这种方法的优点是可以充分利用现有的设计资源。

在本文中,采用的是 Verilog 硬件描述语言与原理图输入相结合的方式。一般来说,完整的 FPGA 设计流程包括电路设计与输入、功能仿真、综合、综合后仿真、实现、布线后仿真与验证、板级仿真验证与调试等主要步骤,如图 4.1 所示。

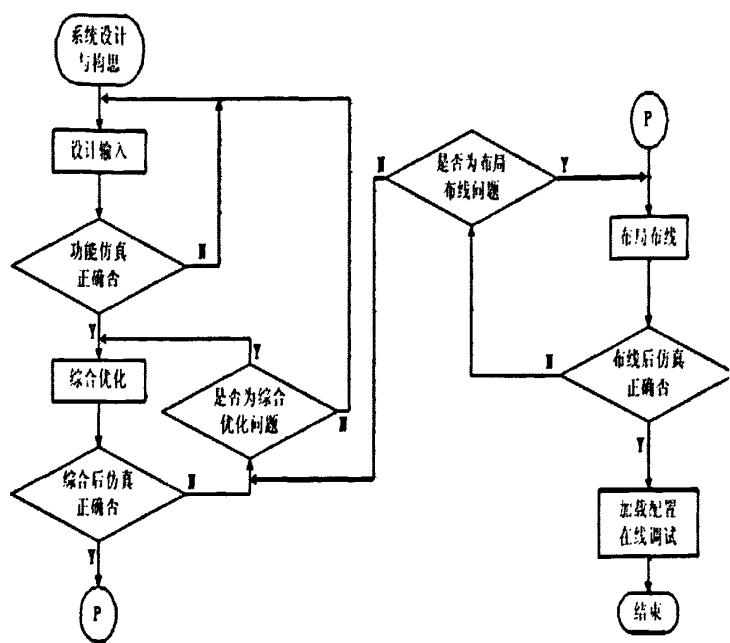


图 4.1 FPGA 完整设计流程图

4.2 任意波形发生器的 FPGA 实现

4.2.1 任意波形发生器控制模块

这个部分主要是用来解决 DDS 模块与 MCU 通信接口的问题。相当于 DDS 集成芯片的控制寄存器和命令寄存器模块的作用。任意波形发生器控制模块主要是为了接收 MCU 写入的频率控制字和相位控制字等参数。在设计中 DDS 采用了 32 位的频率控制字和 32 位的相位控制字，而 MCU 每次输出 8 位数据，这样对于一个频率控制字和相位控制字，MCU 要分 4 次分别写入 4 个字节。基于这样的设计要求，本文设计了任意波形发生器控制模块，如图 4.2，其中 data[7..0] 是该模块与 MCU 数据总线的接口，enable 为高电平使能，clk 为写入时钟，qout[31..0]是寄存器输出的 32 位频率控制字，pout[31..0]是寄存器输出的 32 位相位控制字。

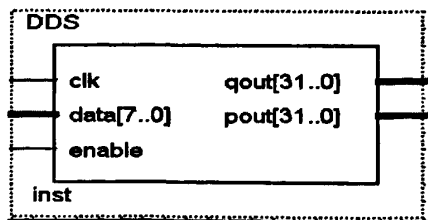


图 4.2 DDS 控制模块

该模块的工作过程是这样的：当 enable 使能为高电平时，clk 写入时钟的上升沿将数据总线上的 8 位数据锁存进该模块中，当锁存完 8 个字节的数据后，经过一个 clk 上升沿后自动将这 8 个字节的前 4 个字节数据按照后写入的在高位的顺序组合成一个 32bit 的数输出在频率控制字 qout[31..0]上，同理，后 4 个字节作为相位控制字 pout[31..0]输出。图 4.3 所示是将数据写入该模块的时序仿真图，从图 4.3 可以看出控制模块达到预期的目的。

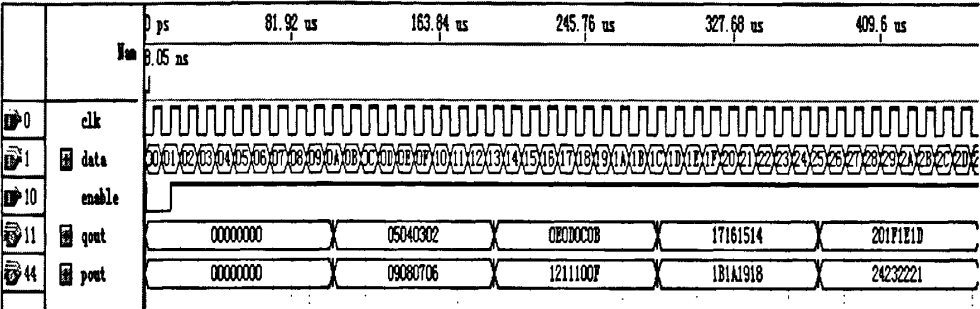


图 4.3 DDS 控制模块时序仿真图

DDS 控制模块的 Verilog 语言描述如下：

```
module dds(clk, data, enable, qout, pout);
input      clk, enable;
input [7:0] data;
output[31:0] qout;
reg [31:0] qout;
output[31:0] pout;
reg [31:0] pout;
reg [31:0] qtemp;
reg [31:0] ptemp;
reg [3:0] count;
always @(posedge clk)
begin
    if(enable==1'b1)
    begin
        case(count)
            4'd0:
            begin
                qtemp[7:0]<=data;
                count<=4'd1;
            end
            4'd1:
            begin
                ptemp[15:8]<=data;
```

```

        count<=4'd2;
    end
4'd2:
    begin
        qtemp[23:16]<=data;
        count<=4'd3;
    end
4'd3:
    begin
        qtemp[31:24]<=data;
        count<=4'd4;
    end
4'd4:
    begin
        ptemp[7:0]<=data;
        count<=4'd5;
    end
4'd5:
    begin
        ptemp[15:8]<=data;
        count<=4'd6;
    end
4'd6:
    begin
        ptemp[23:16]<=data;
        count<=4'd7;
    end
4'd7:
    begin
        ptemp[31:24]<=data;
        count<=4'd8;
    end
4'd8:
    begin
        qout<=qtemp;
        pout<=ptemp;
        count<=4'd0;
    end
endcase
end
end
endmodule

```


4.2.2 相位累加器模块设计

在利用 FPGA 设计 DDS 电路时,相位累加器是决定 DDS 电路性能的一个关键部分之一,小的累加器可以利用 Cyclone II 器件的进位链得到快速高效的电路结构,而过长的进位链会制约整个系统速度的提高。在时序电路设计中,一种提高速度的办法是采用流水线技术,即把要在一个时钟周期内完成的逻辑操作拆分成几步较小的操作,并插入几个时钟周期来提高系统的工作频率。

按设计要求,任意波形发生器采用的系统时钟是 100MHz,要达到 30mHz 的频率分辨率,按照式 $\Delta f = f_c / 2^N$,相位累加器的位数至少为 32 位。为了使 FPGA 内部的工作时钟达到 100MHz,本文采用了如图 4.4 设计的一级流水线的 32 位累加器。

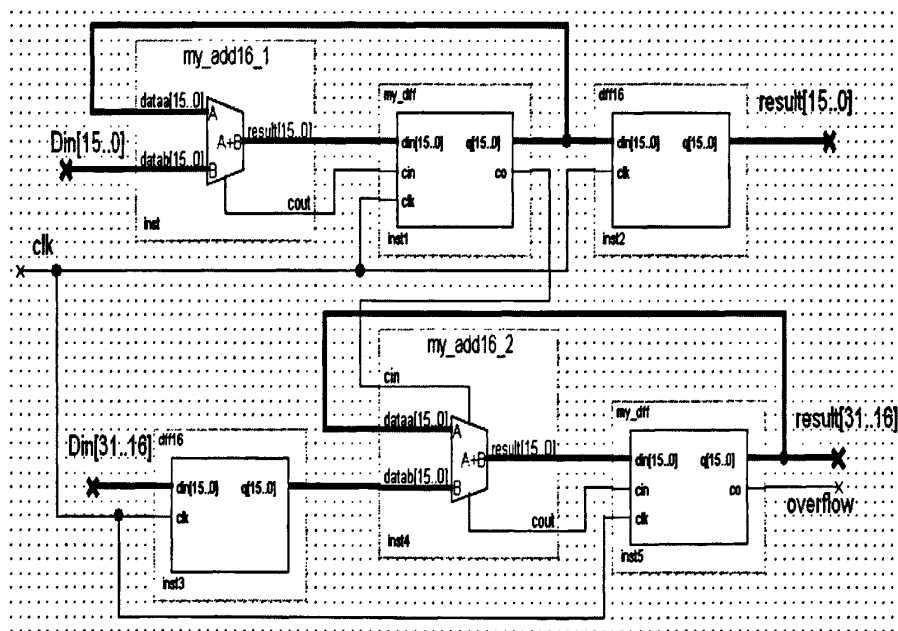


图 4.4 一级流水线的 32 位累加器

本文的一级流水线相位累加器设计思想:将 32 位的累加器拆成了 2 个 16 位的累加器,中间插入一级流水线,将高 16 位累加器相对于低 16 位累加器延迟一个时钟周期做累加,这样等高 16 位累加器进行累加的时候,低 16 位的累加器已经算出了进位结果,这时再将该进位作为高 16 位累加器的进位输入进行累加,同时为了保证输出结果的正确性,低 16 位累加器的计算结果必须延迟一个时钟周期才输出,这样就使得高 16 位累加器和低 16 位累加器的累加结果在同一时刻输出。这样的结果是,采用了一级流水线的 32 累加器要比没有采用流水线的 32

位累加器延迟一个时钟周期才输出结果。但这并不影响 DDS 相位累加器的工作，累加器输出的相位序列除了有一个时钟周期的延迟之外结果并没有发生任何变化，但累加器的速度确实提高了。仿真证明，采用了一级流水线技术后，累加器的工作最高工作频率能达到 100MHz。本文做了一个对比，直接调用 Quartus II 单元库中提供的 32 位 LPM 累加器模块资源消耗是 33 个逻辑单元 (LE)，而所设计的采用一级流水线的累加器资源消耗是 67 个 LE，可见工作速度的提高是以资源消耗换来的，这就是 FPGA 设计中“面积换速度”的原则。虽然使用更多级的流水线能进一步提高累加器的速度，但是为了节省资源，在一级流水线能满足要求的前提下，没有多级流水线的设计。图 4.5 是一级流水线相位累加器时序仿真图。从仿真图来看，仿真的结果满足设计的要求，但是相位累加器的输出端数据也会存在一些不稳定状态，因此在设计中要注意调整累加器后级寄存器的采样时钟，使其对准数据稳定的状态。

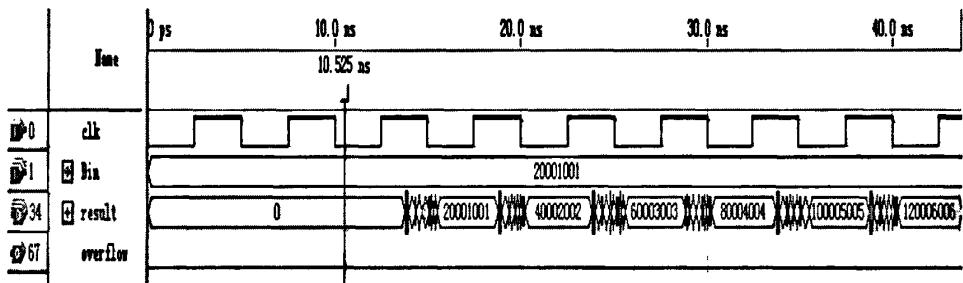


图 4.5 一级流水线相位累加器时序仿真

4.2.3 系统时钟模块设计

本文中的 DDS 模块是一高速模块，所以对系统时钟就有很高的要求，不仅需要较高的频率，而且还要有非常高的稳定性，如果在 FPGA 的时钟端直接加一高频晶振，不仅时钟不稳定，而且功耗大，费用高，在本文中，直接调用 Altera 公司的 PLL 软核，在 FPGA 时钟端只需加一低频晶振，通过 FPGA 内部 PLL 倍频达到系统时钟要求。图 4.6 为用 Mega Wizard Plug-In Manager 生成的 PLL 的实例图，图 4.6 中输入端 clk_in 为 50MHz 时钟，输出端 clk_out 为 PLL 两倍频之后输出 100MHz 系统时钟，这个系统时钟为内部 DDS 和数模转换 AD9762 提供时钟源，这个时钟是由一个 PLL 产生的，所以输出时钟的相位偏移在允许范围内。

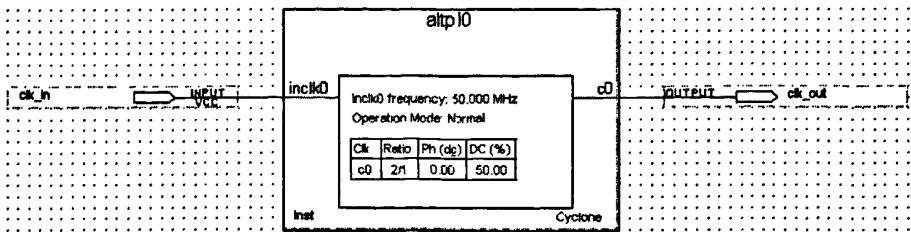


图 4.6 PLL 实例图

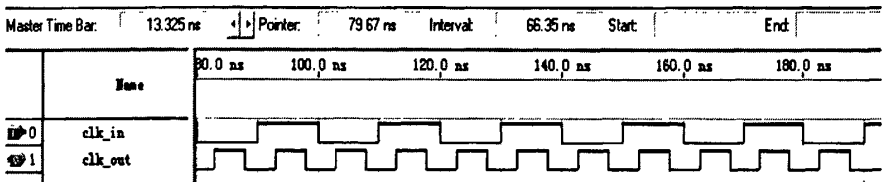


图 4.7 PLL 波形仿真

图 4.7 是 PLL 的波形仿真图，从仿真波形的时间轴上可以看出，输入 50MHz 的时钟，输出则是 100MHz 的时钟。可以看到经过 PLL 输出的系统时钟具有频率稳定度高和精度高的特点，适合作为 DDS 内部时钟，为系统提供了很好的参考时钟，为整个系统的稳定性提供了良好的保障。

4.2.4 提取高位数据模块设计

由于在 DDS 设计中采用了 32 位的累加器，所以输出的寻址地址为 32 位，但由于存储空间有限性，所以本文决定提取高 12 位数据作为 ROM 模块数据的寻址地址。提取高 12 位数据模块的实例如图 4.8 所示。提取高 12 位数据模块设计的 Verilog 语言描述为：

```
module high12(in32, out12);
input[31:0] in32;
output[11:0] out12;
assign out12=in32[31:20];
endmodule
```

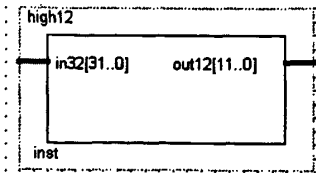


图 4.8 提取高 12 位数据模块的实例

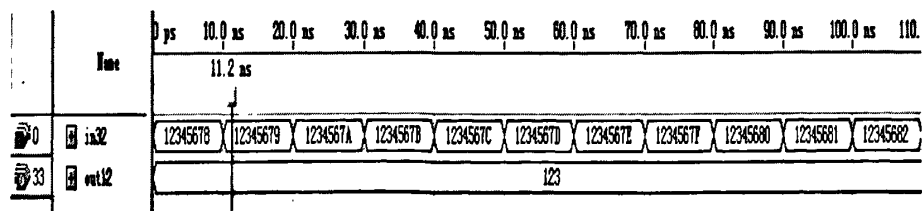


图 4.9 提取高 12 位数据模块的仿真图

从图 4.9 仿真图中可以看出从累加器输入的 32 位数据提取出其中的高 12 位数据作为 ROM 模块的寻址地址，仿真中数据以十六进制格式显示，可以看出这个仿真结果符合本文的设计标准。

4.2.5 任意波形发生器的 DDS 设计与仿真

根据 DDS 原理图，我们用上面的模块来构建 DDS 系统来产生任意波形，构建的 DDS 结构图如图 4.10 所示，其中锁相环(PLL)模块中的输入时钟为 50M Hz，经过 2 倍频得到 100M Hz 的系统时钟，一级流水线累加器为 32 位输入，在仿真过程中 Din[31..0]作为频率控制字 K 的输入来控制任意波形输出的频率。High12 模块用来提取高 12 位的累加器之和作为 lpm_rom 寻址地址，lpm_rom 里面存储 4K 个任意波形数据，通过系统时钟的上升沿来输出相应地址的波形数据。在仿真过程中，系统时钟均为 100M，频率控制字均为(28F5C28)_H，波形数据的深度均为 4K，因此根据 $f_o = \frac{K}{M} f_c$ ，得到输出的波形频率应为 1MHz，对于不同的波形只需在 lpm_rom 中生成不同的波形数据或者通过其它通信方式传输给 FPGA 的 RAM 即可产生不同的波形。下面分别仿真输出不同的波形以验证 FPGA 构建 DDS 内核产生任意波形理论和实际的可行性和正确性。图 4.11 至图 4.20 分别为 1MHz 正弦波、三角波、方波、平方根函数波、锯齿波、对数函数波、指数函数波、半圆函数波、Sa 函数波、噪声等仿真波形，从这些仿真波形可以看到 FPGA 构建 DDS 内核产生任意波形的正确性，这也是本文研究的基本点，在此仿真基础上用任意波形发生器硬件平台上实现任意波形。

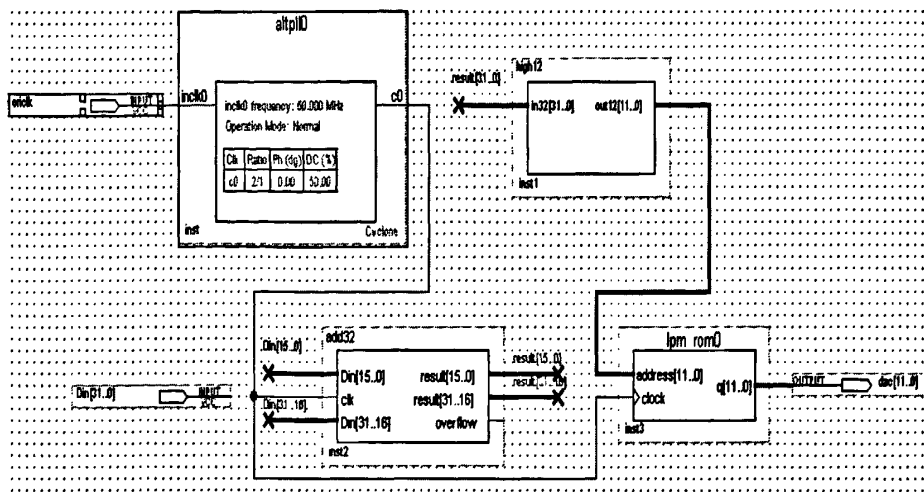


图 4.10 FPGA 构建 DDS 模块图

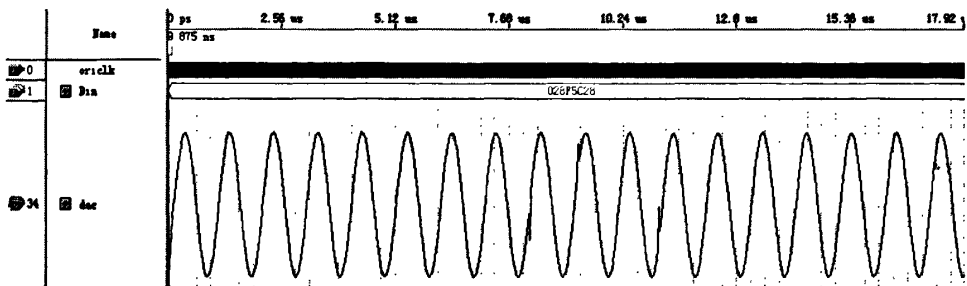


图 4.11 1MHz 正弦波仿真波形

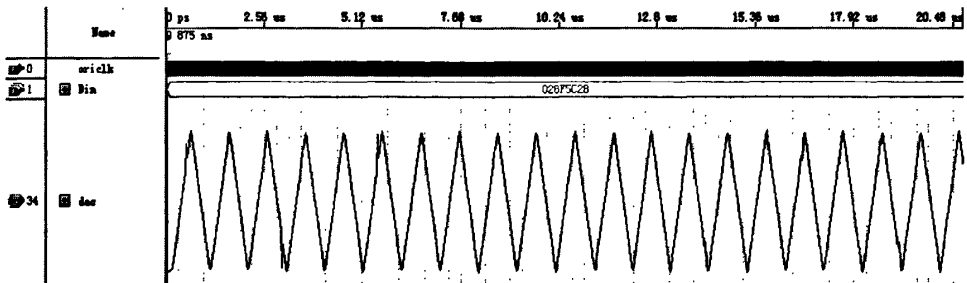


图 4.12 1MHz 三角波仿真波形

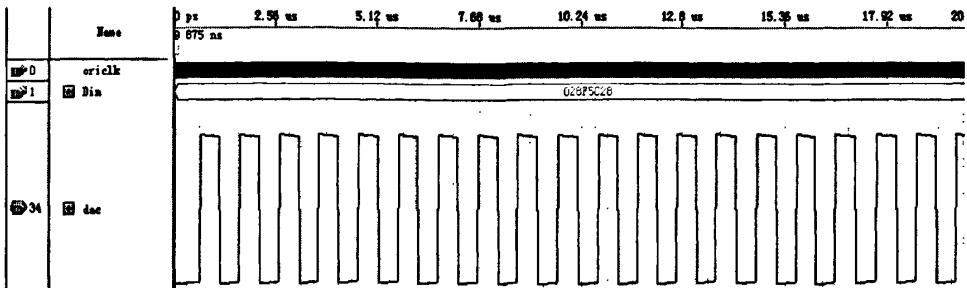


图 4.13 1MHz 方波仿真波形

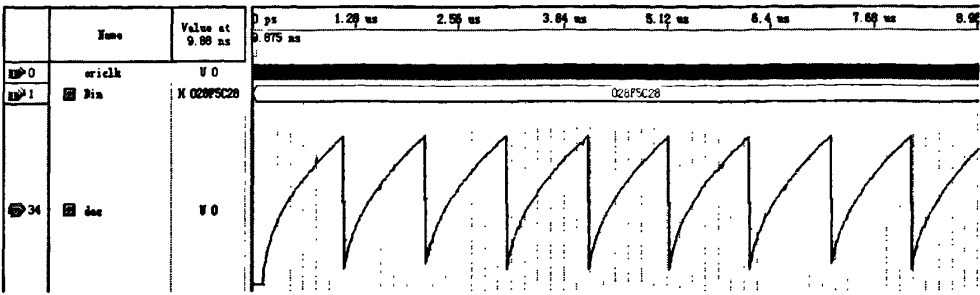


图 4.14 1MHz 平方根函数仿真波形

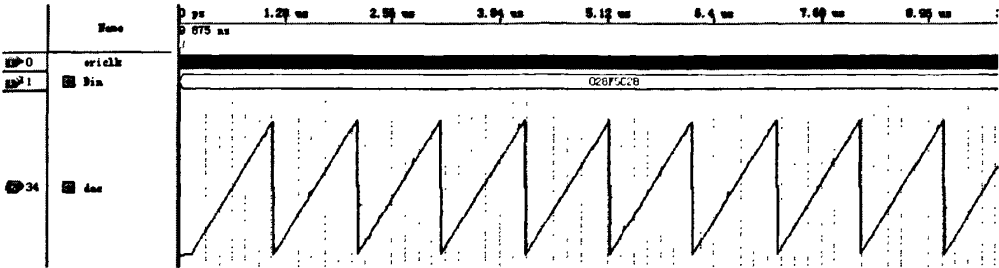


图 4.15 1MHz 锯齿波仿真波形

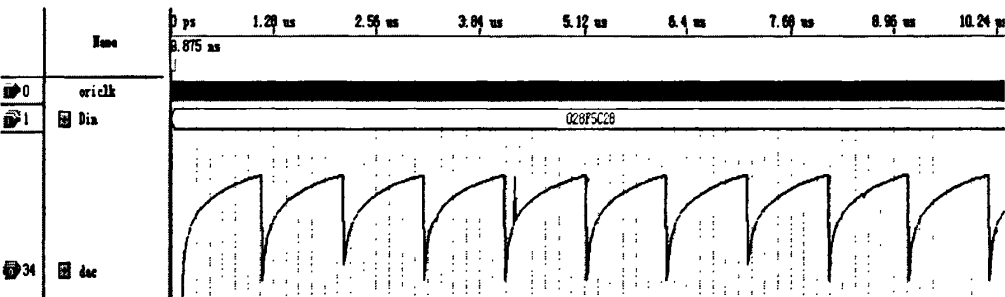


图 4.16 1MHz 对数函数仿真波形

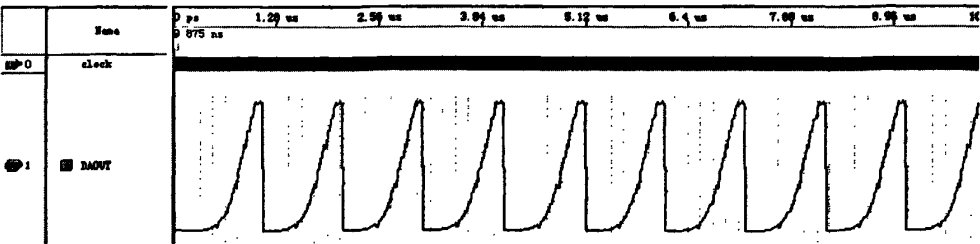


图 4.17 1MHz 指数函数仿真波形

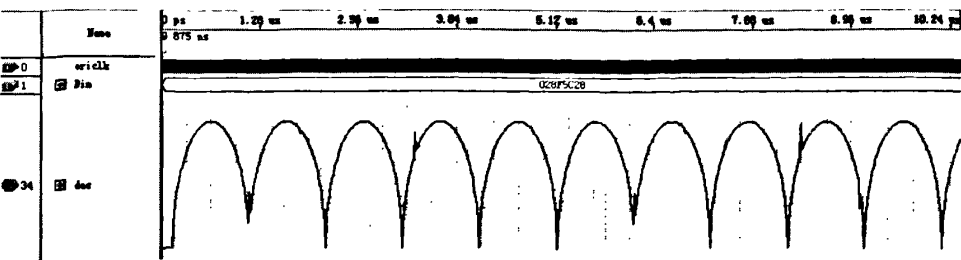


图 4.18 1MHz 半圆函数仿真波形

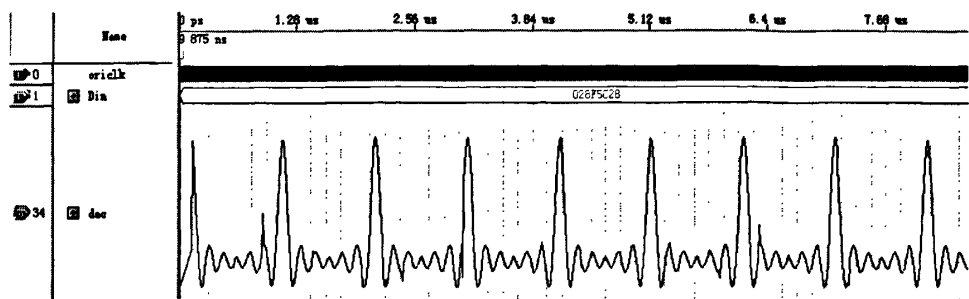


图 4.19 1MHz Sa 函数仿真波形

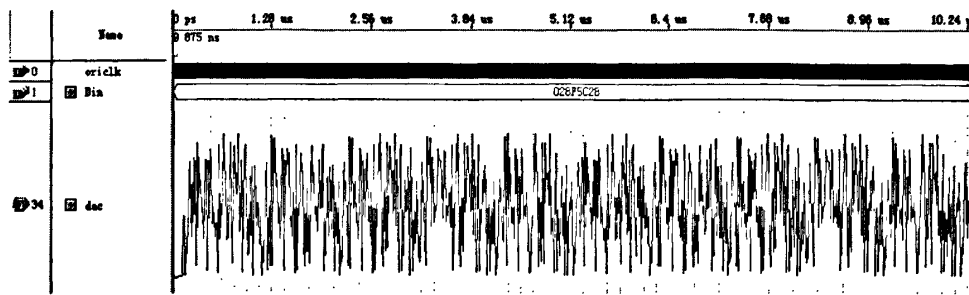


图 4.20 噪声仿真波形

4.3 任意波形调制系统的研究与实现

因为DDS是数字信号控制的设备，因此把幅度调制、频率调制、相位调制加到DDS，并进行数字调制是完全可行的。

频率调制是通过控制加在相位累加器前端的加法器来实现的；相位调制是通过加在相位累加器后端的加法器来实现的；幅度调制是通过控制加在波形存储器和DAC之间的乘法器完成的，即乘法器调整加到DAC上的数字幅度，也有一些DAC通过改变控制电压可以提供精确的模拟幅度控制，本文采用的都是数字调制的方法，下面将详细介绍数字调制方法和实现。

4.3.1 幅度调制(AM)

要用DDS原理得到调幅波，必须先产生载波信号序列和调制信号序列，如图4.21的DDS-AM原理图^[24]所示，图中 f_c 为全局时钟频率，首先以载波频率控制字 K_c 经过第一级波形查找表，产生载波信号序列 U_c ，同样以调制频率控制字 K_Ω 经过第二级波形查找表，生调制信号序列 U_Ω ，输出数模转换的信号序列 U_{AM} 必是 U_c 、 U_Ω 、载波幅度控制字 A_c 和调制指数控制字 A_Ω 的函数运算结果。

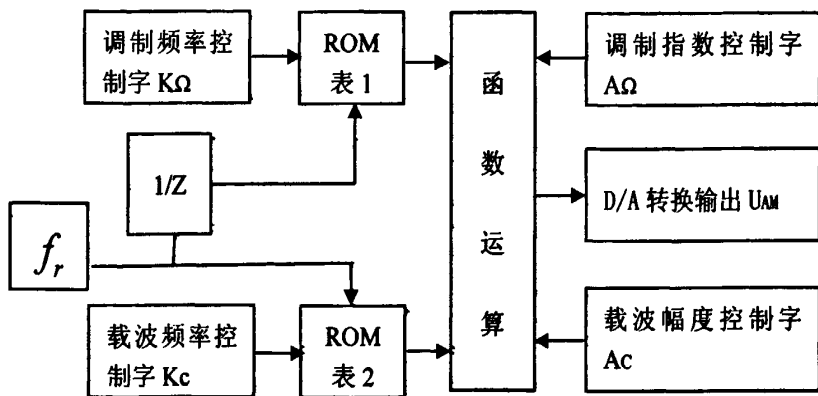


图4.21 DDS-AM原理图

幅度调制 (amplitude modulation, AM) 是指载波的幅度按照调制波幅度线性变化的调制方式。为了不失一般性, 我们下面用余弦信号来分析。

普通模拟调幅波的振幅定义是:

$$U(t) = U_{CM} + k_a U_{\Omega M} \cos \Omega t \quad (4.1)$$

其中 k_a 为比例常数, Ω 为调制波角频率。因此, 已调波可以用下式表示:

$$\begin{aligned} U_{AM}(t) &= (U_{CM} + k_a \cos \Omega t) \cos \omega t \\ &= U_{CM} (1 + m_a \cos \Omega t) \cos \omega t \end{aligned} \quad (4.2)$$

(4.2)式中 $m_a = k_a U_{\Omega M} / U_{CM}$ 为调制指数, 该指数通常都小于1, 最大等于1, ω 为载波角频率。

那么DDS调幅信号序列可以表示为:

$$U_{AM}(m, n) = U_{CM} (1 + m_a \cos(m)) \cos(n) \quad (4.3)$$

由于存储在调制波ROM和载波ROM中的都是相同幅度的波形量化序列, 因此有 $U_{CM} = U_{\Omega M} = U_M$, 因此有:

$$U_{AM}(m, n) = U_M (1 + k_a \cos(m)) \cos(n) \quad (4.4)$$

图4.22是根据式(4.4)实现的DDS调幅模块。其中模块的上半部分是产生调制波序列, 下半部分是产生载波序列。mclock是为调制波生成的调制时钟, 其时钟为5MHz, cclock是为载波生成的载波时钟, 其时钟为25MHz。仿真时其调幅指数为0.5, 因此在lpm_mult2中将调制波序列与2048相乘 (2048为DAC输出

最大幅度的一半），将相乘结果的低12位舍去，相当于调制波乘以一个小数，然后与2048相加，相当于式(4.4)中的 $1 \cdot U_M$ ，加法器输出的结果在0~4095之间，最后再将相加的结果与载波序列相乘，相乘结果舍掉低11位后转换为适合DAC的数据格式输出。

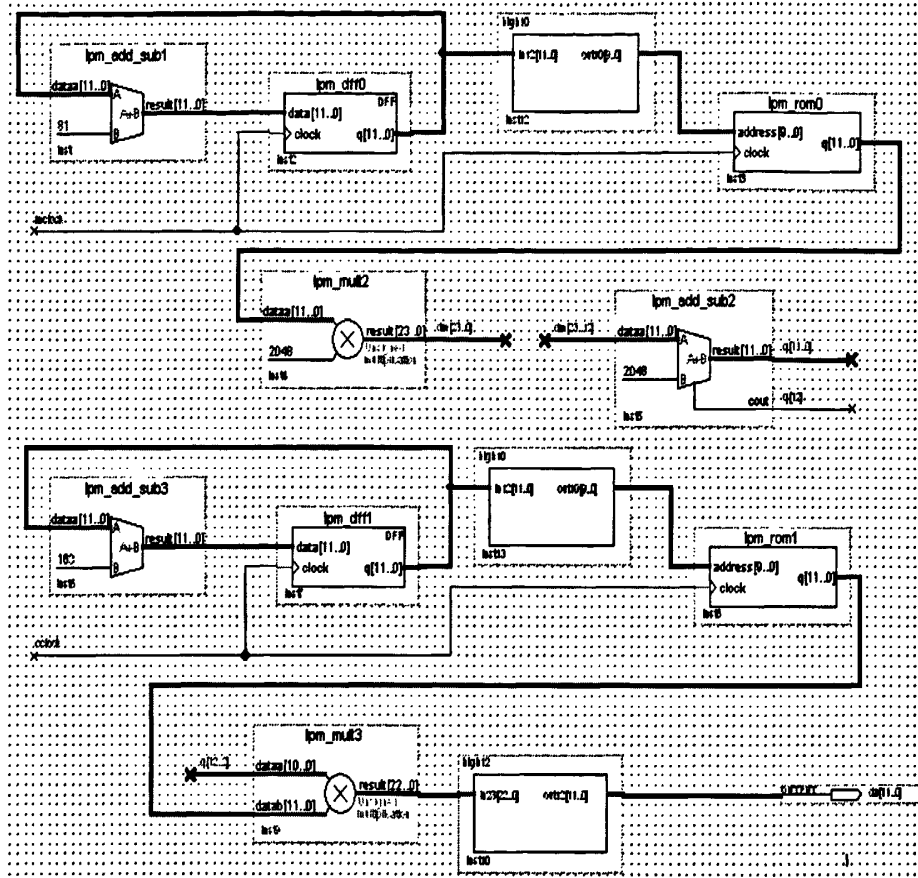


图4.22 DDS幅度调制 (AM)模块

通过以上的幅度调制理论的分析 and AM模块的建立，我们可以得到以下的AM调制波形，图4.23为载波为1MHz，调制波为100KHz，调制幅度为0.5的AM调制波。通过仿真可以验证DDS-AM模块建立的模型正确，可以加入到FPGA进行实际的AM波形产生。

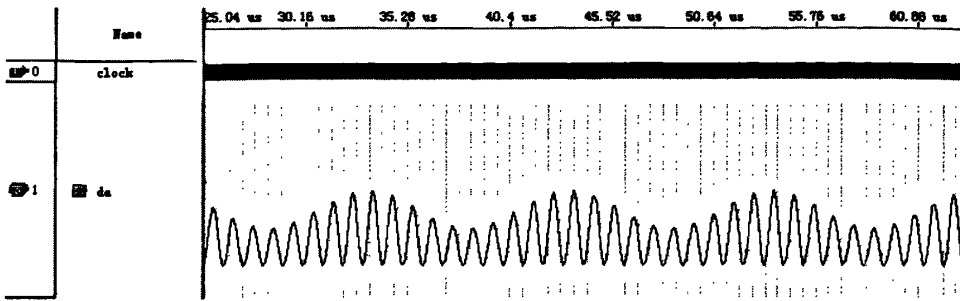


图4.23 DDS幅度调制(AM)仿真波形

4.3.2 频率调制(FM)

频率调制 (frequency modulation, FM) 是指载波的频率按照调制波幅度线性变化的调制方式。

模拟调频信号的瞬时角频率为：

$$\omega(t) = \omega_c + \Delta\omega = \omega_c + k_f u_{\Omega}(t) \quad (4.5)$$

其中 $u_{\Omega}(t) = U_{\Omega M} \cos \Omega t$ 为调制信号， k_f 为调频比例常数。那么调频最大角频偏为：

$$\Delta\omega_m = k_f U_{\Omega M} \quad (4.6)$$

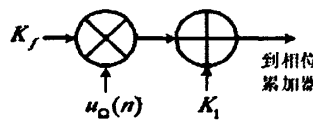


图4.24 DDS-FM简化结构框图

我们知道，DDS输出信号的频率跟其频率控制字息息相关，如果我们将调制波的幅度信号装载在频率字当中，那么就能实现DDS调频信号。我们假设载波频率控制字为 K_1 ，调制波序列为 $u_{\Omega}(n) = U_{\Omega M} \cos(n)$ ，调频指数控制字为 k_f ，如果按图4.24来设计，那么DDS输出端信号的瞬时频率为：

$$f_o(n) = \frac{K_1 + K_f \cdot u_{\Omega}(n)}{2^N} \cdot f_c \quad (4.7)$$

其中 f_c 为DDS参考时钟频率，N为DDS相位累加器位数。因此DDS调频信号的最大频偏为：

$$\Delta f_o = \frac{K_f \cdot U_{\Omega M}}{2^N} \cdot f_c$$

(4.8)

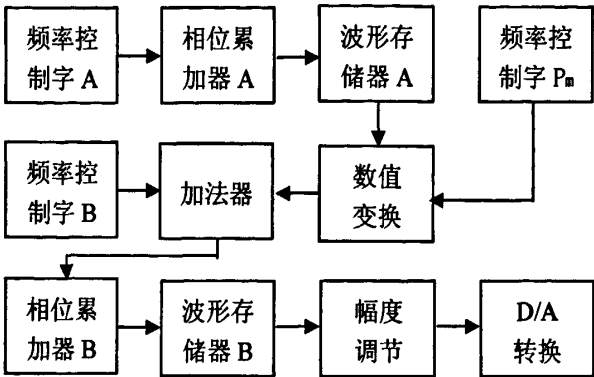


图4.25 DDS-FM原理框图

根据式(4.7)的理论推导得到如图 4.25 所示 DDS-FM 模块实现的原理框图^[25]。如图 4.25 所示，频率控制字 A 控制调制信号频率，B 控制载波的中心频率相位累加器，它由加法器和寄存器组成，整个系统中的组合逻辑都要用流水线结构，也就是把一个大的组合逻辑分解成若干小的组合逻辑与寄存器，以此来保证系统速度。总的调制原理就是，用周期变化的调制信号作用于控制载波频率的相位累加器 B 原本固定的步长，使总的步长产生周期性变化，实现载波频率在中心频率附近的周期变化，从而得到 FM 信号。

因此，只要按照图 4.25 的结构来设计 DDS 调频模块逻辑电路，就能得到 DDS 调频信号。图 4.26 为按照图 4.25 的结构来设计的 DDS 调频模块电路。仿真过程中对 100MHz 的系统时钟进行 50 分频得到 2MHz 的调制时钟信号。lpm_rom1 中存放 $y=x+1$ (x 为 lpm_rom1 的地址，y 为装载的频率控制字步进值) 的线性数据作为载波信号频率控制字的步进值以调制输出信号的频率。

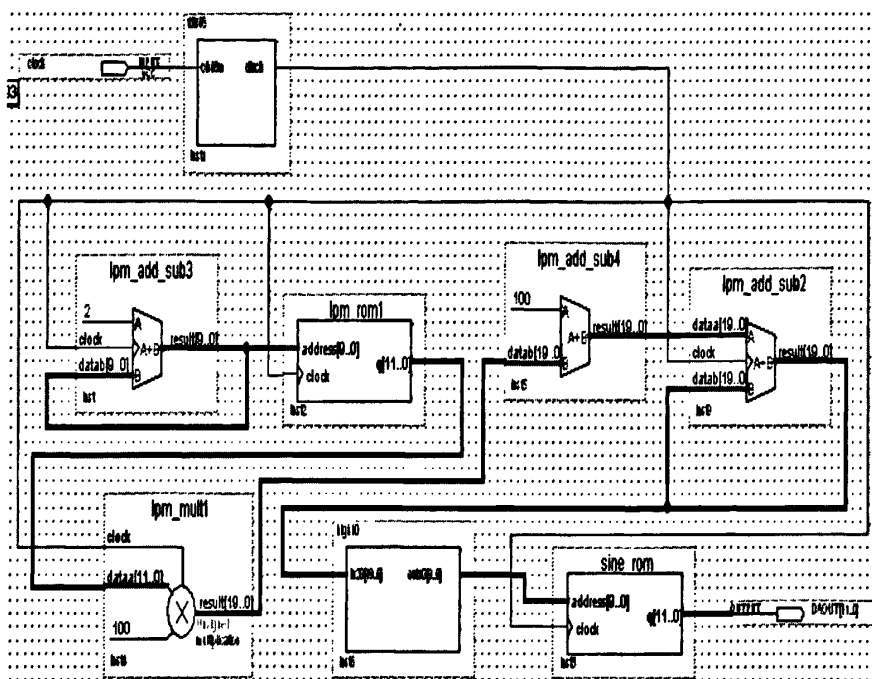


图 4.26 DDS-FM 模块图

通过以上的频率调制理论的分析 and FM 模块的建立，我们可以得到图 4.27 的 FM 仿真波形。通过仿真可以验证 DDS-FM 模块所建立的模型正确，可以加入到 FPGA 进行实际的 FM 波形产生。

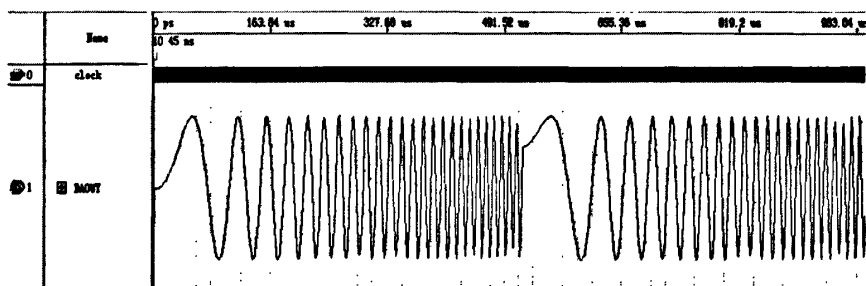


图 4.27 DDS 调幅调制(FM)仿真波形

4.3.3 数字调制

在数字调制方式中，有三种数字调制分别为振幅键控（ASK）、频移键控（FSK）、相移键控（PSK），下面分别说明这三种数字调制方式的在FPGA上的实现。

(1) ASK调制

ASK就是用二进制的数字信号去调制等幅的载波。即传“1”信号时，发送

载波，传“0”信号时，发送0电平。要实现ASK，只需要用二进制的数字信号与输出信号相乘即得到ASK信号。当数据选择器选择“1”时，与输出的载波信号相乘即得到正常输出的载波，当数据选择器选择“0”时，与载波信号相乘后输出端将输出0电平，从而在技术上实现ASK的数字调制。由此分析可得到如图4.28的DDS-ASK模块设计。

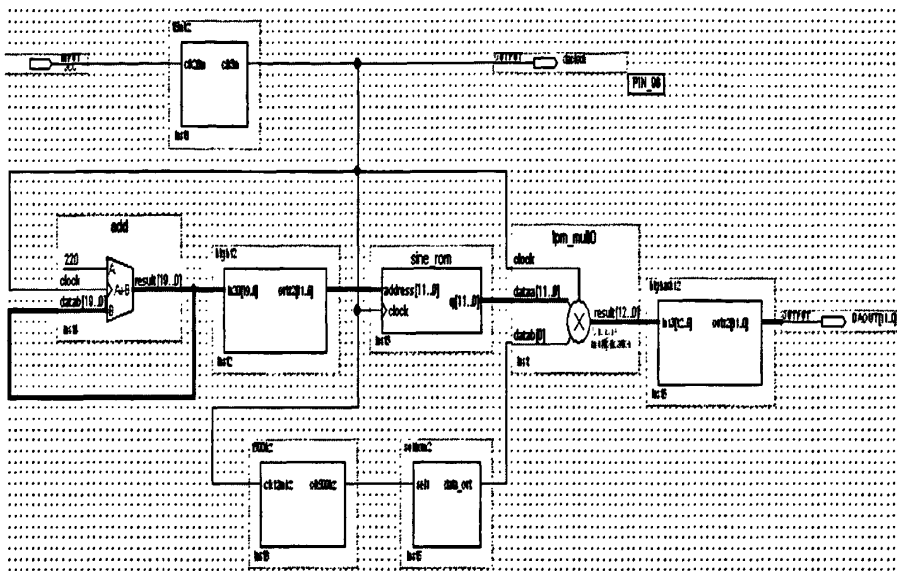


图4.28 DDS-ASK模块

根据图4.28构建的DDS-ASK模块得到的ASK调制信号如图4.29所示。其中DDS-ASK模块中载波输出的信号频率为20KHz，数据选择器selfrom2采用分频后的低频信号来模拟数据的“0”和“1”的选择。从图4.29可以看出ASK调制信号仿真波形输出的正确性，这为本文实现ASK调制信号提供基础。

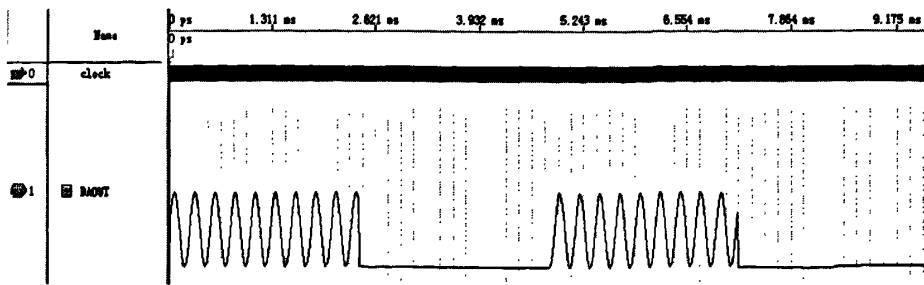


图4.29 DDS-ASK仿真波形

(2) FSK调制

FSK是指用二进制的数字信号去调制载波的频率，用两种不同的载波频率来

表示数字信号的“0”和“1”。

FSK 调制信号在 FPGA 中的实现框图如图 4.30 所示。

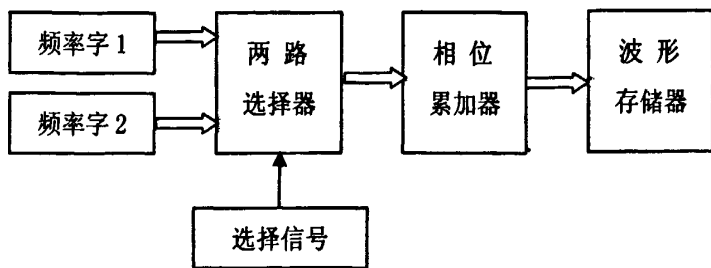


图 4.30 FSK 调制实现框图

在本文中，为了实现 FSK，需要将两个频率控制字分别存放在两个频率寄存器中，两个寄存器通过数据选择器将频率控制字传递给相位累加器，通过二进制信号来控制数据选择器的选择端来改变 DDS 的输出信号频率，例如选择端信号为“0”时，输出频率控制字 1 对应的频率，当选择信号为“1”时，输出频率控制字 2 对应的频率，从而实现了 FSK。

根据图 4.30 的 FSK 调制实现框图构建 DDS-FSK 模块，如图 4.31 所示。

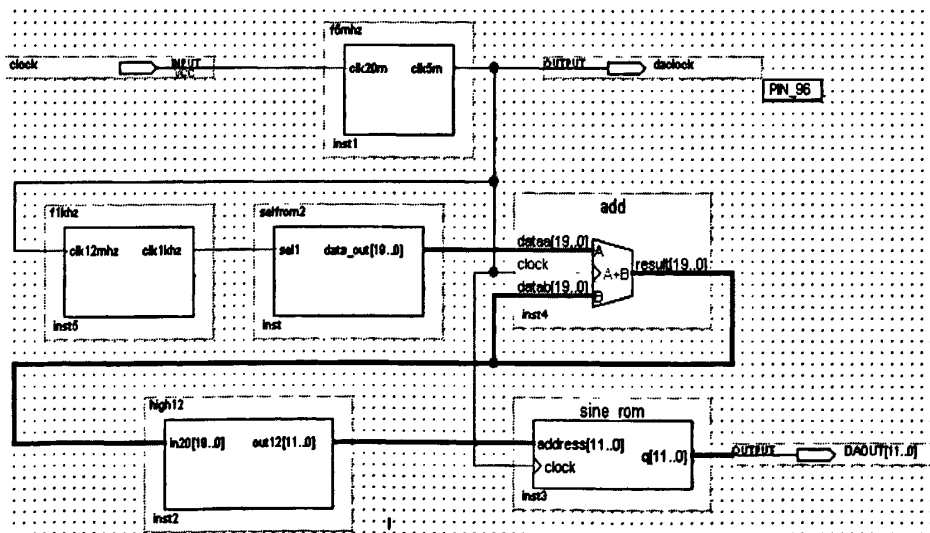


图 4.31 DDS-FSK 模块

根据图4.31构建的DDS-FSK模块得到的FSK调制信号如图4.32所示。其中 DDS-FSK 模块中载波输出两个信号频率分别为2KHz和3KHz，数据选择器 selfrom2采用分频后的低频信号来在两个频率控制字K1与K2之间进行选择，从而达到两个频率信号交替输出的目的。从图4.32可以看出FSK调制信号仿真波形输出的正确性，这为本文实现FSK调制信号提供基础。

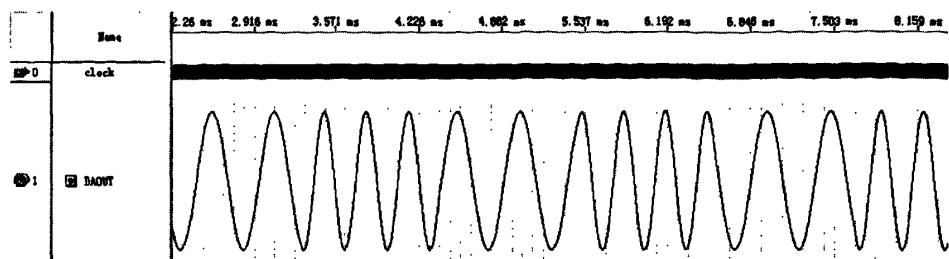


图 4.32 DDS-FSK 仿真波形

(3) PSK调制

PSK是二进制的数字信号去调制的载波的初始相位，用载波不同的初始相位来表示数字信号的“0”和“1”。

PSK调制信号在FPGA中的实现框图如图4.33所示。

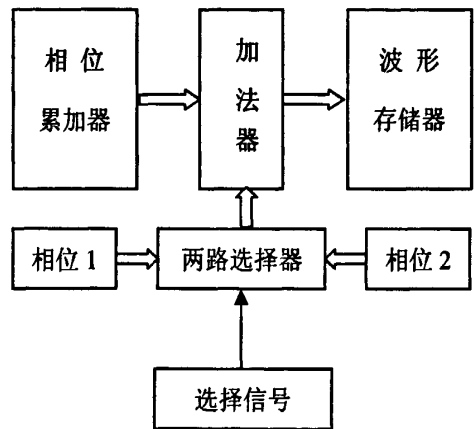


图4.33 PSK调制实现框图

根据图 4.33 构建的 DDS-PSK 模块，如图 4.34 所示。在图 4.34 中，为了实现 PSK，需要在相位累加器的输出端添加一个加法器 lpm_add，加法器的输入端 datab[19..0]为 PSK 信号的两个初始相位之一，通过二进制信号来控制数据选择器的选择端来改变 DDS 输出信号的初始相位，从而实现 PSK。得到的 PSK 调制信号如图 4.35 所示。

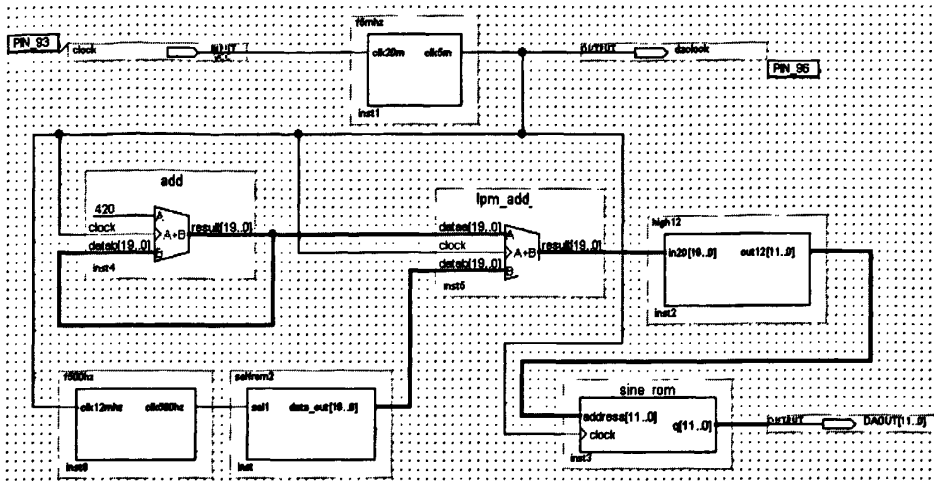


图 4.34 DDS-PSK 模块

图 4.34 构建的 DDS-PSK 模块中载波的频率为 2KHz，selfrom2 通过分频得到低频信号作为两个初始相位选择信号，模块中选择两个初始相位相差为 90 度，从图 4.35 的 DDS-PSK 仿真波形中可以看出相位相差 90 度交替变换，说明 DDS-PSK 模块构建成功，这为 FPGA 实现 PSK 的数字信号调制提供正确的软核。

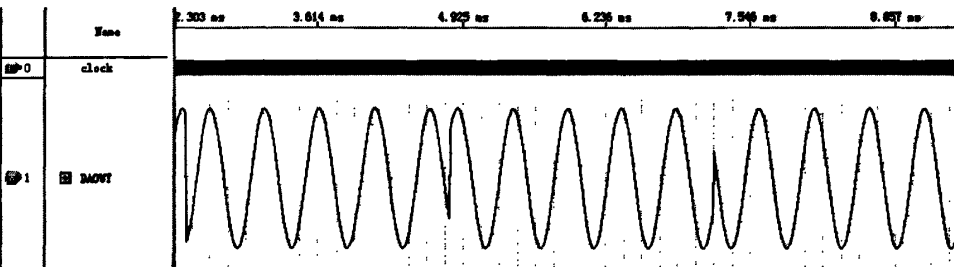


图 4.35 DDS-PSK 仿真波形

4.4 本章小结

本章简单介绍了本文使用的FPGA(EP1C3T144C8)的资源 and 特性以及FPGA 的开发平台Quartus II 7.2设计流程，然后具体阐述了任意波形发生器的FPGA实现，包括任意波形发生器控制模块设计与仿真、一级流水线累加器模块设计与仿真、系统时钟模块设计与仿真、提取高位数据模块设计与仿真。通过对以上的设计模块进行组合构建任意波形发生器的DDS内核，从而产生任意波形（正弦波、三角波、方波、平方根、锯齿波、对数函数、指数函数、半圆函数、Sa函数、噪声等）。同时DDS任意波形发生器还包括了调制波形(AM、FM、FSK、PSK、ASK)的设计与仿真，从而为真正实现任意波形发生器提供了正确软核。

第五章 任意波形发生器的软件设计

基于DDS的任意波形发生器的软件部分按层次可以划分为硬件底层驱动程序、功能模块程序和应用程序三个部分，如图5.1所示。

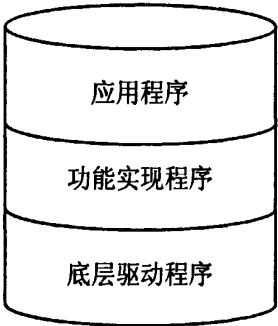


图5.1 系统软件结构

5.1 基于硬件的底层驱动程序设计

底层驱动程序是为了保证芯片能够正常工作而编制的对芯片进行配置操作的程序。这些程序一般来说结构比较简单，主要是为了设置芯片的工作参数和模式。一般来说这些程序，单个并不能完成某一项功能，但是每一项功能都是由这些底层驱动组合而成的。底层驱动程序为上层应用提供平台。本文中基于硬件的底层驱动包括LCD液晶驱动、矩阵键盘驱动、AD9954驱动、FPGA驱动、串口驱动等。

5.1.1 AD9954驱动程序

作为专用的DDS芯片，AD9954的驱动程序^[26]参考AD9954的技术文档进行编写。AD9954的驱动程序包括初始化程序、读写寄存器程序、更新寄存器程序等。

- (1) 初始化函数：void AD9954_Init(void)。
- (2) 读写寄存器函数：void AD9954_Read_Write (unsigned char addr, unsigned char *buf, unsigned char num, unsigned char rw)，其中unsigned char addr 为寄存器地址；unsigned char *buf 为指向读回数据的指针；unsigned char num读回的数据长度字节；unsigned char rw为读写选择，1为读，0为写。
- (3) 更新寄存器函数： void AD9954_UpDate(void)。

5.1.2 LCD驱动程序

LCD作为显示人机交互的界面,需要由底层的LCD驱动程序作为基础才能实现,其主要的驱动程序函数有以下几个:

- (1) 写指令函数: void WriteInstruction (uchar cmd), 其中uchar cmd 为写入的指令。
- (2) 写数据函数: void WriteData (uchar dat), 其中uchar dat为写入的数据。
- (3) LCD初始化函数: void LCDInit (void)。
- (4) 数据显示坐标函数: void ShowGroup (uchar x, uchar y, uchar *p), 其中uchar x为列; uchar y为行; uchar *p为写入的数据指针。

5.1.3 矩阵键盘驱动程序

矩阵键盘作为人机交互的输入平台,同样需要先由矩阵键盘驱动程序来为上层应用提供服务。矩阵键盘主要的驱动程序函数有以下几个:

- (1) 矩阵键盘扫描函数: unsigned char kscan (void), 通过键盘扫描来返回键盘编码,从而达到识别键盘的目的。
- (2) 矩阵键盘处理函数: void keyprocess(void), 通过键盘处理程序来为上层的功能应用提供过程调用。

5.1.4 FPGA驱动程序

FPGA作为任意波形发生器的主要芯片,需要由MCU来控制FPGA以达到输入波形的选择、频率的设置、相位的设置等要求,因此需要编写微控制器的FPGA驱动程序。其主要函数有:

- (1) 频率参数设置函数: void Set_Freq (uint32 freq), 其中频率控制字为32位,所以采用uint32 freq 参数作为频率控制字参数。
- (2) 相位参数设置函数: void Set_Phase(uint32 phase), 其中相位控制字为32位,所以采用uint32 phase参数作为相位控制字参数。
- (3) 波形选择函数: void Wave_Select(uchar wave), 其中uchar wave参数可以作为波形的选择参数。

5.1.5 串口通信驱动程序

串口作为上位机与下位机通信的接口,其驱动程序极其重要,串口通信驱动

程序为上位机与下位机进行通信提供初始化和接口函数。其中串口通信驱动程序主要函数有：

- (1) 串口初始化函数：`void Uart_Init (unsigned char baudrate)`，其中参数 `unsigned char baudrate` 为设置串口通信的波特率。
- (2) 串口发送数据函数：`void SendData(unsigned char data)`，其中参数 `unsigned char data` 为发送的字节数据。
- (3) 串口接收数据函数：`unsigned char ReceiveData (unsigned char *buf)`，其中参数 `unsigned char *buf` 为接收的字节缓冲区，返回值为 `unsigned char` 类型值。

5.2 基于功能实现的系统软件设计

基于功能实现的软件是在底层驱动程序的基础上，对已有的底层驱动进行一定的组合和构造，从而完成整个系统的功能设计。设计中使用了德国Keil软件公司的集成开发环境Keil uVision3来开发基于MCU的功能实现软件程序，程序语言为C51语言。本文主要由两个功能模块实现任意波形发生器：一个是专用DDS芯片产生主输出波形功能模块；另一个是FPGA产生任意波形功能模块，在功能软件设计的时候提供统一的接口，这样将大大方便任意波形发生器软件的设计。上一节所述的底层驱动程序都是为这两个功能模块提供接口，使得整个系统的软件设计层次分明，便于调试、修改、和完善系统功能。

下位机系统功能设计程序流程图如图5.2所示。首先对微控制器及其外围设备进行初始化设置，把软硬件环境带到一个合适的状态，接下来通过按键选择进入不同模式，若选择波形，则进入波形频率、波形相位、波形单位的数据输入状态，输入数据送到LCD显示出来，并作为当前波形的频率、相位、单位输出值。按下数据发送键，频率值转换成频率控制字和相位值转换成相位控制字传输到FPGA的控制模块或AD9954功能模块，如需更改参数可以按下矩阵键盘的清除键重新选择波形，输入波形频率、相位、单位等参数值。

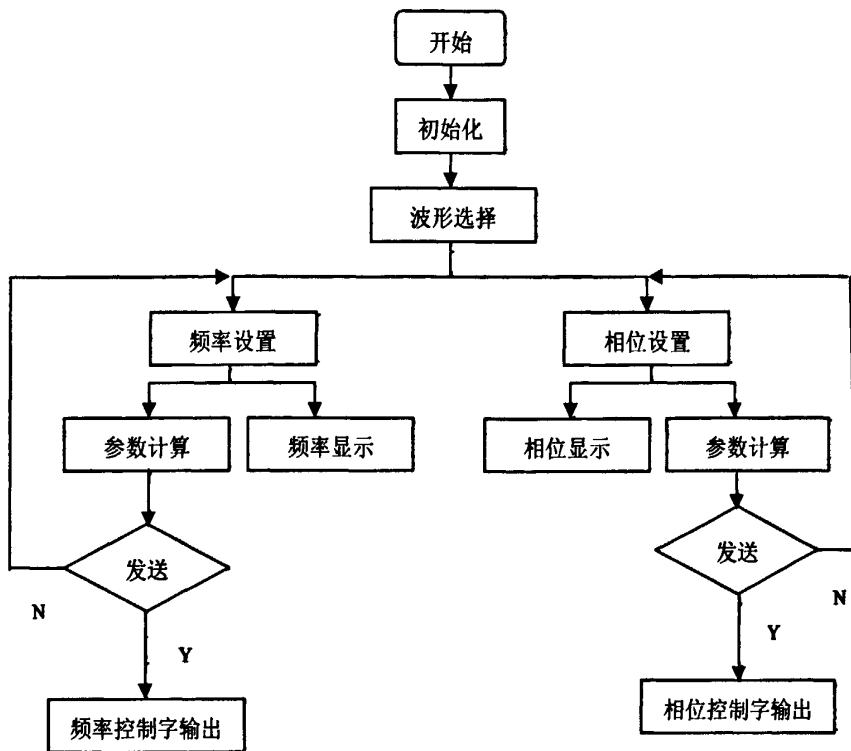


图5.2 下位机系统功能设计程序流程

5.3 应用程序设计

基于用户界面应用程序设计是指上位机软件界面的设计，上位机软件将为任意波形发生器系统提供一个虚拟平台，本文使用Visual C++ 6.0在PC机开发了一套虚拟仪器操作软件，实际上也是生成任意波形数据的操作界面，用户既可以在操作界面上设置输出波形的种类和波形参数，也可以手动绘制任意波形和生成任意波形数据文件，同时将虚拟平台中设定的波形频率、相位、单位、波形选择等参数发送到下位机并在下位机的LCD显示同步显示，从而为操作任意波形发生器提供一个良好的人机交互界面。

本文设计的任意波形发生器软件界面如图5.3所示。用户先对输出的波形进行选择，如果选择的波形是任意波形，则要绘制任意波形然后生成任意波形数据和发送任意波形数据到下位机FPGA的RAM中，然后设置任意波形的参数并且发送参数，这样就可以产生任意波形；如果选择常规波形，则不需要绘制任意波形，直接读取存储在ROM里面的常规波形数据即可，同样的，也需要选择输出常规波形的参数并且发送参数，这样就可以产生预定义的常规波形。

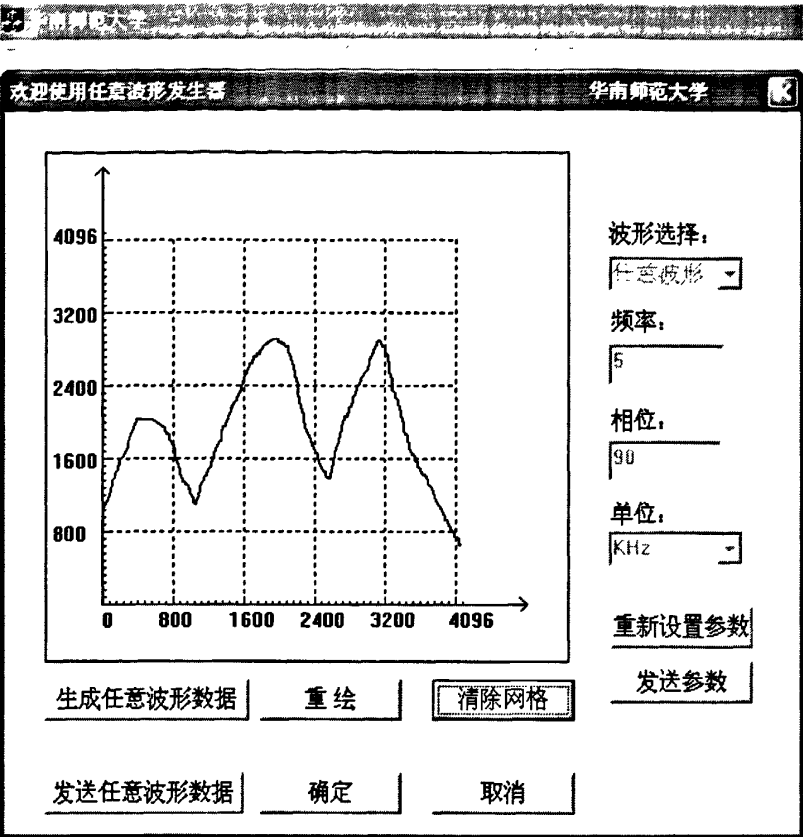


图5.3 任意波形发生器上位机软件界面

上位机用户软件界面程序流程图如图5.4所示。

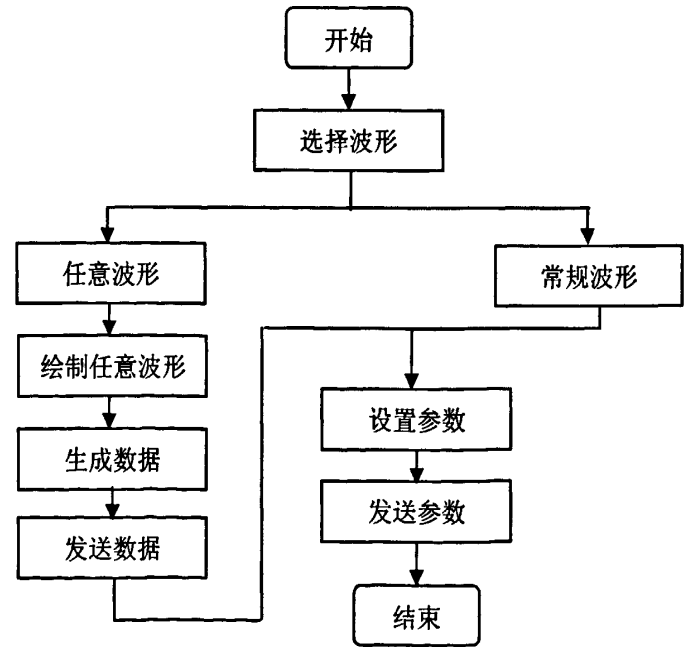


图5.4 上位机用户界面程序流程图

上位机发送指令到下位机,控制任意波形发生器需要有一套完善的通信协议才能达到控制的目的,下位机的MCU程序要能够解析相应的上位机发送数据的帧格式数据,才能达到上位机与下位机有效通信的目的,因此本文制定了如表5-1所示的上位机与下位机参数设置通信协议的帧格式。

表5-1 上位机与下位机参数设置通信协议帧格式

开始	波形选择	频率	相位	单位
1Byte	1Byte	4Bytes	4Bytes	1Byte

上位机与下位机MCU通信采用串口通信,在任意波形发生器上位机软件中采用VC++6.0提供的MSComm控件^[27]来通过串行端口发送和接收数据,为应用程序提供串行通信功能。

设计上位机用户软件时需要注意以下两点:

(1) 量化波形数据

因为波形数据最终是要存放到硬件系统的波形存储器中,因此波形数据的生成必须考虑到波形存储器的设计。本文设计中将波形存储器的存储深度设计为4096个单元,因此波形一个周期的采样点数为4096个。每个单元的字长是12bits,因此将任意波形的幅度量化成0~4095的无符号整数。

(2) 绘制任意波形数据

用鼠标绘制波形时,将波形窗口作为绘图区,手工绘图过程中,可以拖动在绘图区域的光标进行绘图,但由于鼠标的响应有一定的时间间隔,因此鼠标画出的点不是一个连续的曲线,而是一组离散的点,相邻离散点之间的离散间隔是不等的,这跟光标的移动速度有关。由于得到的只是一些离散点,还有许多波形点没有赋值,这样就要在相邻离散点之间采用插值的方法计算那些空缺点的幅值。由于相邻离散点间的间距比较小,于是可以采用线性插值法,设计结果证明,采用线性插值法计算出来的波形是比较光滑的,如图5.3所示是手工绘制的一个任意波形。

第六章 系统性能测试

在系统软硬件调试完成以后，根据设计指标对系统的性能进行了测试。

测试仪器：泰克TDS1012数字存储示波器，数字万用表。其中TDS1012为双通道数字存储示波器，带宽100MHz，采样率为1GS/s。本文设计最高输出频率为50MHz，因此TDS1012完全能满足测试要求。图6.1是任意波形发生器开发平台实物图：

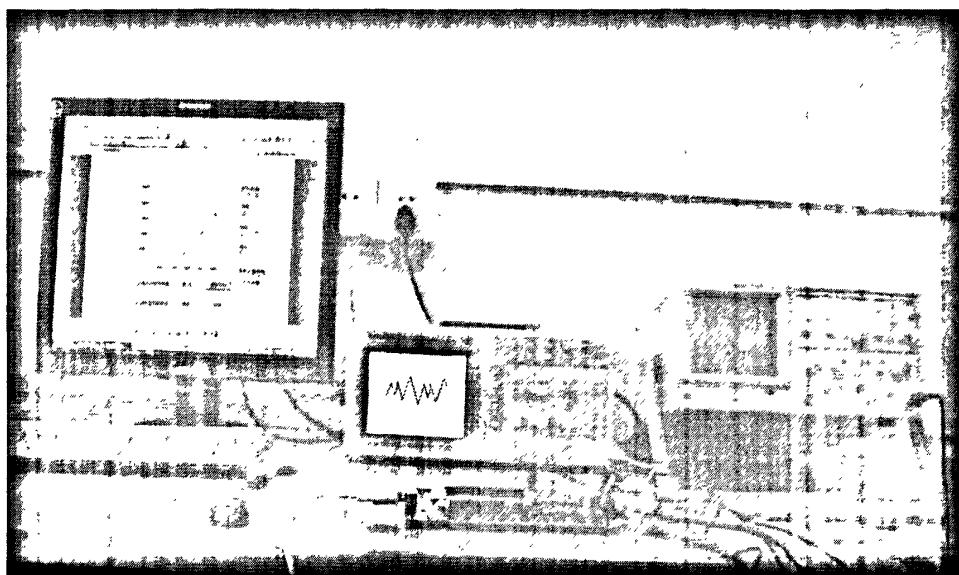


图6.1 任意波形发生器开发平台

下面结合实验数据分析任意波形发生器输出信号的指标：

(1) 频率分辨率

在实现DDS时，我们设计的相位累加器位数为32位，系统参考时钟为100MHz，在理论上能达到的频率分辨率为24mHz，实测频率分辨率能达到30mHz。

(2) 输出频率范围

考虑到滤波器设置带宽的问题和为了使输出波形具有良好的形状，本文设计的专用DDS芯片的主输出波形最高频率为50MHz，FPGA设计的DDS输出的任意波形最高频率为5MHz。测试表明，本文设计的任意波形发生器在输出50MHz正弦信号时仍能保持比较好的波形形状；对于方波，输出频率达到1MHz时已经出

现了明显的过冲现象。

(3) 频率准确度

频率准确度的测量是根据波形发生器的设定频率 f_o ，实测频率 f_x ，根据公式：

$$a = \left| \frac{f_x - f_o}{f_o} \right|$$

(6.1)

计算得到的。具体测量数据如表6-1和表6-2所示。其中表6-1为通道一使用DDS(AD9954)输出主波形(正弦波)频率准确度测量数据，表6-2为通道二使用FPGA构建DDS内核输出的任意波形频率准确度测量数据。从表6-1和表6-2可以看出，无论是主输出波形还是任意波形，其频率准确度都 $\leq 0.005\%$ 。

表6-1 主波形（正弦波）频率准确度测量数据

设定频率 (Hz)	实测频率 (Hz)	频率准确度	设定频率 (Hz)	实测频率 (Hz)	频率准确度
1K	999.998	0.0002%	500K	499.998K	0.0004%
2K	1.99999K	0.0005%	1M	999.995K	0.0005%
10K	9.99998K	0.0002%	5M	4.9998M	0.004%
50K	49.99998K	0.00004%	10M	9.99995M	0.0005%
100K	99.9996K	0.0004%	50M	49.9996M	0.0008%

表6-2 任意波形频率准确度测量数据

设定频率 (Hz)	实测频率 (Hz)	频率准确度	设定频率 (Hz)	实测频率 (Hz)	频率准确度
100	99.9969	0.003%	20K	20.0002K	0.001%
500	500.001	0.0002%	100K	100.001K	0.001%
1K	1.00000K	0%	500K	500.004K	0.0008%
5K	5.00004K	0.0008%	1M	1.00001M	0.001%
10K	10.0001K	0.001%	5M	5.00001M	0.0002%

(4) 负载能力测试方法

在波形发生器的输出端接上50Ω的负载电阻，观察输出信号的幅度是否出现较大变化。设置空载时输出信号峰峰值为5V，接上50Ω负载时输出信号峰峰值仍有5V，满足设计要求。

(5) 输出信号幅度

由于放大电路的运算放大器采用±5V供电电压，因此波形发生器的输出信号电压范围在-3V~+3V之间，最小输出电压为±30mV，经过测试满足要求。

(6) 直流偏置

经过测试，直流偏置在 $-1.4\text{V} \sim +1.4\text{V}$ 之间以约 30mV 为步进可调。

(7) 波形产生能力

以下所有实验结果均取自泰克数字存储示波器TDS1012的显示界面。

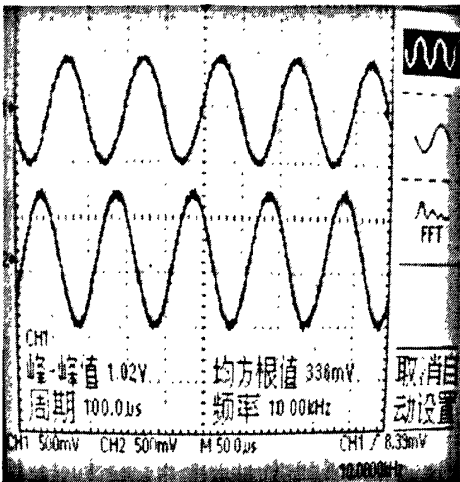


图6.2 双通道 10KHz 正弦波

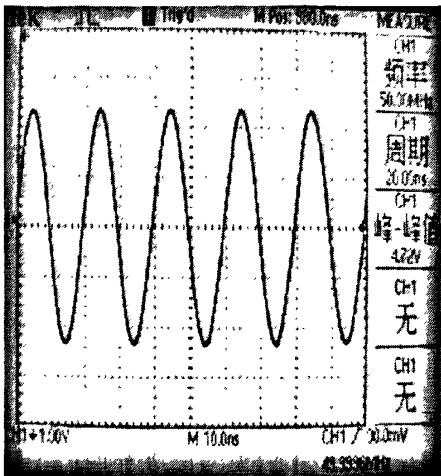


图6.3 50MHz 正弦波

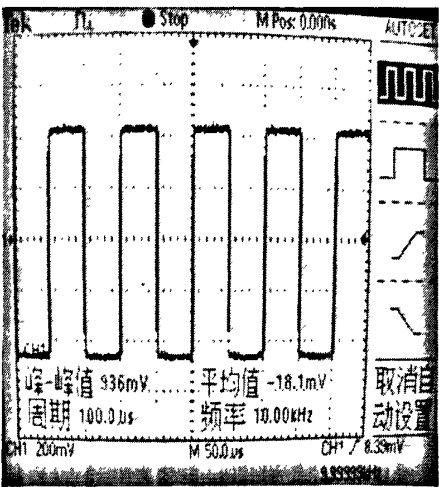


图6.4 10KHz 方波

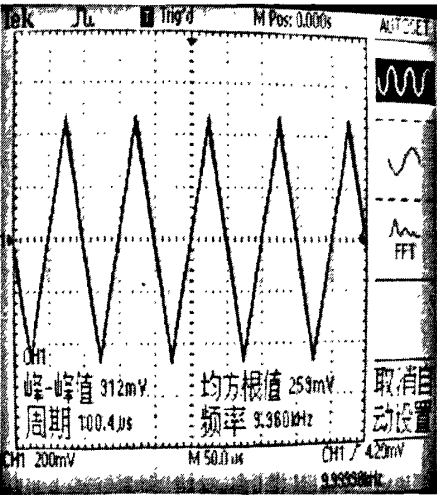


图6.5 10KHz 三角波

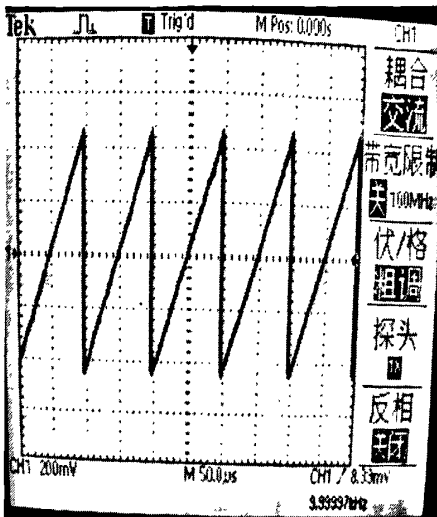


图6.6 10KHz 升锯齿波

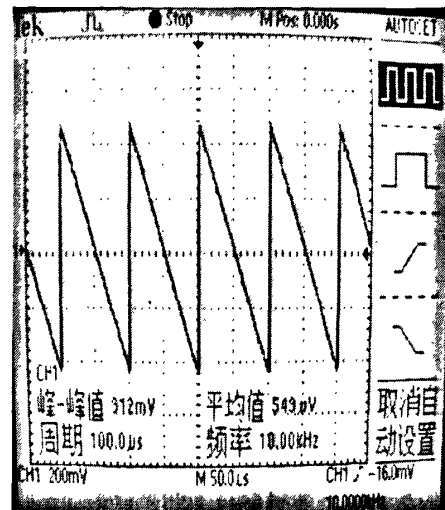


图6.7 10KHz 降锯齿波

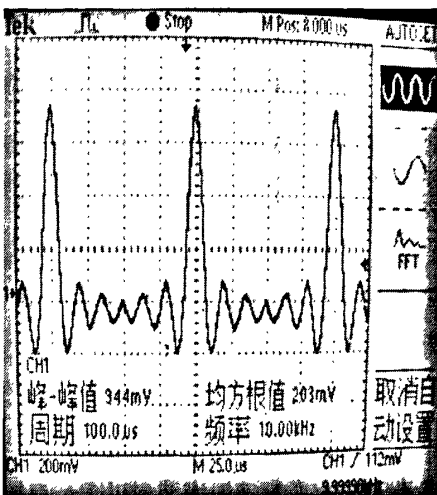


图6.8 10KHz Sa函数波

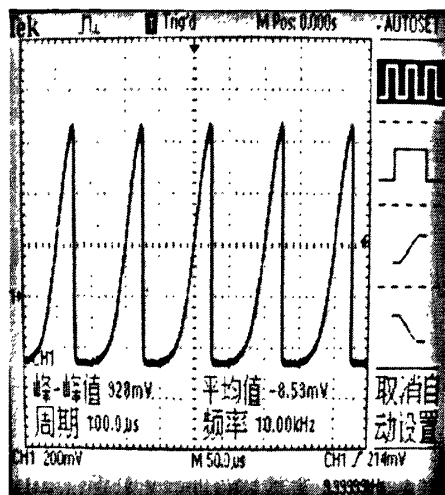


图6.9 10KHz 指数波

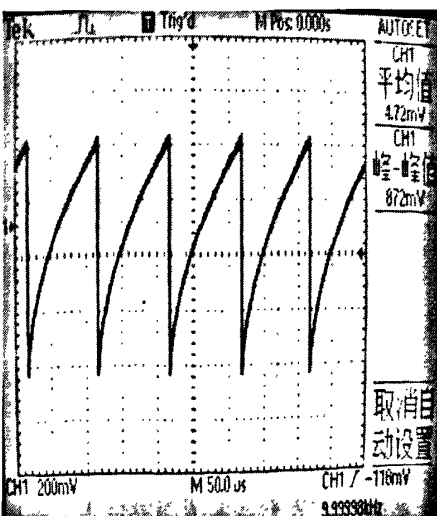


图6.10 10KHz 平方根函数波

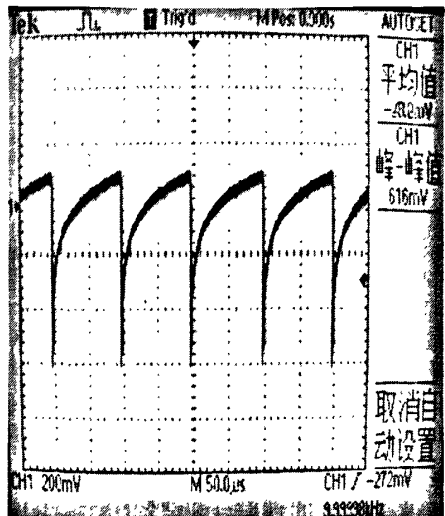


图6.11 10KHz 对数函数波

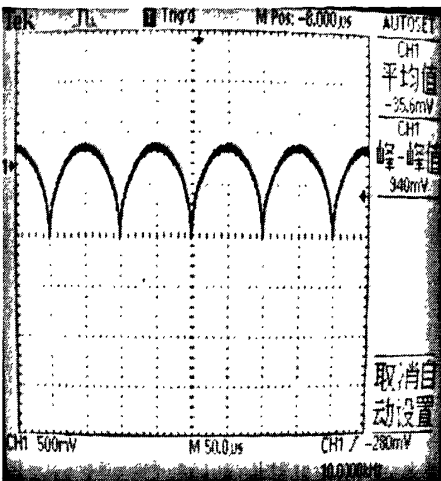


图6.12 10KHz 半圆函数波

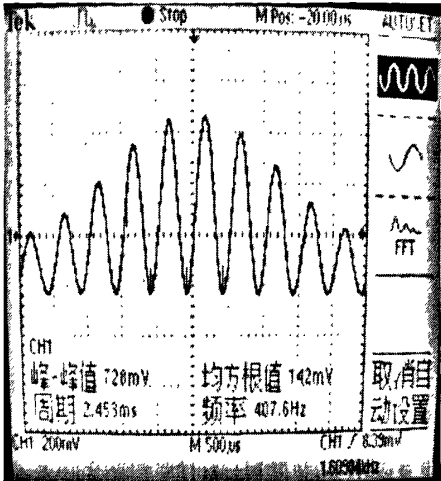


图6.13 调制指数为0.5的调幅波
载波为2KHz正弦波
调制波200Hz正弦波

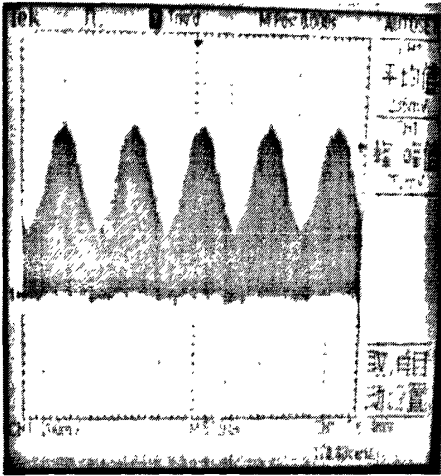


图6.14 调制指数为0.5的调幅波
载波为1MHz正弦波
调制波10KHz正弦波

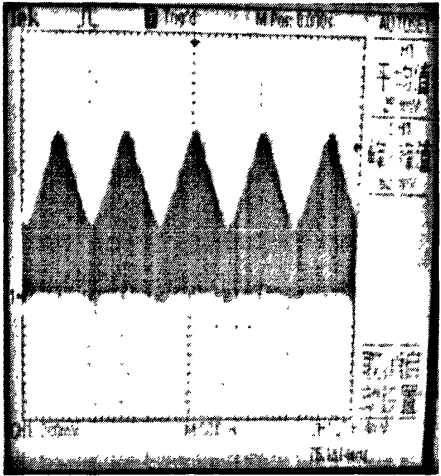


图6.15 调制指数为0.5的调幅波
载波为1MHz正弦波
调制波10KHz三角波

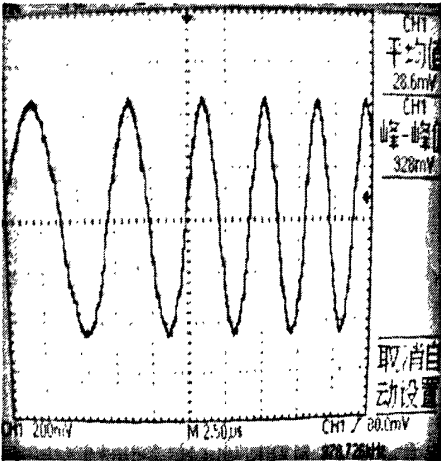


图6.16 调频信号(FM)

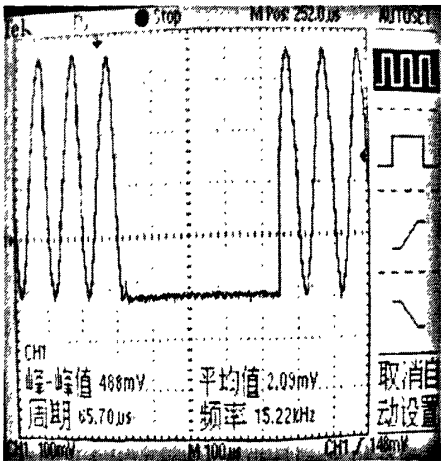


图6.17 ASK信号

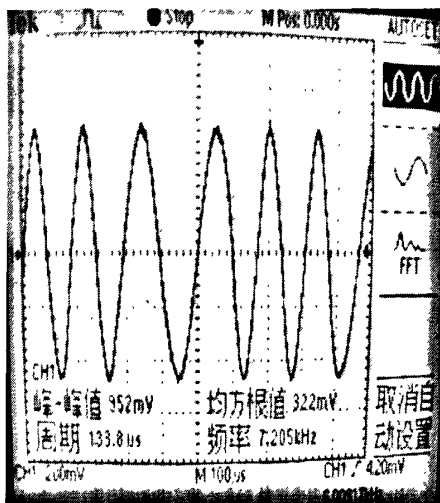


图6.18 FSK信号

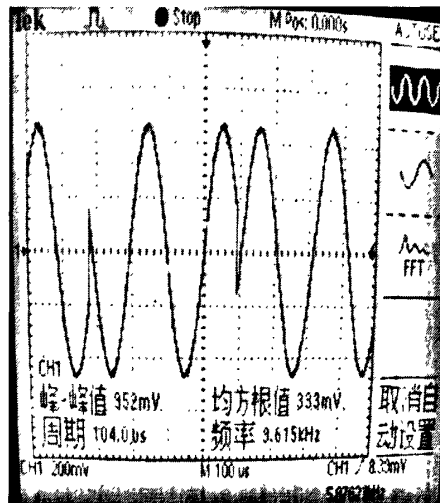


图6.19 PSK信号

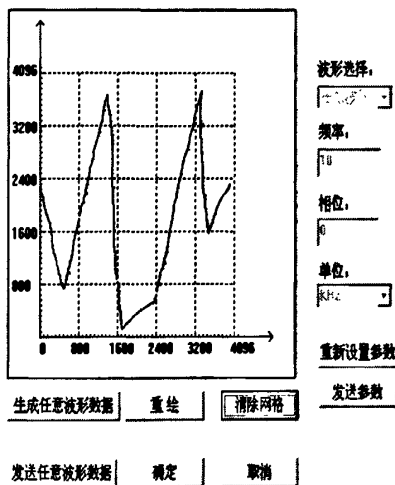


图6.20 绘制的任意波形(a)

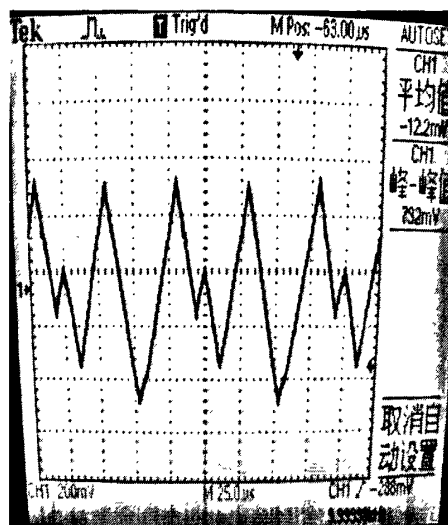


图6.21 10KHz 任意波形(a)

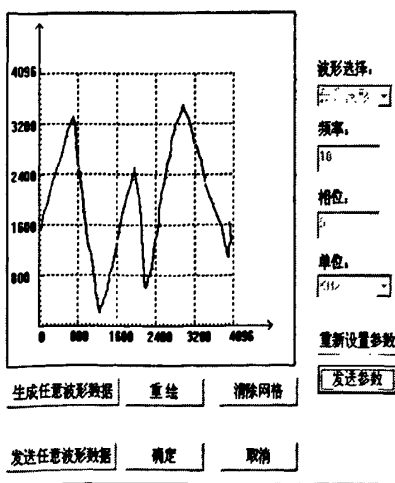


图6.22 绘制的任意波形(b)

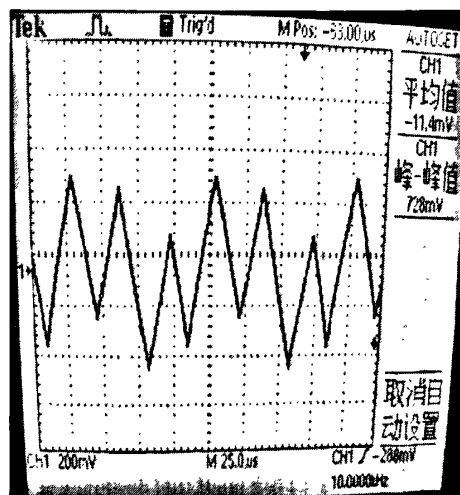


图6.23 10KHz 任意波形(b)

第七章 结论与展望

本论文以FPGA、MCU、DDS芯片为核心硬件,设计和实现了基于DDS的任意波形发生器。经过了将近一年的研究与实践,已经基本完成了预定的设计任务,主要完成了以下工作:

(1) 深入学习了DDS的基本结构、工作原理,比较全面地分析了DDS输出频谱杂散的主要来源:相位截断误差、幅度量化误差、以及DAC的非线性误差,并通过增大有效波形存储容量、修改频率控制字、引入抖动注入技术来改善DDS输出信号频谱纯度;

(2) 完成了基于DDS的任意波形发生器的硬件电路设计,包括核心系统电路设计,滤波器电路设计、放大和衰减电路和直流偏置电路的设计,在设计PCB时,充分考虑了信号完整性要求;

(3) 以Quartus II 7.2为设计平台,利用高性价比的Cyclone系列芯片EP1C3T144C8完成了DDS数字部分的逻辑设计,能够合成各种标准波形及任意波形,并且实现了调幅、调频及多种数字方式的调制,并将DDS杂散抑制技术引入到设计中。在设计中采用了数字方式实现调幅,省去了外部调幅电路,因此大大节省了芯片和面积,简化了系统设计的复杂度,提高了系统的稳定性和可靠性;

(4) 研究了RS232接口电路及PC机与MCU通信协议的制定和实现,实现了任意波发生器硬件平台与PC机的通信,开发了虚拟平台软件通过串口来控制任意波形发生器来产生任意波形;

(5) 以Visual C++6.0为设计平台,开发了界面风格良好的任意波形发生器的应用程序,用户可以在应用程序操作面板手动绘制任意波形并生成任意波形数据,通过设置波形参数,自动控制硬件系统产生任意波形,并能够将任意波形参数同步显示在下位机液晶屏上。

通过测试,本文设计的任意波形发生器达到设计要求,充分体现了任意波形发生器的“任意性”和高频率准确度,使本文开发的任意波形发生器具有可扩展、独立性与虚拟性等优点。

在研究的过程中,通过学习和参阅国内外相关的文献,并从网络上获取最新的硬件开发指南和芯片开发手册,同时还向导师请教了关键技术问题,通过系统

的学习和实际工作的锻炼,积累了必要的基础知识,培养了实际的开发技能。通过本文工作,基本掌握了DDS技术、FPGA构建DDS技术以及驱动程序编写、通信协议制定的技术和应用程序开发的技术。加深了对数字信号处理技术的理解,提高了使用可编程逻辑器件设计数字系统的能力和软件编程的能力,为将来从事科研工作打下了良好的基础。

由于时间和能力的限制,本文设计的任意波形发生器还是存有不足之处,在以下几个方面还需要做进一步的改进:

(1) 上位机软件绘制任意波形数据和生成任意波形数据的算法可以加以改进,使得绘制的任意波形数据和输出的任意波形数据更加逼近。

(2) 本文后级的放大电路和直流偏置电路中使用的运放供电电压为 $\pm 5V$,这限制了信号的输出幅度,若能换成供电电压为 $\pm 15V$ 的运放,可以将输出信号的幅度提高到 $12V$;

(3) 波形输出频率范围较广,如果能在后级设计中利用数字滤波芯片设计出截止频率可调的滤波器进行分段滤波,将可以进一步改善信号的杂散;

(4) 可以进一步完善上位机和下位机的软件功能,如在下位机操作时给出操作提示界面,使得操作更加容易,同时键盘输入中加入小数点功能,这将使得输入的频率和相位值更加精确。上位机可以扩展功能使得上位机软件成为一个优秀的虚拟仪器软件。

尽管本文设计的任意波形发生器存在着不足,但是,它采用DDS技术来实现任意波形发生器的设计思想是完全可行的,所采用的核心技术与国内外产品相同,如果能在在此基础上经过进一步完善,可以成为一个很好的产品。

参考文献

- [1] 张学峰, 胡长江. 功能各异的各种任意波形发生器[J]. 国外电子测量技术, 2000: 17-18.
- [2] 刘志宇. 基于FPGA的双通道波形发生器[D]. 哈尔滨理工大学工学硕士学位论文. 2008: 2-4.
- [3] 毛敏. 基于DDS的高精度方波信号发生器的研究[D]. 西安电子科技大学工学硕士学位论文. 2006: 5-6.
- [4] 张有正等著. 频率合成技术[M]. 北京: 人民邮电出版社. 1984: 1-33.
- [5] Donald C.Larson. High Speed Direct Digital Synthesis Techniques and Application.IEEE. 1998: 209-212.
- [6] 胡立坚. 基于DDS的任意波形发生器设计与研究[D]. 西安电子科技大学工学硕士学位论文. 2009.
- [7] 高望. 直接数字频率合成技术及其频谱分析[D]. 南京理工大学硕士学位论文. 2002: 13-20.
- [8] H.T.Nicholas, H.Samueli.An analysis of the output spectrum of Direct Digital Frequency Synthesizers in the presence of phase-accumulator truncation.IEEE Proc 41st AFCS,1987: 495-502.
- [9] V.S.Reinhardt.Spur reduction techniques in direct digital synthesizers. IEEE Proc 47th AFCS,1993: 230-241.
- [10] J.Vankka.Spur reduction techniques in sine output direct digital synthesis.IEEEProc 50th AFCS,1996: 951-959.
- [11] AD9954 DATA SHEET : Analog Devices ,Inc. 2007.
- [12] Cyclone FPGA Family Programmable Logic Device: Altera Corporation. 2003.
- [13] Configuration Handbook,Volume 2: Altera Corporation July 2004.
- [14] 12-bit 125MSPS TxDAC D/A Converter AD9762,2000.
- [15] STC89C51RC/RD+系列单片机中文指南: 宏晶科技(深圳). 2005.
- [16] 周鹏, 田书林, 刘科.直接数字频率合成信号的滤波处理[J]. 测控技术. 2004(23卷): 14-16.

- [17] 阿瑟·B·威廉斯[美]. 榆春轩等译. 电子滤波器设计手册[M]. 北京: 电子工业出版社. 1986: 1-138.
- [18] 森荣二[日]. LC滤波器设计与制作[M]. 薛培鼎译. 北京: 科学出版社. 2006: 1-118.
- [19] Analog Devices.AD8009 1GHz, 5,500V/us Low Distortion Amplifier. www.analog.com.2005: 1-14.
- [20] Intersil Corporation.X9C10X Digitally Controlled Potentiometer. www.intersil.com. 2006: 1-9.
- [21] ICL7660 DataSheet : Intersil Corporation.
- [22] Eric Bogatin[美]. Signal Integrity:Simplified[M]. 北京: 电子工业出版社. 2007: 1-586.
- [23] 伦德全. 电路板级的电磁兼容设计[M]. 飞思卡尔半导体应用笔记. 2005:1-23.
- [24] 胡升平, 宋跃, 雷瑞廷, 余炽业. 基于FPGA的DDS-AM调幅波产生方法研究及实现[J]. 仪表技术. 2007年第四期:7-9.
- [25] 戈立军, 吴虹, 司敏山. 基于DDS技术的FM信号发生器的设计及其FPGA实现[J]. 南开大学学报(自然科学版). 2007.12: 95-99.
- [26] 戴仙金. 51单片机及其C语言程序开发实例[M]. 北京: 清华大学出版社. 2008.2: 291-313.
- [27] 李现勇. Visual C++串口通信技术与工程实践(第二版)[M]. 北京: 人民邮电出版社. 2004.7: 55-87.

致 谢

作者在研究生学习和课题设计期间,经导师潘中良教授的悉心指导和耐心启发,学习到了科学研究和应用的基本方法,具备了一定的科研能力,使本人得以顺利地完成毕业课题设计。导师渊博的学识,严谨的治学态度,和蔼的为人,忘我工作的奉献精神,使我深受感染。因此,我首先要诚挚的感谢我的导师——潘中良教授。

感谢孙番典老师,在研究生学习期间,至始至终得到了孙老师的精心指导和热心关怀。孙老师宽阔的胸怀、深厚的学术造诣和诲人不倦的精神都深深的影响着我,使我受益匪浅。同时还要感谢所有关心和照顾我的各位老师。

感谢父母的养育之恩!父母孜孜不倦的教诲与鼓励是我不断前进的动力之源!无论何时何地,父母永远是我最强有力的后盾!感谢哥哥和女朋友对我生活和学习的关心和照顾!

感谢我的师兄、师弟、师妹,与他们一起学习、探讨问题让我受益匪浅。感谢我的同窗好友在学业上不断地给予我启示与支持。

攻读硕士学位期间发表的论文和取得的科研成果

1. 刘豪, 潘中良. 电路板图像分割的K均值聚类算法研究. 自动化与信息工程. 2009.