

AD9715 相关模拟电路的分析和讨论

对于 AD9715 相关模拟电路中的一些问题，我们进行了一些分析、仿真和讨论，具体的内容如下。

1 数字供电输入端 DVDD、DVDDIO 与电压调整器 LDO

根据数据手册，AD9715 的数字供电输入和模拟供电输入是分开的，数字核心部分需要 1.8V 的供电电压。

LDO is provided for DVDDIO supplies greater than 1.8 V, or th
1.8 V can be supplied directly through DVDD. A 1.0 μ F bypass
capacitor at DVDD (Pin 7) is required when using the LDO.

图 1 THEORY OF OPERATION, AD9715 Datasheet Page 32

我们可以用大于 1.8V 的电压，通过 DVDDIO 端口，再经过片上 LDO（Low Dropout Regulator，直流线性电压调整器），对数字部分进行供电；也可以直接用 1.8V 电压通过 DVDD 端口进行供电。

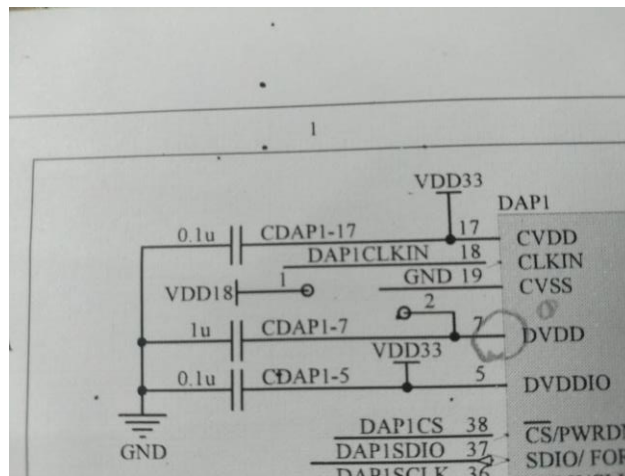


图 2 AD9715 数字供电部分电原理图

由电原理图可知，驱动电路是通过前一种方式，也就是用高于 1.8V 的供电电压通过 DVDDIO 对 AD9715 进行供电的，而且 1.0uF 的旁路电容也已经接到了 DVDD 上。在这种情况下，我们可以需要启用片上 LDO 对电压进行转换。

Power-Down	0x01	7	LDOOFF	0 (default): LDO voltage regulator on. 1: turns core LDO voltage regulator off.
		6	LDOSTAT	0: indicates that the core LDO voltage regulator is off. 1 (default): indicates that the core LDO voltage regulator is on.

图 3 SPI REGISTER DESCRIPTIONS, AD9715 Datasheet Page 36

根据数据手册，LDO 的状态由寄存器 Power-Down（0x01）的 LDOOFF（Bit 7）控制，在默认状态下为 0，即启用 LDO。因此数字供电输入部分应该可以正常工作。

2 参考电压输入/输出端（REFIO）的讨论

2.1 REFIO 的工作模式

REFIO 端也有两种工作模式，如数据手册中所述：

34	REFIO	Reference Input/Output. Serves as a reference input when the internal reference is disabled. Provides a 1.0 V reference output when in internal reference mode (a 0.1 μ F capacitor to AVSS is required).
----	-------	---

图 4 PIN CONFIGURATIONS AND FUNCTION DESCRIPTIONS, AD9715 Datasheet Page 11

在外部基准模式下 REFIO 作为外部参考电压的输入端；在内部基准模式下作为 1.0V 参考电压的输出端（需要在 REFIO 和 AVSS 之间接一个 0.1 μ F 的电容）。

我们希望 REFIO 工作在内部基准模式，因为在外部驱动电路中可能需要用到 1.0V 的参考电压。根据数据手册，REFIO 的工作模式受寄存器 Power-Down（0x01）的 EXTREF（Bit 0）控制，在默认状态下为 0，即内部基准模式，所以不需要做太多调整。

0x01) through the SPI interface. To use the internal reference, decouple the REFIO pin to AVSS with a 0.1 μ F capacitor, enable the internal reference, and clear Bit 0 of the power-down register (Address 0x01) through the SPI interface. Note that this is the default configuration. The internal reference voltage is present at REFIO. If the voltage at REFIO is to be used anywhere else in

图 5 REFERENCE OPERATION, AD9715 Datasheet Page 43

REFIO 的输出参考电压还受寄存器 Reference Resistor（0x0D）的 RREF[5:0]（前 6 bit）控制，具体设置如下：

Reference Resistor	0x0D	5:0	RREF[5:0]	Permits an adjustment of the on-chip reference voltage and output at REFIO (see Figure 98) two's complement. 000000 (default): sets the value of R_{REF} to 10 k Ω , $V_{REF} = 1.0$ V. 011111: sets the value of R_{REF} to 12 k Ω , $V_{REF} = 1.2$ V. 100000: sets the value of R_{REF} to 8 k Ω , $V_{REF} = 0.8$ V. 111111: sets the value of R_{REF} to 10 k Ω , $V_{REF} = 1.0$ V.
--------------------	------	-----	-----------	---

图 6 SPI REGISTER DESCRIPTIONS, AD9715 Datasheet Page 38

默认状态下 RREF[5:0]=000000，输出参考电压为 1.0V，符合我们的要求。

2.2 REFIO 的增益调制效应

需要注意的是，在引脚模式（Pin Mode）下，REFIO 具有增益调制的效果。Pin Mode 是 AD9715 的一种较为简单的工作模式，在这种模式下，我们不用通过 SPI 总线读写寄存器，只需要操控 4 个引脚上的信号，就可以控制 AD9715，这会使固件和驱动的设计更加简单。因此我们希望让 AD9715 工作在 Pin Mode 下，但这就必须要考虑到 REFIO 的增益调整效应。

REFIO 的增益调制效应是指，在 REFIO 引脚上拉电流或灌电流，会使模拟电流输出端（IOUTP、IOUTN、QOUTP、QOUTN）的满标电流 I_{xOUTFS} 发生变化，也就是会影响输出电压的大小。

DAC currents can be externally adjusted in pin mode by sourcing or sinking currents at the FSADJI/AUXI and FSADJQ/AUXQ pins as desired with the fixed resistors installed. An op amp output with appropriate series resistance is one of many possibilities. This has the same effect as changing the resistor value. Place at least 10 k Ω resistors in series right at the DAC to guard against accidental short circuits and noise modulation. The REFIO pin can be adjusted $\pm 25\%$ in a similar manner, if desired.

图 7 PIN MODE, AD9715 Datasheet Page 34

数据手册中没有明确给出 REFIO 端拉电流、灌电流的大小和满标输出电流之间的关系，只是说明这种调整的范围为 $\pm 25\%$ 。

如果我们要在输出驱动电路中使用 REFIO 产生的参考电压，就需要考虑到这可能在 REFIO 端口产生拉电流或灌电流的效应，进而影响输出的模拟电流和模拟电压，引入噪声。为了避免这种情况，可能有下述两种解决方案。

2.2.1 方案一 加装 $10k\Omega$ 电阻

数据手册在 *COARSE GAIN ADJUSTMENT* 一节中，对 REFIO 的增益调制效应给出了进一步解释。

Option 4

As in Option 3, when the device is in pin mode, both full-scale values can be adjusted by sourcing or sinking current from the REFIO pin. Noise injected here appears as amplitude modulation of the output; therefore, a portion of the required series resistance (at least 10 k Ω) must be installed at the pin. A range of $\pm 25\%$ is quite practical when using this method.

图 8 COARSE GAIN ADJUSTMENT Option 4, AD9715 Datasheet Page 46

它指出，REFIO 端口上注入的噪声可能对输出产生增益调整效应，因此需要把一部分串联电阻（至少 $10k\Omega$ ）安装到这个管脚上。

按照我的理解，加装 $10k\Omega$ 电阻可以减少 REFIO 管脚上拉电流和灌电流的大小，进而减小增益调制效应。但是不确定这种方法会不会产生其他副作用。

2.2.2 方案二 避免使用 REFIO 上的参考电压

我们可以尽量避免使用 REFIO 上的参考电压，这样就不会产生拉电流和灌电流的效果，不会对输出产生影响。比如，我们可以将运放 ADA4899 的正向端接地，这样电路也可以在一定范围内正常工作。具体的分析和仿真参见下一节。

3 输出驱动电路的分析、仿真和讨论

我们尝试对 AD9715 输出驱动部分的模拟电路进行分析和仿真。

3.1 输出驱动电路的分析

AD9715 的输出驱动电路如下图所示：

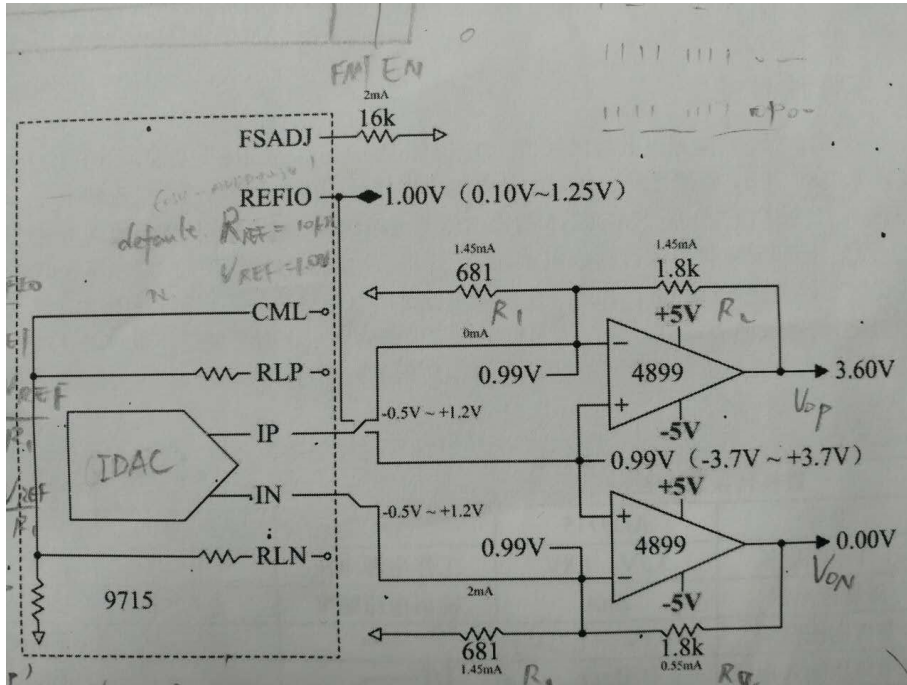


图 9 AD9715 输出驱动电路原理图

由电路图可知， $R_{SET} = 16k\Omega$

根据数据手册，有 $I_P = \frac{C}{2^N} \cdot \frac{V_{REF}}{R_{SET}}$ ， $I_N = \frac{2^N - 1 - C}{2^N} \cdot \frac{V_{REF}}{R_{SET}}$

其中 C 是数字信号的代码，N 是数字信号位宽，AD9715 中 N=10。

AD9715 的输出电阻为 $200M\Omega$ ，IP 和 IN 端可以看作两个理想电流源，假设 ADA4899 是理想运放，则有：

$$\begin{cases} I_P + \frac{V_{op} - V_{REF}}{R_2} = \frac{V_{REF}}{R_1} \\ I_N + \frac{V_{on} - V_{REF}}{R_2} = \frac{V_{REF}}{R_1} \end{cases} \Rightarrow$$

$$V_o = V_{op} - V_{on} = R_2(I_N - I_P)$$

$$= \frac{2^N - 1 - 2C}{2^N} \cdot \frac{R_2}{R_{SET}} \cdot V_{REF}$$

在 $R_{SET} = 16k\Omega$, $V_{REF} = 1V$ 的情况下, I_P 与 I_N 的变化范围都是 0 到 2mA, 输出电压 V_o 的变化范围为 -3.6V 到 3.6V。如果设 $I_i = I_N - I_P$, 则电路的传输函数 (跨阻) 为: $H = \frac{V_o}{I_i} = R_2 = 1.8k\Omega$, 这可能是输出驱动电路工作的理想状态。

3.2 输出驱动电路的仿真

在 OrCAD 17.0 中, 可以对上面的电路进行仿真。由于没有找到 AD9715 的 Spice 模型, 所以采用理想电流源替代 AD9715, 并导入 ADA4899 的 Spice 模型。

如果采用前一节提到的方案一, 在参考电压 REFIO 和运放正相端之间加装 $10k\Omega$ 电阻, 得到的仿真电路如下。

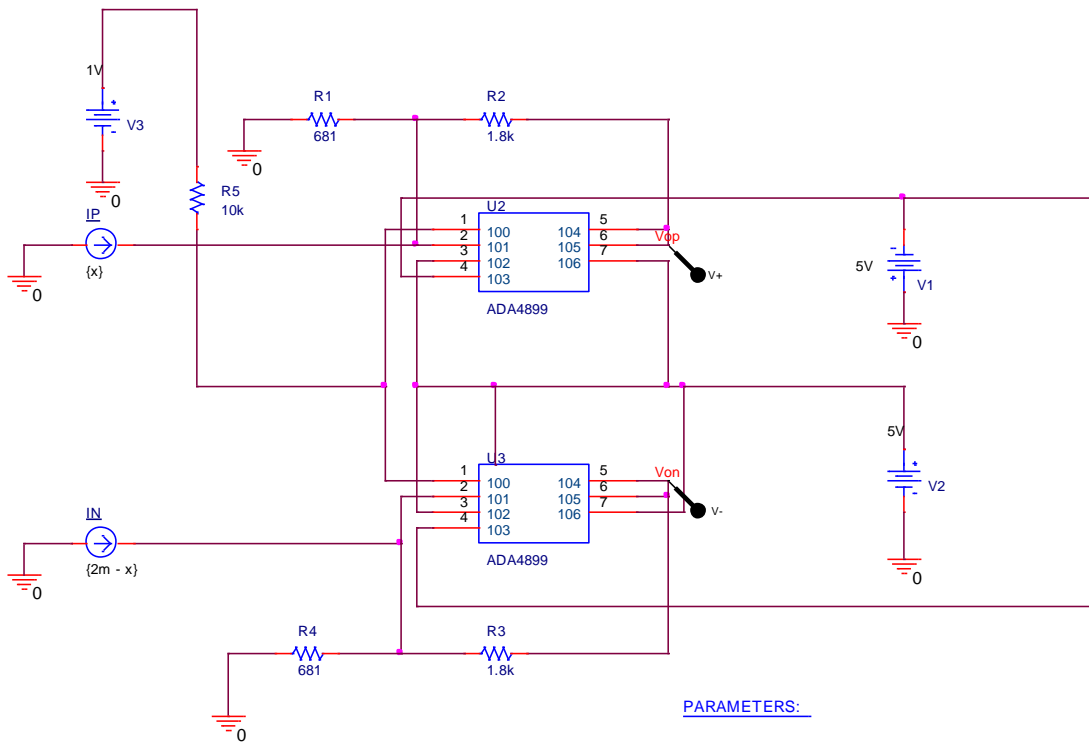


图 10 AD9715 输出驱动电路 (方案一) 仿真原理图

设置 IP 端的电流为 x ，IN 端的电流为 $2\text{mA} - x$ ，配置 PSpice 对 x 从 0 到 2mA 扫描，得到输出电压 V_o 的变化曲线如下：

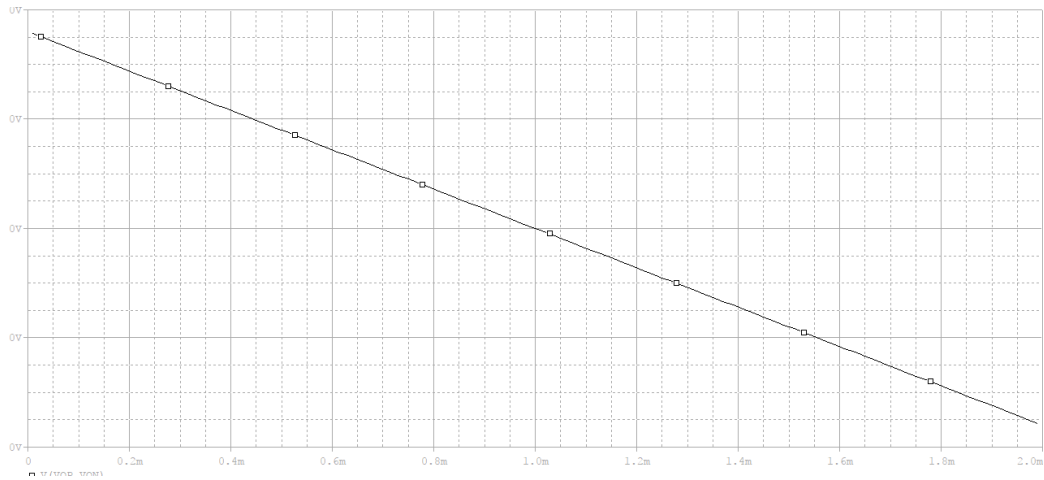


图 11 AD9715 输出驱动电路（方案一）输出电压仿真波形图

跨导 $H = \frac{V_o}{I_i} = \frac{V_{op} - V_{on}}{I_n - I_p}$ 的变化如下：

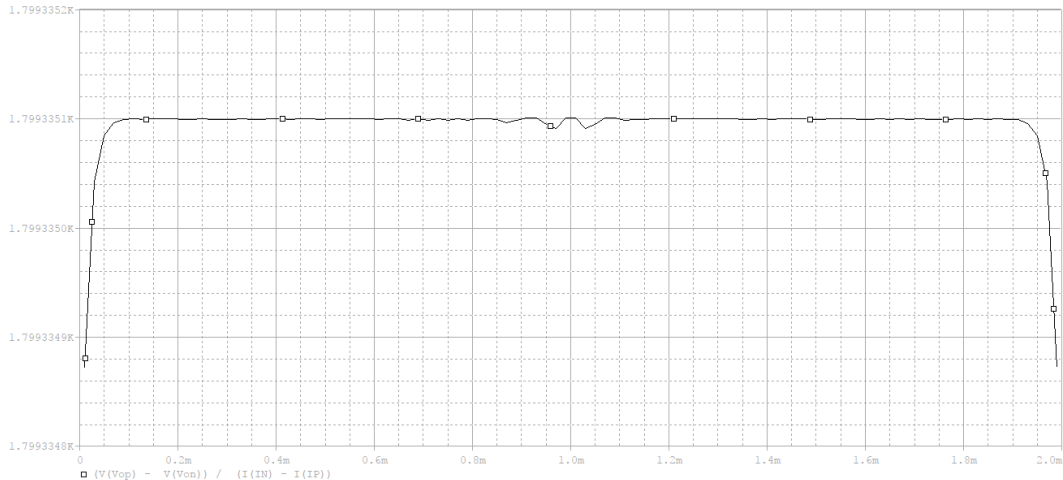


图 12 AD9715 输出驱动电路（方案一）跨导仿真波形图

可见，跨导始终非常接近 $1.8\text{k}\Omega$ ，说明输出驱动电路工作良好，没有超过运放 ADA4899 的最大共模输入范围。当然，这是在没有考虑 AD9715 的特性的情况下进行的仿真，包括 REFIO 的调制效应也没有考虑在内，实际情况会更为复杂。

如果采用上一节提到的方案二，即运放正相端直接接地，仿真得到输出电压变化如下：

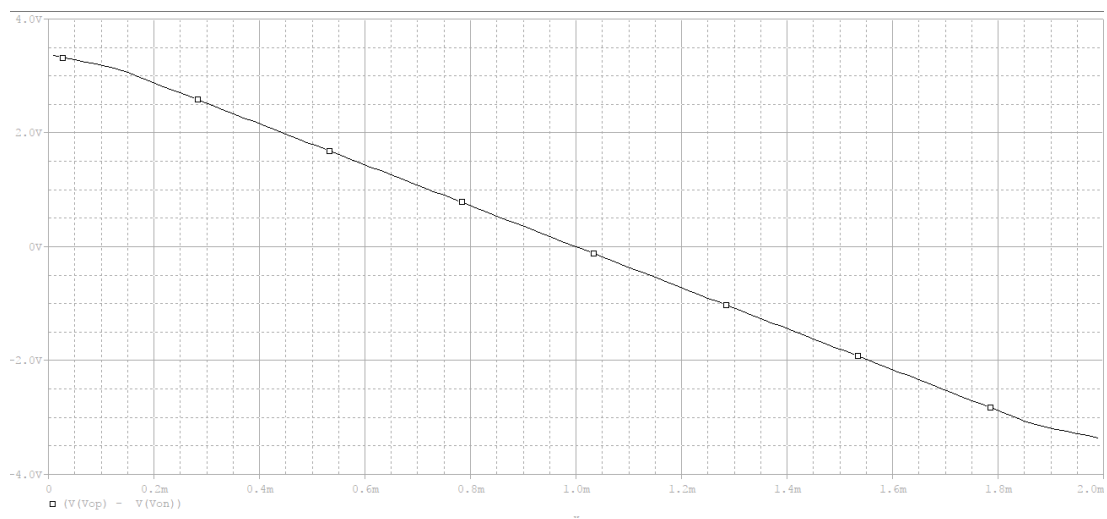


图 13 AD9715 输出驱动电路（方案二）输出电压仿真波形图

跨导变化曲线如下：

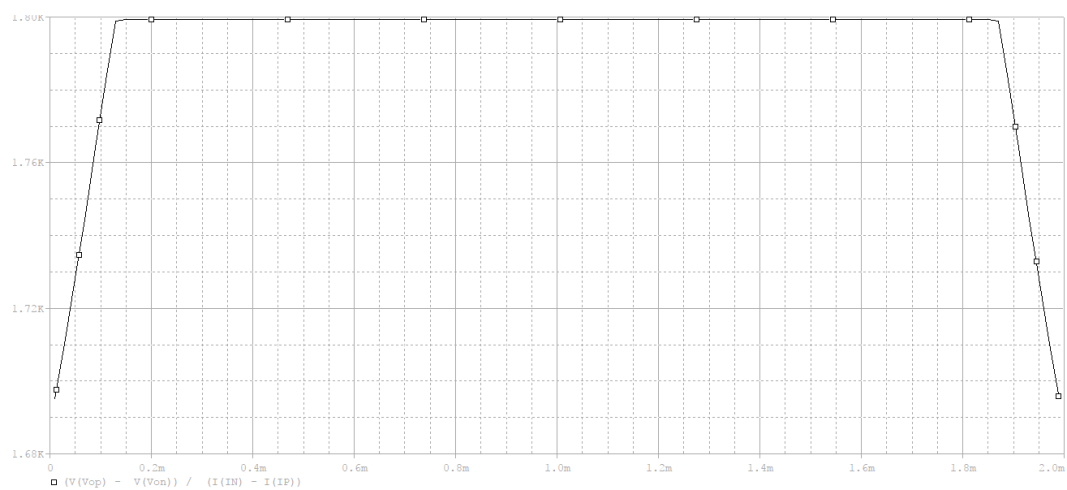


图 14 AD9715 输出驱动电路（方案二）跨导仿真波形图

可见，这种情况下跨导在 $1.7k\Omega$ 到 $1.8k\Omega$ 之间变化，线性特性比方案一要差很多，可能是因为接近了运放的最大共模电压输入范围。

4 模拟电压输出的另一种可选方式

模拟电压输出的另一种可选方式是在模拟电流输出端直接加负载电阻，如下图所示：

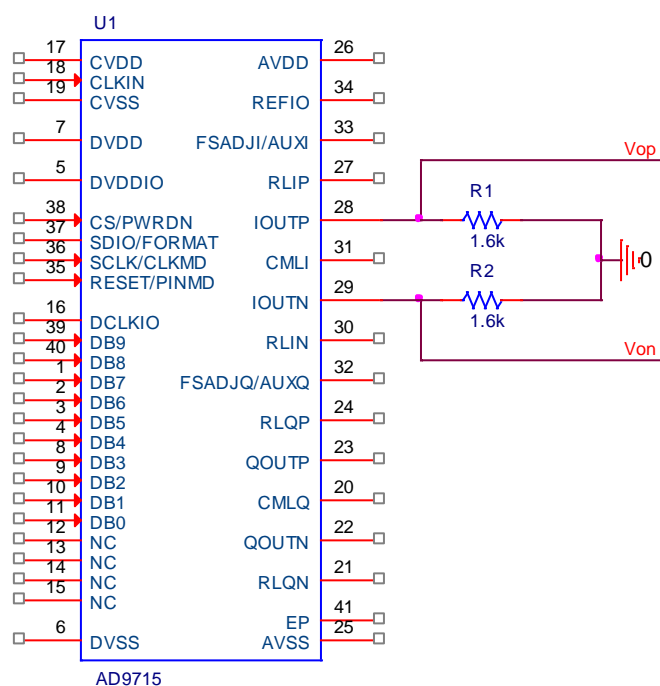


图 15 AD9715 输出驱动电路（另一种方式）原理图

这种情况下差分电流 I_p 和 I_N 分别在电阻 R_1 、 R_2 上产生电压 V_{op} 和 V_{on} 输出。问题在于这种方法不能和前面的利用运放的输出驱动电路共存。

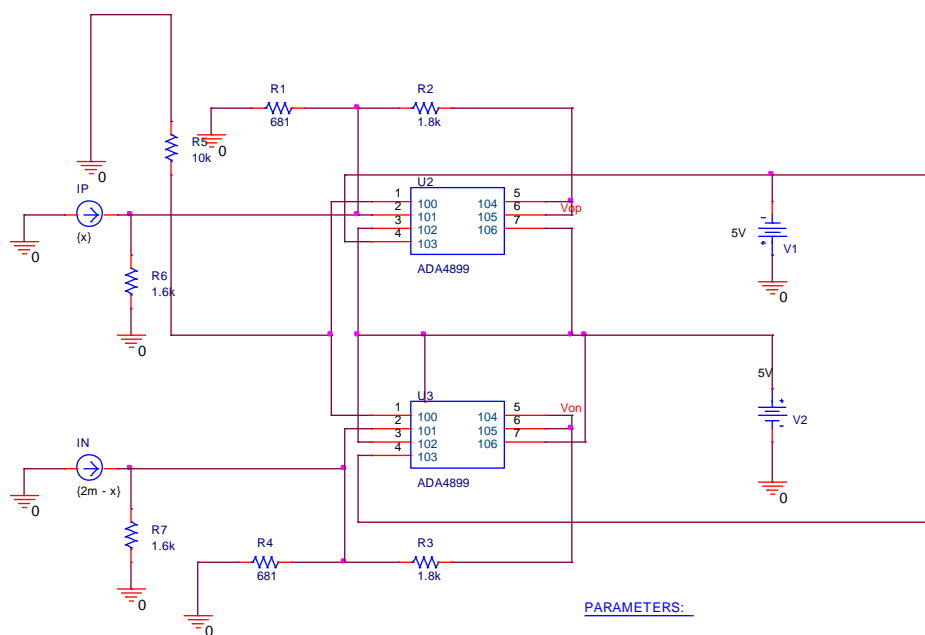


图 16 AD9715 输出驱动电路（两种方式共存）仿真原理图

如上图所示，如果在电流输出端加上 $1.6k\Omega$ 的电阻，相当于与之前接在运放反相端和地之间的电阻 R_1 、 R_4 并联，会改变运放的反馈特性，使得系统的线性性下降，如下图所示：

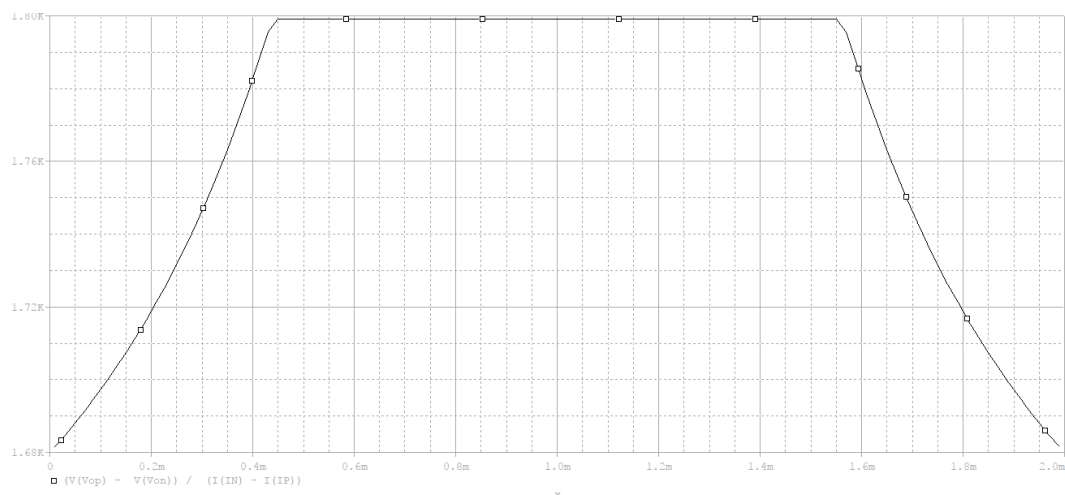


图 17 输出驱动电路（两种方式共存）跨导仿真波形图

跨导的变化范围变得更大。适当增大 R_1 、 R_4 可以改善这一情况，下图是 R_1 、 R_4 等于 $1.6k\Omega$ 时跨导的变化曲线：

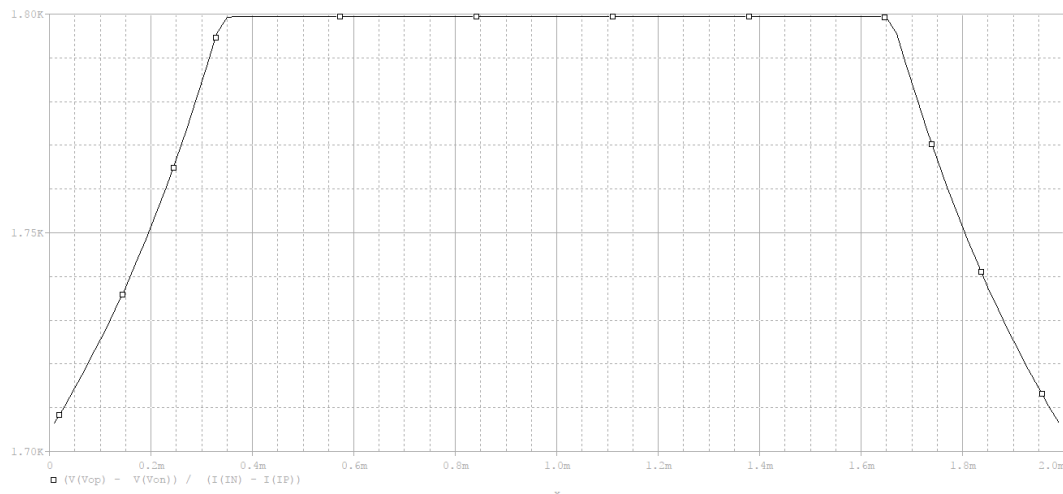


图 18 输出驱动电路（两种方式共存、改进电阻阻值）跨导仿真波形图

变化范围缩小到了 $1.71k\Omega$ 到 $1.80k\Omega$ 。

5 运放反馈回路的旁路电容与输出驱动电路的频率特性

电原理图中，在运放 ADA4899 的 $1.8k\Omega$ 反馈电阻旁边还并联了一个 $0.2nF$ 的电容。这个电容的作用可能是为了减少直流漂移，但是似乎会对输出驱动电路的频率特性造成一定的影响。

5.1 输出驱动电路频率特性的分析

考虑到旁路电容的存在，对输出驱动电路重新进行分析，得到传输函数如下：

$$H(\omega) = \frac{V_o}{I_i} = \frac{1}{\frac{1}{R_2} + j\omega C_p R_2} = \frac{R_2}{1 + j\omega C_p R_2}$$

幅频特性：

$$|H(\omega)| = \frac{R_2}{\sqrt{1 + (\omega C_p R_2)^2}}$$

这就导致输出驱动电路存在一个上截止频率 f_H

$$f_H = \frac{1}{2\pi C_p R_2} = \frac{1}{2\pi \times 0.2 \times 10^{-9} \times 1.8 \times 10^3} \approx 442.11 \text{kHz}$$

也就是当 DAC 输出信号的变化速度超过 442.11kHz 时，输出驱动电路的增益会降低到低频状态的 0.707 倍以下。而实际上 AD9715 的最大输出采样率可以达到 125MSPS，MicroBlaze 软核的主频虽然比较低但似乎也有百兆数量级。因此输出驱动电路会对高频的信号产生限制作用，可能需要改进。

5.2 输出驱动电路频率特性的仿真

为了仿真输出驱动电路在高频下的情况，我们可以采用两个带 1mA 偏置、幅度为 1mA、相位相反的正弦电流源代替 IP 和 IN 进行仿真，电路图如下所示：

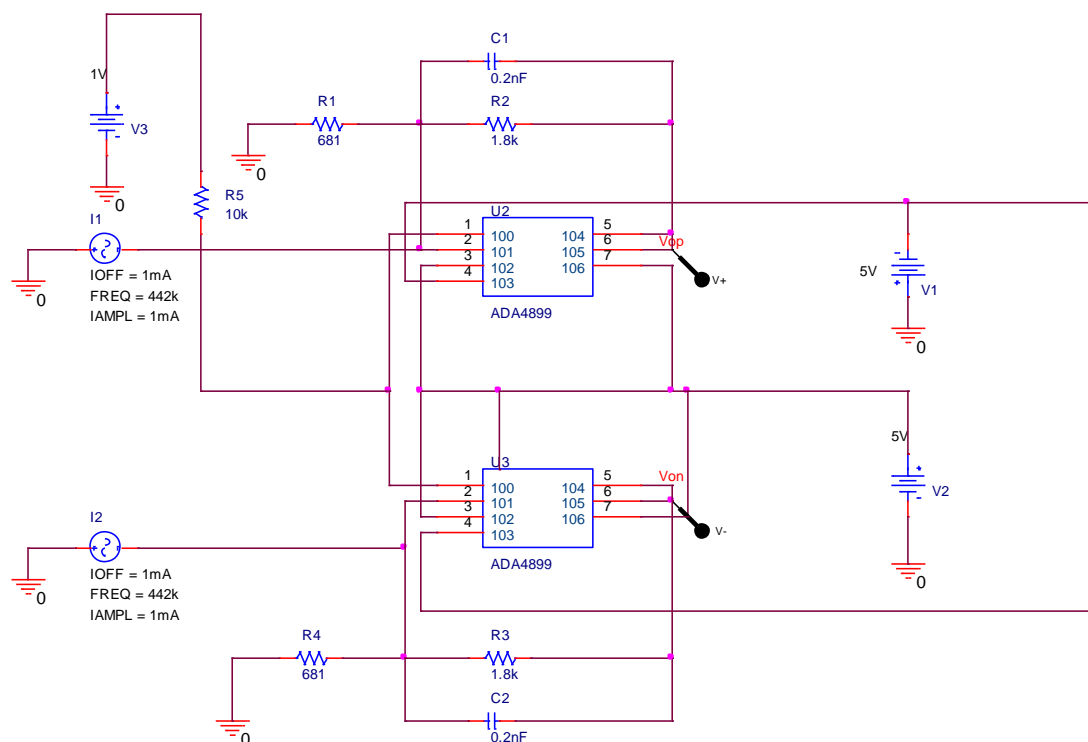


图 19 输出驱动电路（方案一）频率特性仿真原理图

由于有相位的限制条件，无法进行频率扫描得到直观的幅频特性曲线，但是我们可以特定的频率条件下对电路进行测试。如下图是 442kHz 下输出电压的波形：

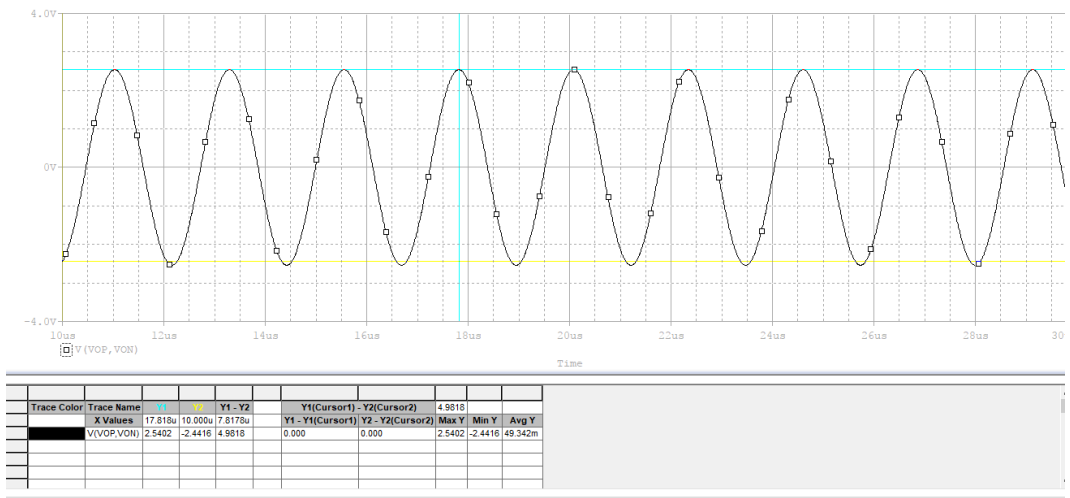


图 20 输出驱动电路（方案一，442kHz）输出电压仿真波形图

可见，在 442kHz 下，输出电压的峰值为 2.54V，为低频情况下峰值 3.60V 的 0.706 倍，与理论分析的结果相近。

如果去掉旁路电容 C_p ，信号幅度又恢复到 3.60V 左右：

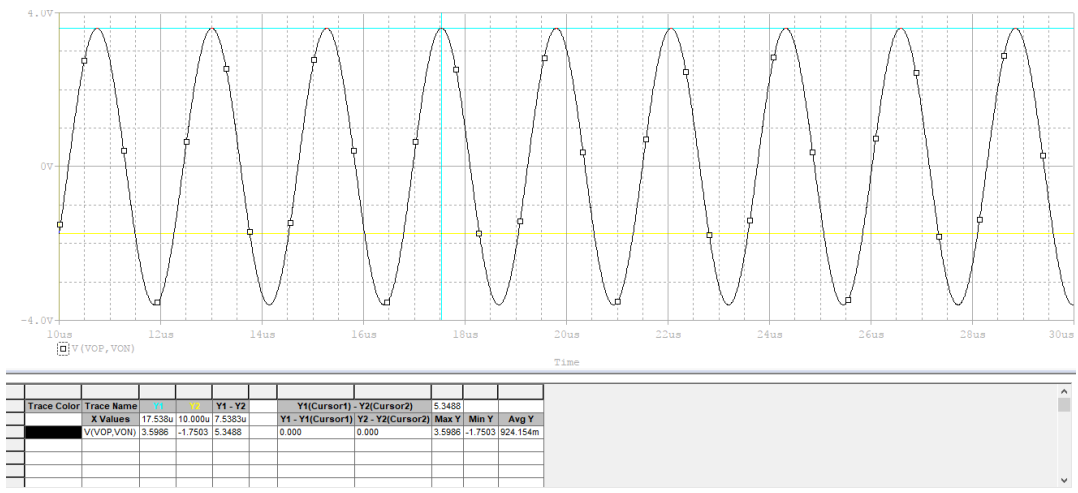


图 21 输出驱动电路（方案一，442kHz，无旁路电容）输出电压仿真波形图

说明电路的其他部分是满足高频要求的。运放 ADA4899 的数据手册也显示，只有当频率大于 100MHz 时，它的增益才会发生明显变化：

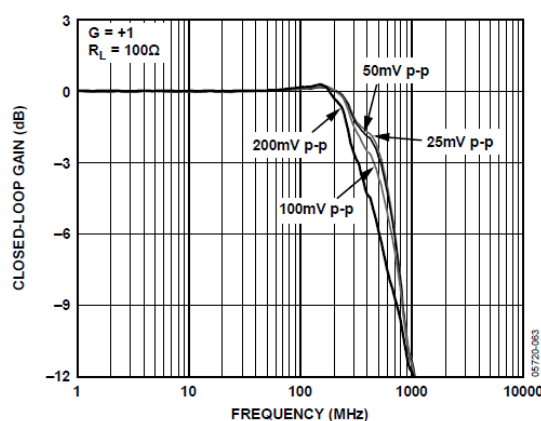


图 22 ADA4899 增益幅频特性曲线，ADA4899 Datasheet Page 14

因此为了改善输出驱动电路的频率特性，我们可以适当减小旁路电容 C_p 的值，或者直接舍弃旁路电容。

6 运放使能端 $\overline{DISABLE}$ 的控制

运放使能端 $\overline{DISABLE}$ 可以对运放 ADA4899 的工作状态进行控制，具体的功能如下：

Table 7. $\overline{DISABLE}$ Pin Truth Table

Supply Voltage	$\pm 5\text{ V}$	$+5\text{ V}$
Disable	$-5\text{ V to }+2.4\text{ V}$	$0\text{ V to }2.4\text{ V}$
Enable	Open	Open
Low Input Bias Current	$4.3\text{ V to }5\text{ V}$	$4.3\text{ V to }5\text{ V}$

图 23 ADA4899 $\overline{DISABLE}$ 端真值表，ADA4899 Datasheet Page 16

当 $\overline{DISABLE}$ 端电压为 -5 V 到 2.4 V 时，运放处于非使能状态，不能工作；当 $\overline{DISABLE}$ 端悬空时，运放处于使能状态，可以正常工作；当 $\overline{DISABLE}$ 端电压为 4.3 V 到 5 V 时，运放处于低输入偏置电流状态，此时运放的输入偏置电流比正常状态小 100 倍，但是输入电流噪声会增大为 2 倍。

电原理图中设计了运放使能端 $\overline{DISABLE}$ 的控制电路如下：

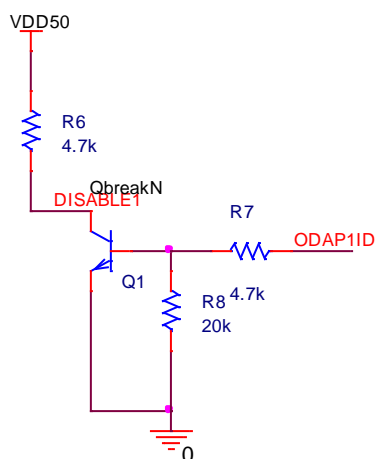


图 24 ADA4899 $\overline{DISABLE}$ 端控制电路仿真原理图

通过一个 NPN 管，可以用数字信号控制 $\overline{DISABLE}$ 端。通过仿真可以发现，当数字信号 ODAP1ID 为高电平时，NPN 管导通， $\overline{DISABLE}$ 端电压为几十毫伏，运放不能工作；当数字信号 ODAP1ID 为低电平时，NPN 管截止， $\overline{DISABLE}$ 端电压为 5V，运放工作在低输入偏置电流状态。因此，该控制电路可以实现对运放 $\overline{DISABLE}$ 端的控制。

当然，也可以将 $\overline{DISABLE}$ 端直接接到+5V 电源，使其保持使能状态。