BR0101固件开发——模数/数模部分

（第十三、四周）

本周主要进行了AD9715特性的测试和AD9286数据手册的调研。

# AD9715特性测试

为了了解AD9715数模转换部分的性能特点，我们针对它的直流输出特性、交流频响特性、各种波形的指标进行了测试。

## 直流输出测试

之前的调试过程中我们发现，AD9715通过运放输出的情况下输出信号常常出现截顶现象，最大输出电压不能达到预期的3.6V。因此 我们对电路的直流输出特性进行了测试，并用AD9715直接通过560Ω电阻输出的情况作为对照，得到的结果如下图所示：

图 1 AD9715直接通过电阻输出实测电压和期望电压的关系

图 2 AD9715通过运放输出实测电压和理想电压的关系

可见，通过运放输出的信号存在-110mV左右的直流漂移，而且在期望电压大于3.1V的范围内，线性性比较差。

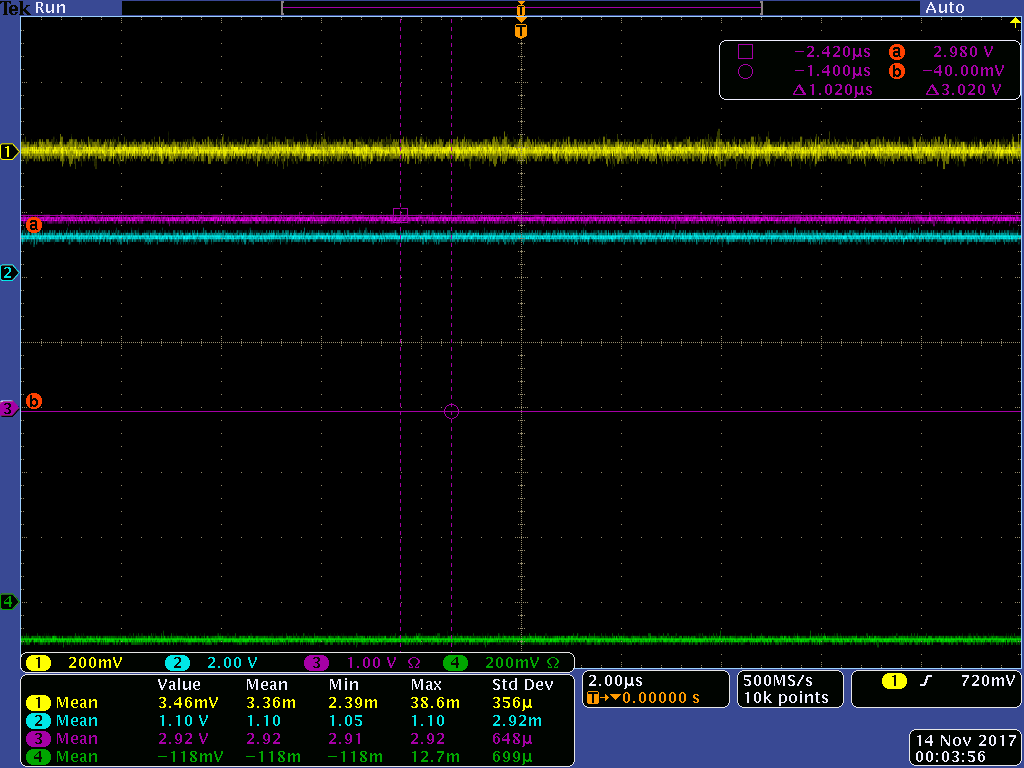


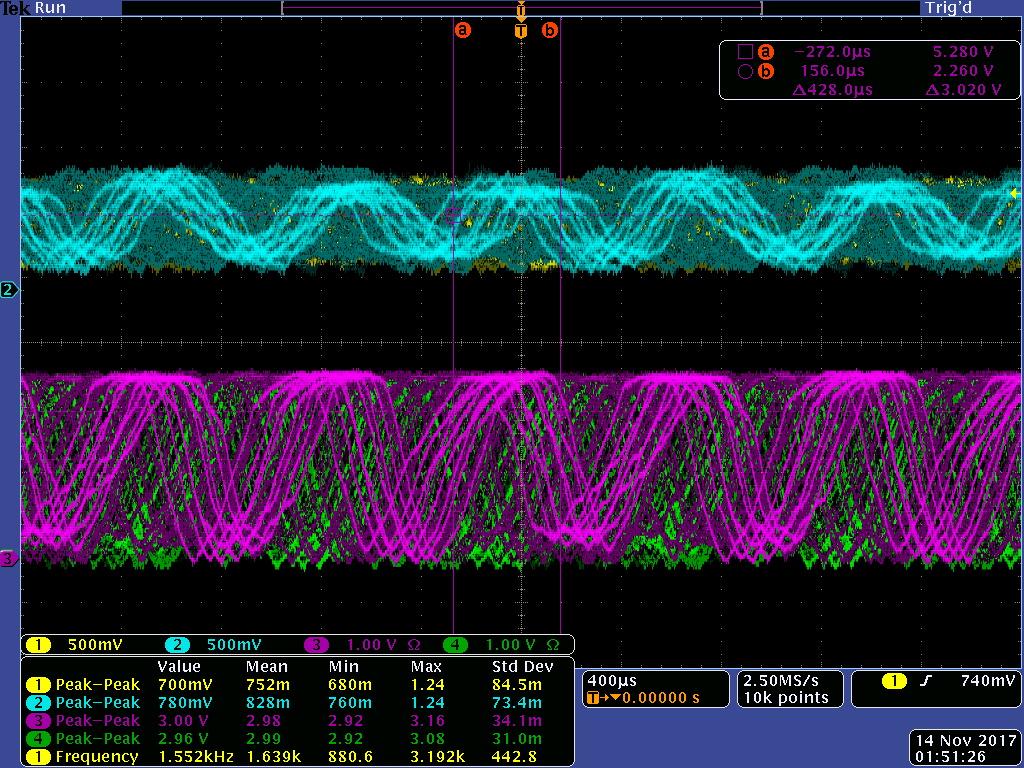
图 3 4 AD9715通过运放输出电压的直流漂移波形图

## 交流频响测试

测得的频响特性如下图所示：

图 5 AD9715直接通过电阻输出频响特性

交流频响测试中发现，DDS算法在预期频率为15MHz以上的范围内失去了作用，信号的频率完全与输入的相位增量控制码无关，因此测量的频响特性就没有意义了。



如上图所示，输入频率控制码为2000时，输出信号频率本应为12.5MHz，但是实际观察到的波形完全混叠了，这是因为对应的相位增量8193恰好比查找表深度65536的一个因数大1，因此每个周期的相位初始值都不同，每个周期增加8，结果就形成了这种大量相位不同的正弦波叠加的效果。要解决这个问题，必须要深入了解和改进DDS算法在信号产生中的应用。

## 后续工作

* 先进行DDS算法调研，了解DDS算法的适用范围
  + 读论文产品手册
* 先用方波进行频率响应参数测量
* 继续进行各种不同波形特性的测试
  + 考虑测量的计划
  + 在DDS现有条件下

# AD9286的调研

## 简介

AD9286是一个位宽8 比特、最高采样率500MSPS、1.8V供电、差分输入的模数转换器，它可以应用在电池供电仪表、低成本数字示波器等很多领域。它的内部功能模块如下图所示：

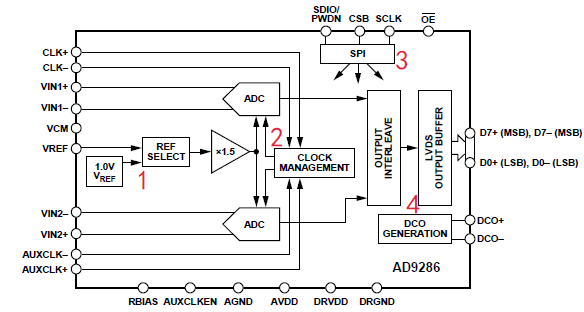


图 6 AD9286功能模块框图[1]

其中：

1是参考电平产生电路；

2是模拟-数字转换电路；

3是串行接口（SPI, Serial Port Interface）和控制寄存器；

4是差分的数字信号输出（LVDS, Low-Voltage Differential Signaling）电路。

## 工作原理

### ADC架构

AD9286内部有两个相对独立的ADC（共用电源、参考电平和时钟）通道，每个通道都采用流水线架构：首先是一个差分输入缓冲器，后面是一个采样-保持放大器（SHA），最后接一个开关电容ADC。这种流水线结构使得模拟-数字转换的各个阶段可以交错进行，保证了ADC较高的采样率。

流水线的每一级的产生的数字信号连接到一个开关电容DAC和一个余数放大器，这个余数放大器将DAC的输出与流水线下一级输入的差异放大，下一级就用1 bit的数据去修正这个误差。这应该是一种逐次比较型的ADC结构。

采样-保持放大器（SHA）可以调节为直流/交流耦合模式，应用更加灵活。

### 模拟输入

AD9286采用差分模拟输入。因为AD9286可能会交叉采样两个DAC通道，所以两个通道的模拟信号通路必须对称，输入阻抗必须匹配，否则会引起失谐。

#### 差分输入配置

AD9286的差分输入电路有多种配置方法，我们采用的是基于运放ADA4937的单端-双端转换电路，电路原理如下图所示：



图 7 改进后的单端-双端电压转换电路（方案一）结构原理图

我们对这个电路进行了直流和交流的仿真测试，并针对通带增益、频率特性、输入阻抗优化的问题进行了讨论，具体内容参见第三周工作小结。

### 时钟输入

AD9286采用差分的采样时钟CLK+，CLK-（还有可选的时钟AUXCLK+，AUXCLK-）。差分时钟信号可以有多种产生方式，包括变压器耦合、巴伦转换、PECL驱动等等。为了方便FPGA实现，我认为LVDS驱动的方式比较实用，原理图如下所示：

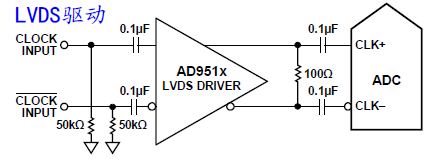


图 8 LVDS驱动的差分时钟输入

Xilinx FPGA应该可以通过I/O口配置，直接产生LVDS电平标准的差分信号，不需要经过运放。具体的配置方法还需要进一步调研。

#### 时钟模式

AD9286的时钟输入可以有两种方式：第一种是单高速时钟输入，即通过CLK+，CLK-差分输入一个高速时钟（最高500MHz），芯片内部会将其分频为两个频率为一半、相位相差180°的时钟，供两个ADC通道使用。

这种情况下，ADC的采样可以配置为交叉模式，即交叉对两个输入通道采样，将输出合并为一个通道，这样采样率就可以最高500MSPS；也可以配置为同步模式，分别对两个通道采样，每个通道的最高采样率为250MSPS。

第二种是双半速时钟模式，即在CLK+，CLK-提供时钟的同时，在AUXCLK+，AUXCLK-提供另一个频率相同的时钟。如果这两个时钟相位相同，那么AD9286交叉对两个输入通道采样，将输出合并为一个通道，采样率可以达到500MSPS；如果相位相差180°，那么AD9286分别对两个通道采样，每个通道的最高采样率为250MSPS。

这样组合起来一共有4种时钟模式，如下表所示：

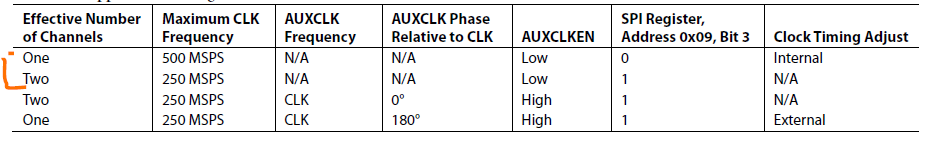


图 9 AD9286的时钟模式

我认为，对我们来说比较实用的是第一和第二种模式，只需要提供一个差分时钟信号，可以通过SPI调节采样模式为交叉采样或同步采样。

### 数字输出

与时钟模式相对应，AD9286的数字输出也有四种模式，下面主要讨论单高速时钟输入的交叉采样模式和同步采样模式：

#### 交叉采样

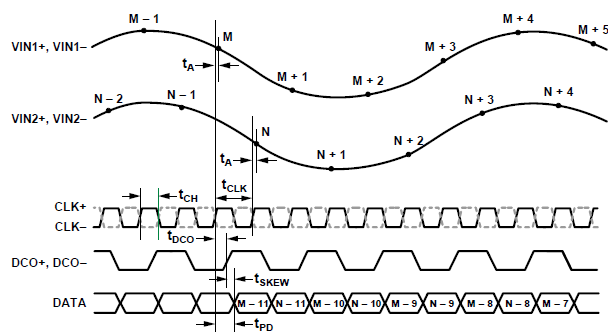


图 10 AD9286单高速时钟输入的交叉采样模式时序图

由时序图可知，AD9286通过两个DAC通道对模拟信号进行交叉采样，将数字信号合并输出，模数转换的延时约为11个时钟周期。不管DCO的高低电平数字信号都有效。

#### 同步采样

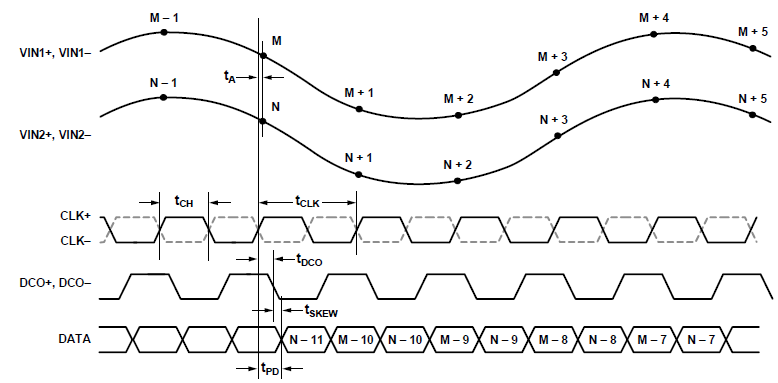


图 11 AD9286单高速时钟输入的同步采样模式时序图

由时序图可知，AD9286的两个DAC通道分别对两个模拟信号进行采样，数字信号交叉输出。通道1的数据（M）在DCO的高电平有效；通道2的数据（N）在DCO的低电平有效。

### 内建自测试与输出测试

AD9286有内建自测试的功能，可以用来测试各通道功能的完整性。多种输出测试可以在输出端产生可以预测的值。

#### 内建自测试（BIST, Built-in Self-test）

BIST是对AD9286信号通路数字部分的一个整体测试，在复位后进行BIST可以保证数字部分处于已知状态。在BIST过程中，伪随机噪声产生器产生数字信号，输入两个ADC通道中，CRC （Cyclic Redundancy Check）逻辑为这个数据计算出一个签名，BIST运行512个周期后停止。之后，BIST将签名和已知的数值相比较，如果匹配，会将寄存器0x0E的Bit 0置1， 表示测试通过；否则会将寄存器0x0E的Bit 0清零。

#### 输出测试

输出测试由寄存器0x0D控制，当测试模式启动时，ADC的模拟部分从数字后端断开，测试用例在输出格式化模块中运行。一些测试用例是适用于输出格式化的，另一些不适用。将寄存器0x0D的Bit 4或Bit 5置1可以使伪随机噪声产生器复位。

### SPI串口控制

### 重要寄存器

### 管脚定义

AD9286数字部分的管脚定义如下表所示：



图 12 AD9286管脚定义

## 后续工作

* 继续调研AD9286的工作原理，包括自测试方法、SPI控制等；
* 了解FPGA产生LVDS信号的配置方法和注意事项；
* 学习和熟悉Vivado开发环境，了解Zynq 7000系列FPGA的片上资源、功能特性等；
* 完成AD9286模数转换部分的系统框图设计，考虑数据存储方式、显示方式等；
* 从单高速时钟、交叉采样、外部控制模式开始，尝试进行AD9286固件的开发。

# 后续工作

* 继续调研DDS相位抖动、振铃现象等问题的解决方法
* 总结AD9715相关的工作，确定输出电压范围、带宽、频率特性等性能指标
* 完善AD9715的功能，包括多通道控制等，根据王星学长的要求修改接口
* 开始调研AD9286的管脚定义、接口时序、工作原理等

# 参考资料

1. ADI, [AD9286 Datasheet](http://www.analog.com/media/en/technical-documentation/data-sheets/AD9286.pdf)