BR0101固件开发——模数转换器AD9715

（第七周）

本周主要进行了振铃现象的学习、了解和Xilinx DDS IP核以及FSI总线的学习。

# 1 振铃现象的讨论

在前面的上板测试实验中，我们发现AD9715通过输出驱动电路输出的信号存在显著的噪声，特别是在拐点处有明显的振动，如下图所示：

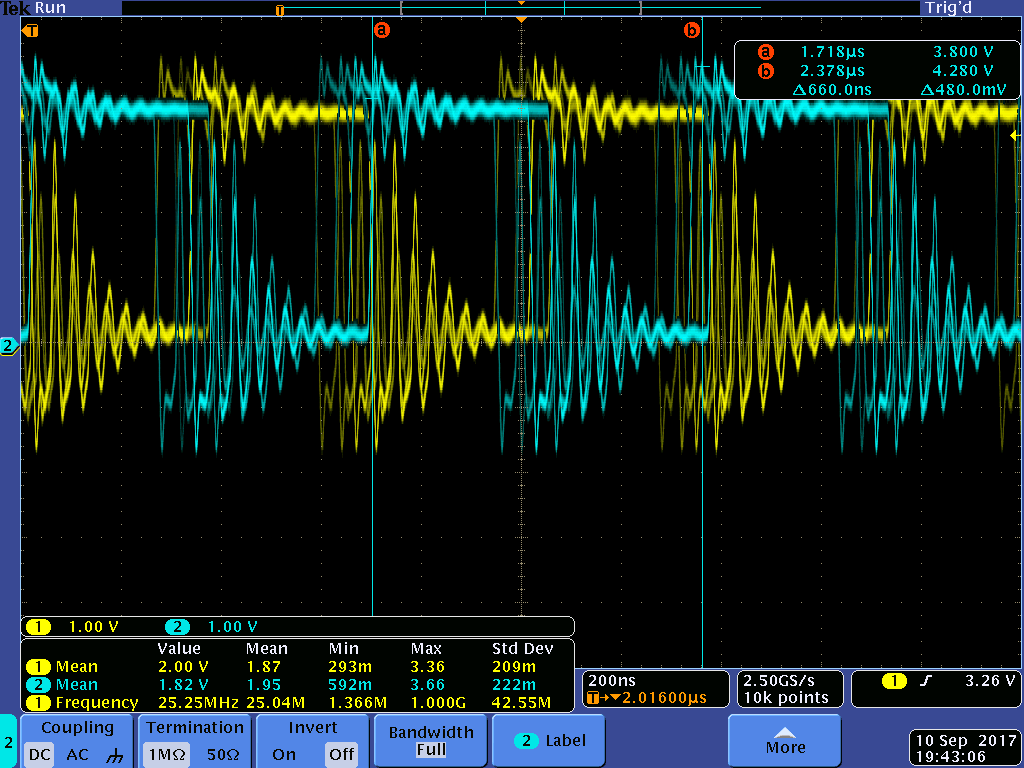


图 1 实验中观察到振铃现象的波形图

这属于信号处理中的振铃现象。为了消除这种噪声，我们进行了一些学习和调研。

## 定义

振铃现象是指信号在突变点附近发生的反常的振荡，在信号处理特别是数字图像处理领域很常见。

## 仿真

我们尝试用仿真工具模拟这一现象，找到产生的原因。

首先，对输出驱动电路部分进行仿真。用理想脉冲电流源替代AD9715的输出，模拟输出方波的情况，仿真电路图如下所示：

OrCAD Capture CIS - 
File Design Edit 
Rect Wav Test-Timt 
- (Rect Wav Test : PAGEI)] 
uiew 1001s Place SI Analysis PSpice Accessories Qptions Window Help 
12 = 2mA 
12=0 
PARAMETERS: 
cädence 
2017/9/25 

图 2 输出驱动部分仿真电路图

脉冲电流源的周期设为10.24us，占空比50%，模拟100kHz左右的方波。但是得到的输出信号中，并没有观察到振铃现象：

Rect Wav Test-Time Dom Test - PSpice A/D - [Time Ch3m Test.dat (active)] 
file Edit View' Simulation Irace Plot Tgols Window Help 
__J 
Sus 
-2S243 
: Sus 
30us 
4 Ous 
4 Sus 
50us 
-2S244 
1171280 
cädence 
2017/9/25 
é•3us 
v (vcp, VON) 
Trace Color Trace Name 
X Values 
- Y2(Cursor2) 1 171280 
- "(Cursor') Y2- Y2(Cursor2) Max Y 
-2S243 
Min Avg 
-2S244 -2S243 

图 3 输出驱动电路输出信号仿真波形图

这可能是因为仿真工具不够完美，没有考虑到导线电阻等寄生参数，也可能说明输出驱动电路并不是导致振铃现象的原因。

## 解决方法

振铃现象产生的原因比较复杂，解决的方法也有很多种。

**低通滤波**

**采用低通滤波是一种比较直接的思路，因为振铃主要是由高频的杂波产生的，如果可以把它们滤除掉，就可以简单地解决问题。但是我们要考虑到AD9715系统需要产生的信号范围比较大，设计预期的最高采样率为125MSPS，因此也可能产生很高频的信号。所以滤波器的截止频率很难确定。**

**在前期的分析过程中我们也发现，如果在输出驱动电路中加入滤波电容，会对系统的频率特性产生很大影响。我们又针对方波信号进行了一下仿真：**

Rect Wav Test-Time Dom Test - PSpice A/D - [Time Ch3m Test.dat (active)] 
file Edit View' Simulation Irace Plot Tgols Window Help 
Sus 
v (vcp, VON) 
: Sus 
30us 
4 Ous 
4 Sus 
50us 
cädence 
10:51 
2017/9/25 
é•3us 

图 4 滤波电路存在情况下方波信号的输出波形图

此时旁路电容C2=0.2nF。可见，低通滤波电路对方波的影响很大，这种方法可能不太适合用于模拟通道系统的振铃现象消除。

## 后续思路

我们后续可能还是需要再进行一些上板调试。

**输出驱动电路的测试**

**首先，我们计划先把输出驱动电路移除，观察振铃现象是否有变化。这样可以大致确定振铃现象是前端的DAC还是后端的运放等器件造成的。**

# ****任意波形产生的讨论****

我们对任意波形产生的方法进行了一些讨论。

## 固件结构的改进

为了实现任意波形产生，固件系统必须存储一定的数据，并且要用到一些Xilinx的IP核。我们初步考虑的固件结构如下：



图 5 设想的固件结构

可能要在固件中添加Xilinx DDS IP核和BRAM等部件。

## DDS IP核的调研和仿真

### 2.2.1 结构原理

DDS IP核是一个直接数字综合器，可以用于数控振荡、相位综合和正弦信号产生等方面。Vertex-4系列中，可用的IP核型号是DDS v4.0，它的大致结构如下图所示：

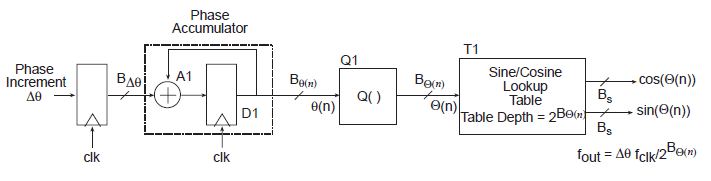


图 6 DDS IP核结构示意图[1]

其中，积分器产生相位角，量化器将高精度的相位角转换成适合于查找表的低精度表示，查找表通过寻址产生输出信号。量化器的输出相位位宽为，则表示单周期的样本个数为，用于查找的相位角。

#### 输出频率

输出频率与系统时钟，相位位宽，相位增量有关，具体关系为：



相位增量可表示为：



如果采用时分多路复用，可以将DDS分为多个通道，每个通道的有效时钟频率减小。对于C个通道的情况，相位增量可以表示为：



#### 频率分辨率

输出频率可以通过相位增量调节，最小的频率分辨率由与系统时钟，相位位宽决定，可表示为：



对于多通道的情况：



### 2.2.2 配置方法

尝试在ISE 14.7中添加并配置一个DDS IP核，采样率为50 MHz，分辨率不超过1 Hz，输出数字信号位宽为10 bit。

在ISE 14.7的IP核配置向导中，可以对DDS IP核进行配置，如下图所示：

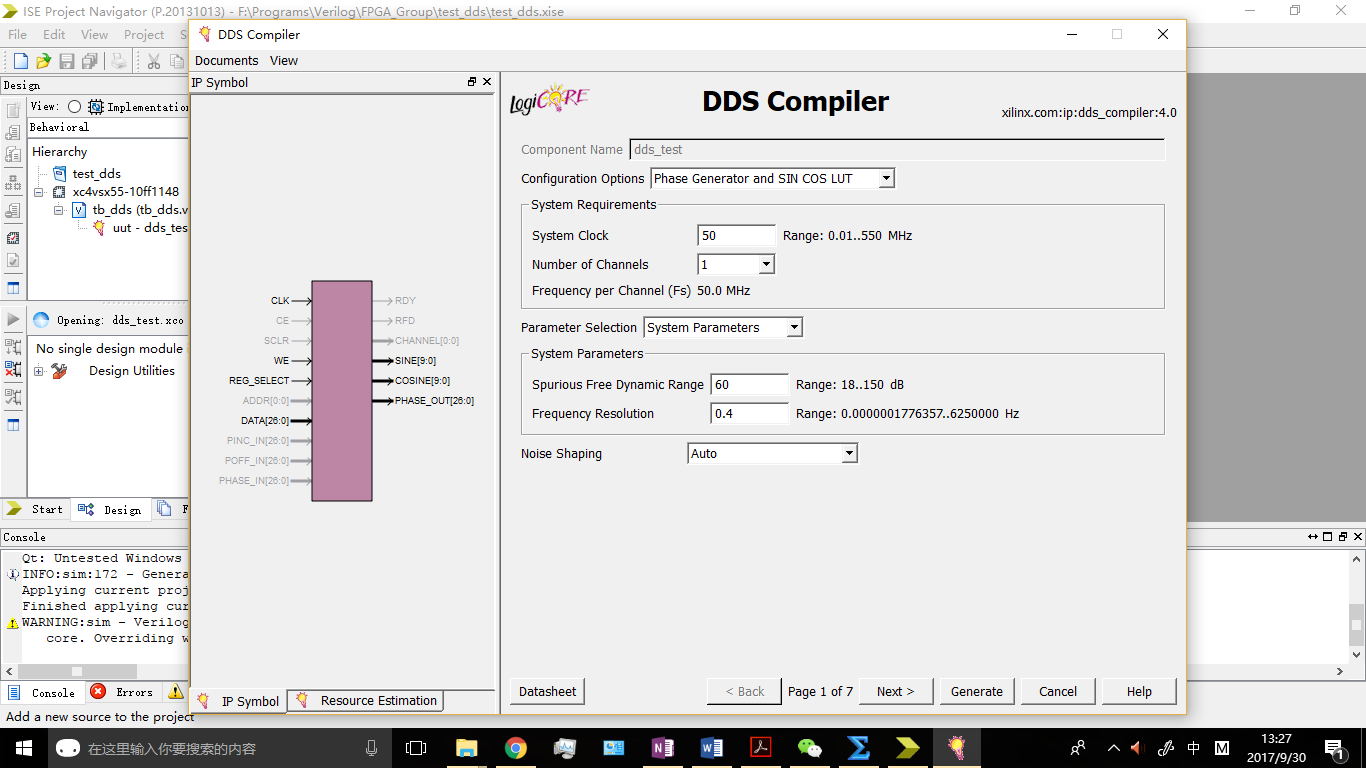


图 7 DDS IP核的配置过程（1）

根据A/D转换的字长效应，输出波形的位宽每增加1个比特，旁瓣抑制比（SFDR, Spurious Free Dynamic Range）就提升6 dB[2] 。因此，为了使输出信号位宽达到10比特，我们要将SFDR参数设为60 dB。分辨率设为0.4 Hz，此时输入信号位宽为26比特。

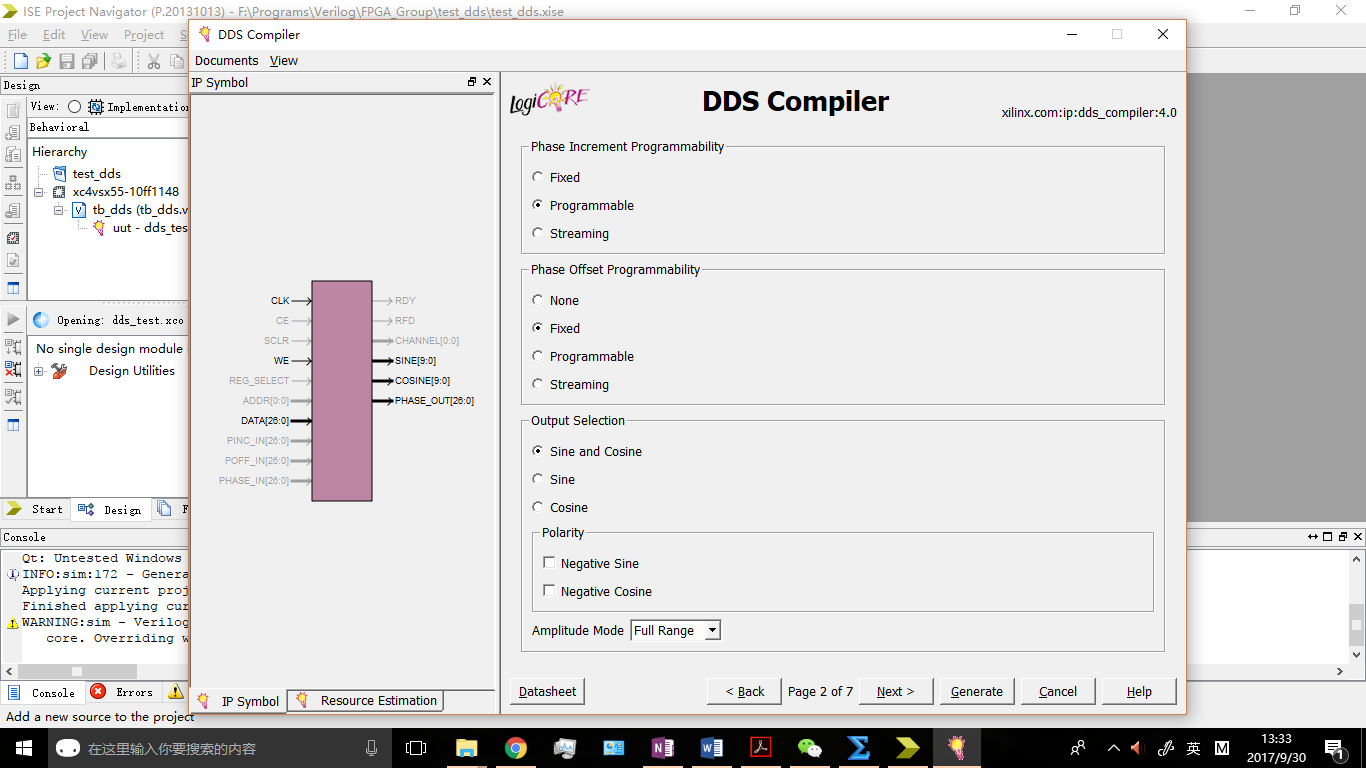


图 8 DDS IP核的配置过程（2）

可以选择相位增量、相位偏置的可配置性，以及输出信号的类型和极性。这里选择相位增量可编程，相位偏置固定，输出正极性的正弦和余弦。

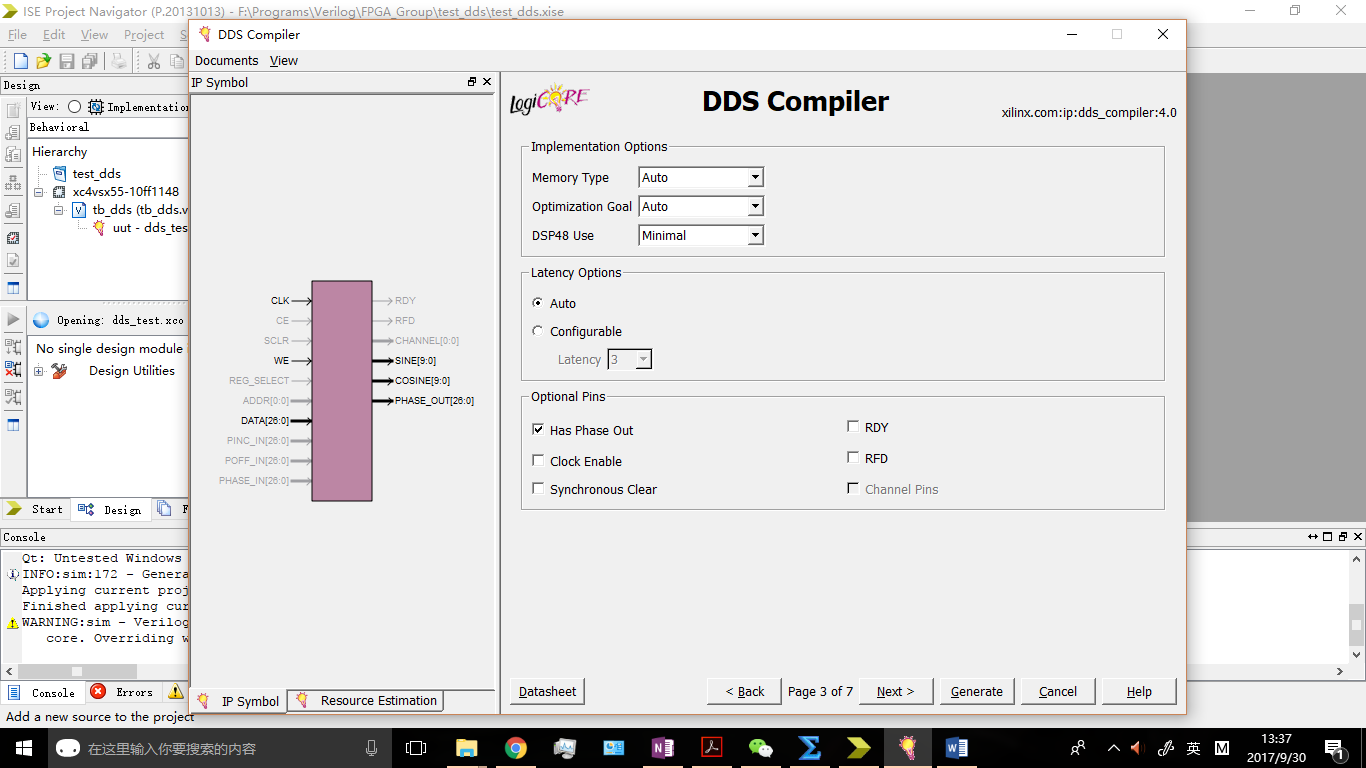


图 9 DDS IP核的配置过程（3）

选择存储器类型、优化选项和DSP选项，可选管脚等，保持默认。

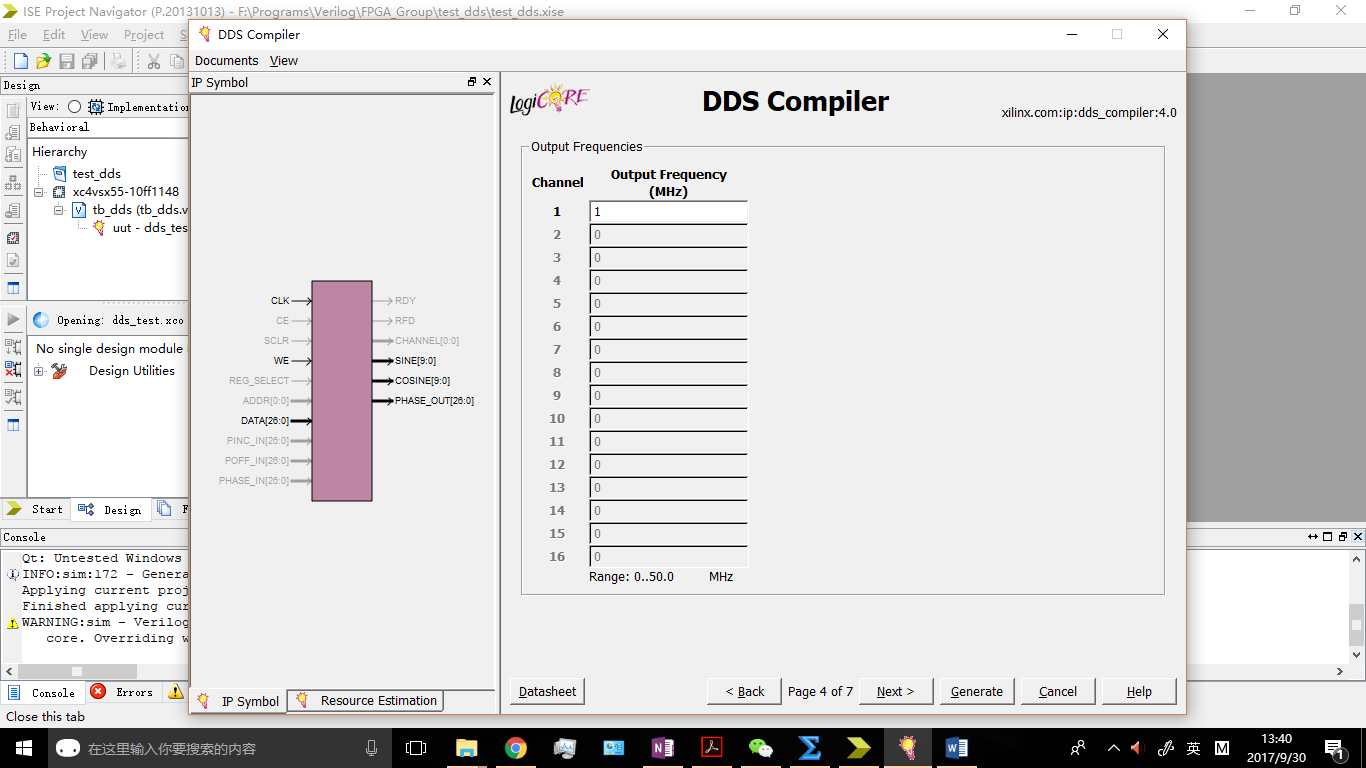


图 10 DDS IP核的配置过程（4）

设置个通道输出频率默认值，将通道1输出频率默认值配置为1 MHz。

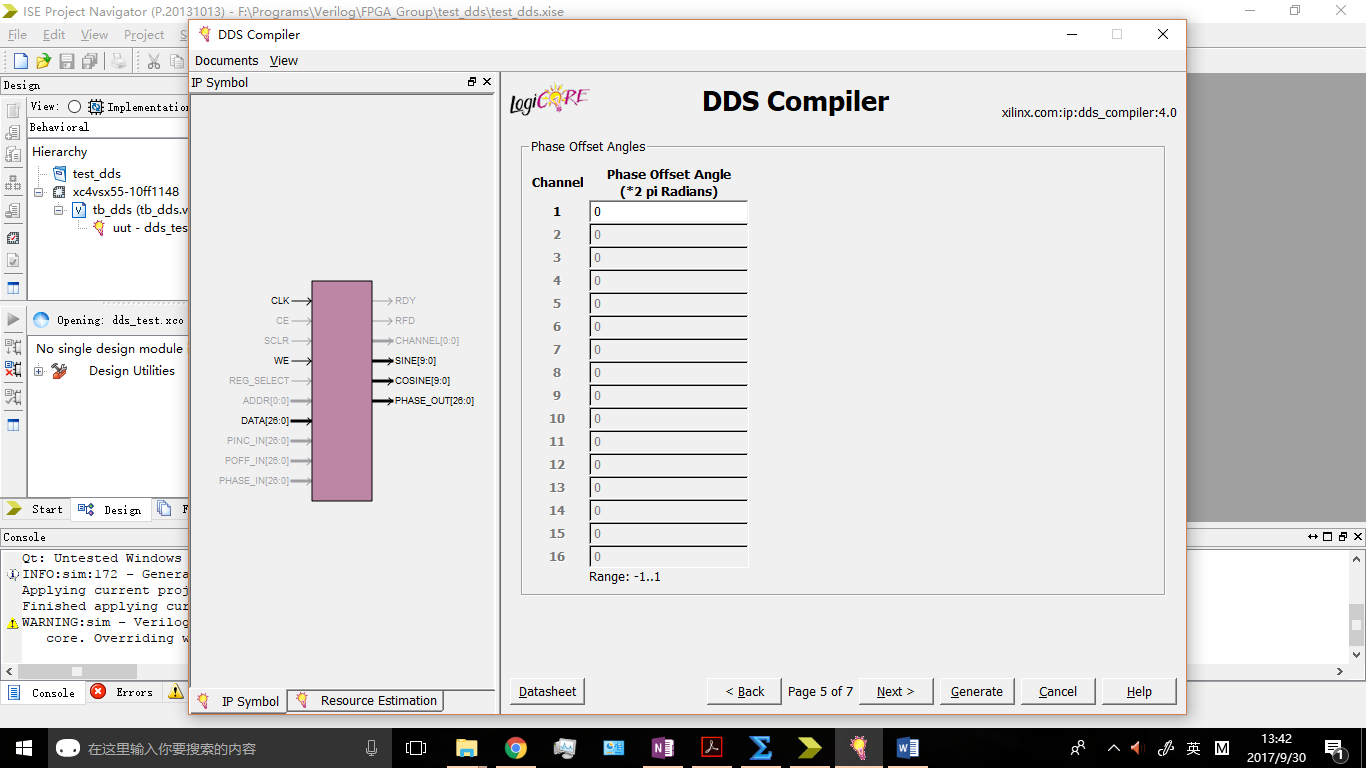


图 11 DDS IP核的配置过程（5）

设置个通道相位偏置默认值，保持不变。然后就可以生成IP核了。

### 2.2.3 仿真测试

对上面配置好的IP核进行简单的仿真测试。首先要添加Testbench，在Testbench中实例化IP核，并产生时钟信号。尝试在Testbench中对相位增量进行修改，从而调整输出信号频率。

如果要使输出信号频率等于500 kHz，则相位增量应为：



如果要使输出信号频率等于500 kHz，则相位增量应为：



如果要使输出信号频率等于2 MHz，则相位增量应为：



在Testbench中，先保持默认状态，4 us后将写使能WE拉高，将相位增量通过data口写入；再过4us后，将通过data口写入，再过4us后，将通过data口写入。在ISim中仿真，得到波形如下图所示：

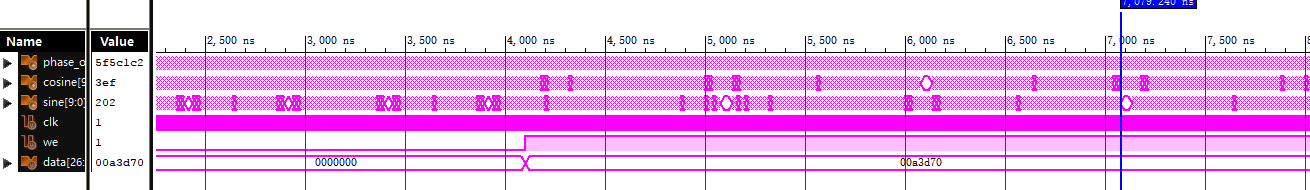


图 12 DDS正弦余弦仿真波形图（ISim）

在ModelSim中仿真，可以设置为模拟格式输出，得到更加直观的波形

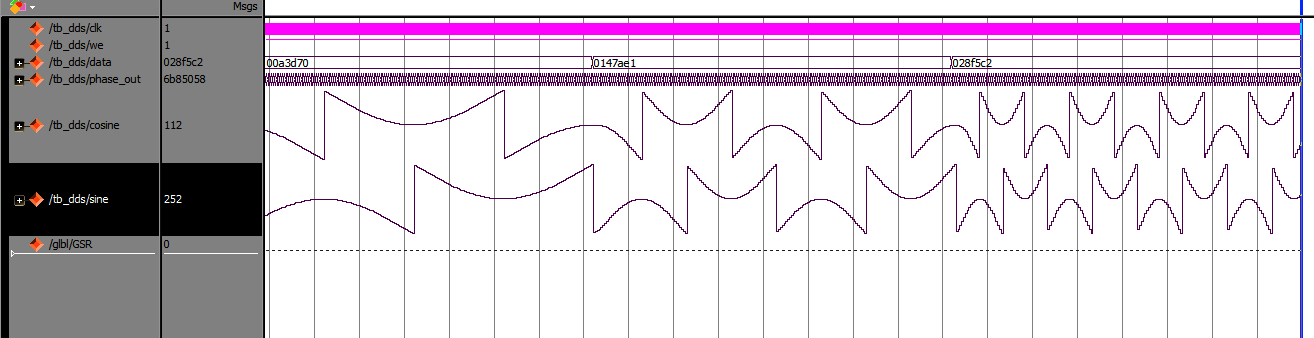


图 13 DDS正弦余弦仿真波形图（ModelSim）

由于输出的是有符号数，显示的波形有一些混乱，但是可以看出是比较理想的正弦、余弦波，而且频率是可调的。

### 2.2.4 任意波形

为了产生任意波形，只需要将DDS模块产生的相位信号输入到另外的数据查找表中即可。这种数据查找表的存储方式可以有很多种，只要可以通过相位信号寻址就可以。下面尝试用一个简单的数据选择器进行模拟和仿真。

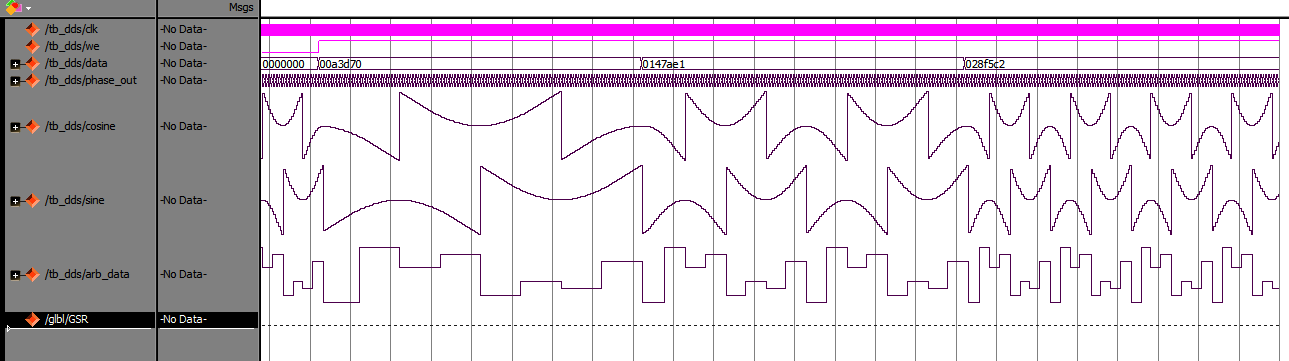


图 14 DDS任意波形仿真波形图（ModelSim）

利用DDS IP核，我们可以方便地产生频率可调的任意波形。对于100 MHz的系统时钟，如果查找表大小为2KB，则频率分辨率为（不考虑量化器的作用）：



基本符合设计要求。如果需要的话，可以结合时钟管理单元DCM，可以使频率的条件范围更大，更加灵活。

## 固件内部存储单元的调研和仿真

另一个问题是如何将任意波形存储在固件中，使固件和MicroBlaze处理器都能够灵活快速地访问它。针对这个问题我们进行了一些调研和仿真。

### 固件存储空间

在新建固件的时候，可以选择添加用户逻辑存储空间，如下图所示：

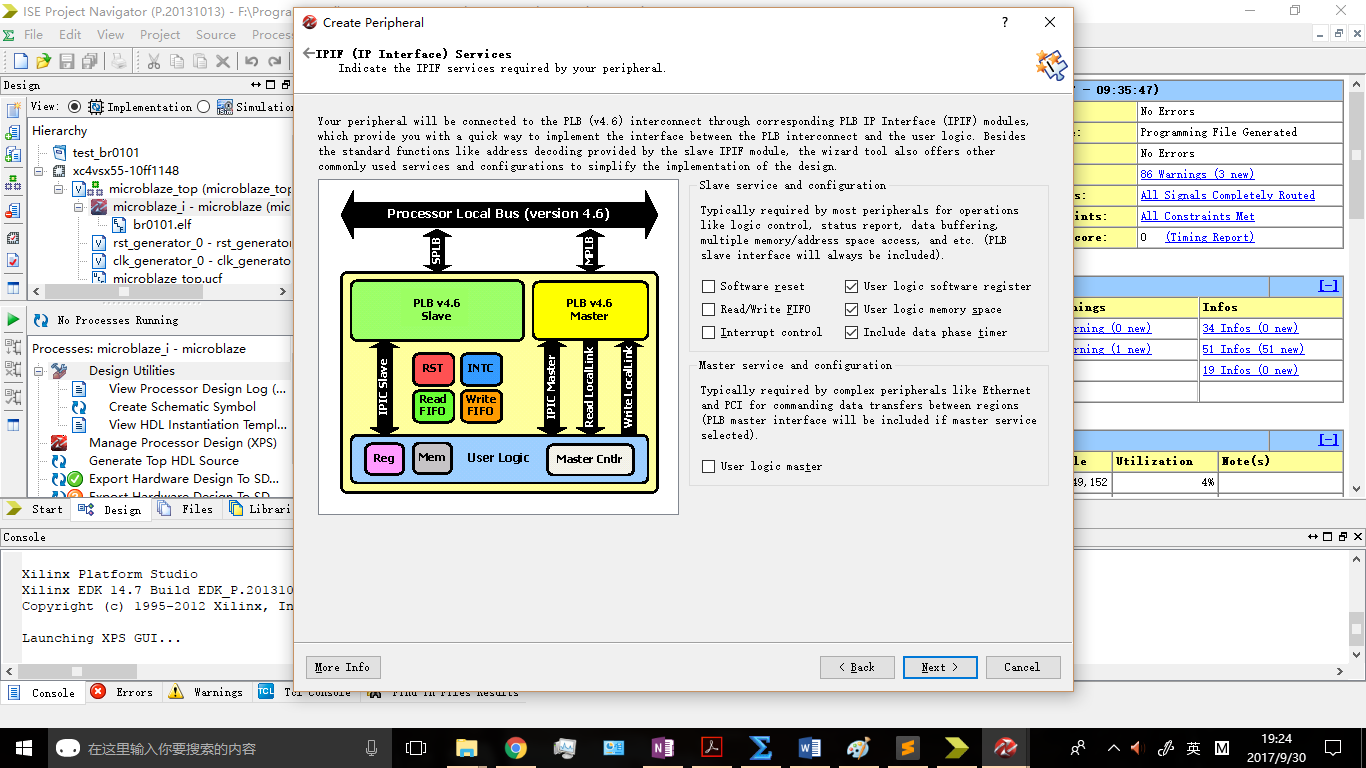


图 15 添加用户逻辑存储空间

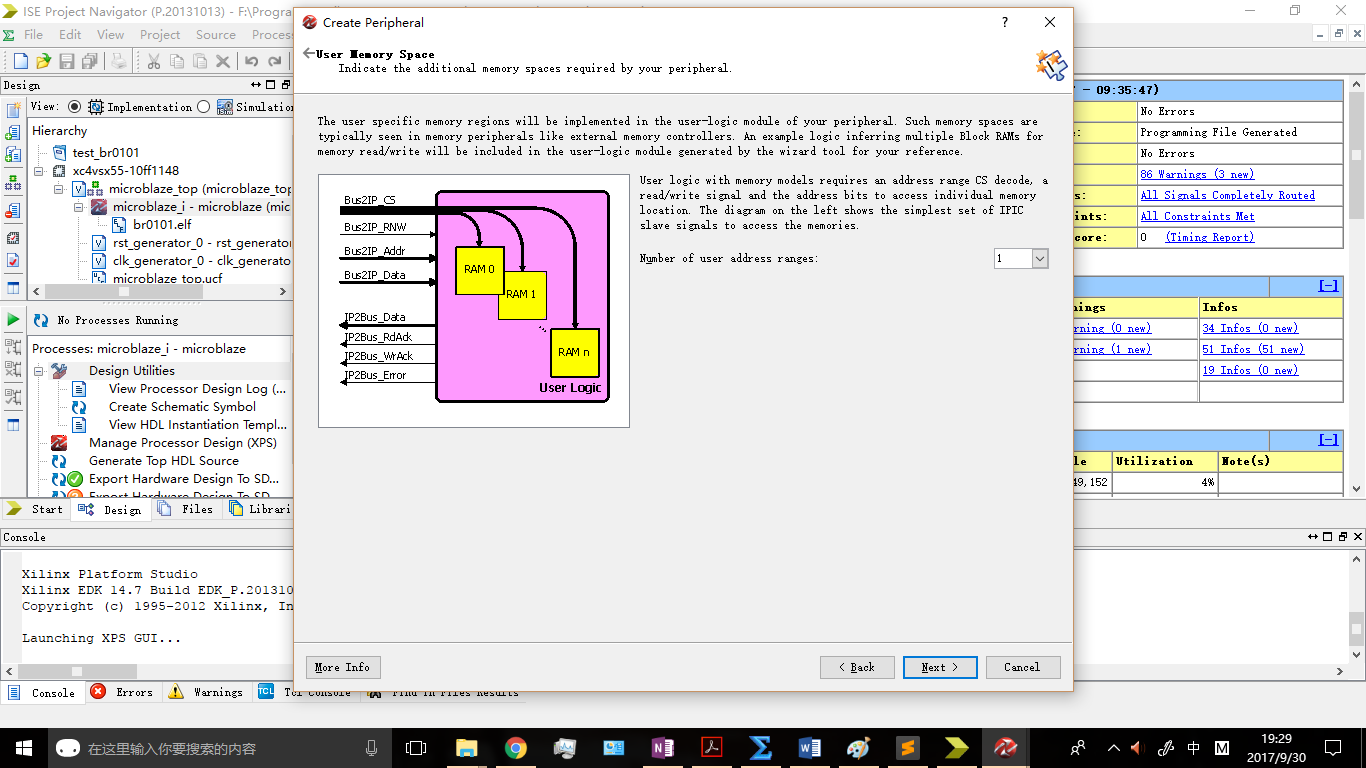


图 16 声明存储空间大小

### FIFO

### BRAM + FSL

# 参考资料

1. Xilinx, [LogiCORE IP DDS Compiler v4.0](../references/User%20Guide/LogiCORE%20IP%20DDS%20Compiler%20v4.0.pdf)
2. 徐文波，田耘，Xilinx FPGA开发实用教程