BR0101固件开发——模数转换器AD9715

（第二周）

我们继续进行BR0101的固件开发，按照计划，进行AD9715固件的仿真和软硬件协同的调试。

# 1 MicroBlaze嵌入式系统的仿真调试

在完成了最初的固件开发尝试后，我们需要将自定义的固件挂载到MicroBlaze系统上，对系统进行整体的仿真和调试。调试流程大致如下图所示：

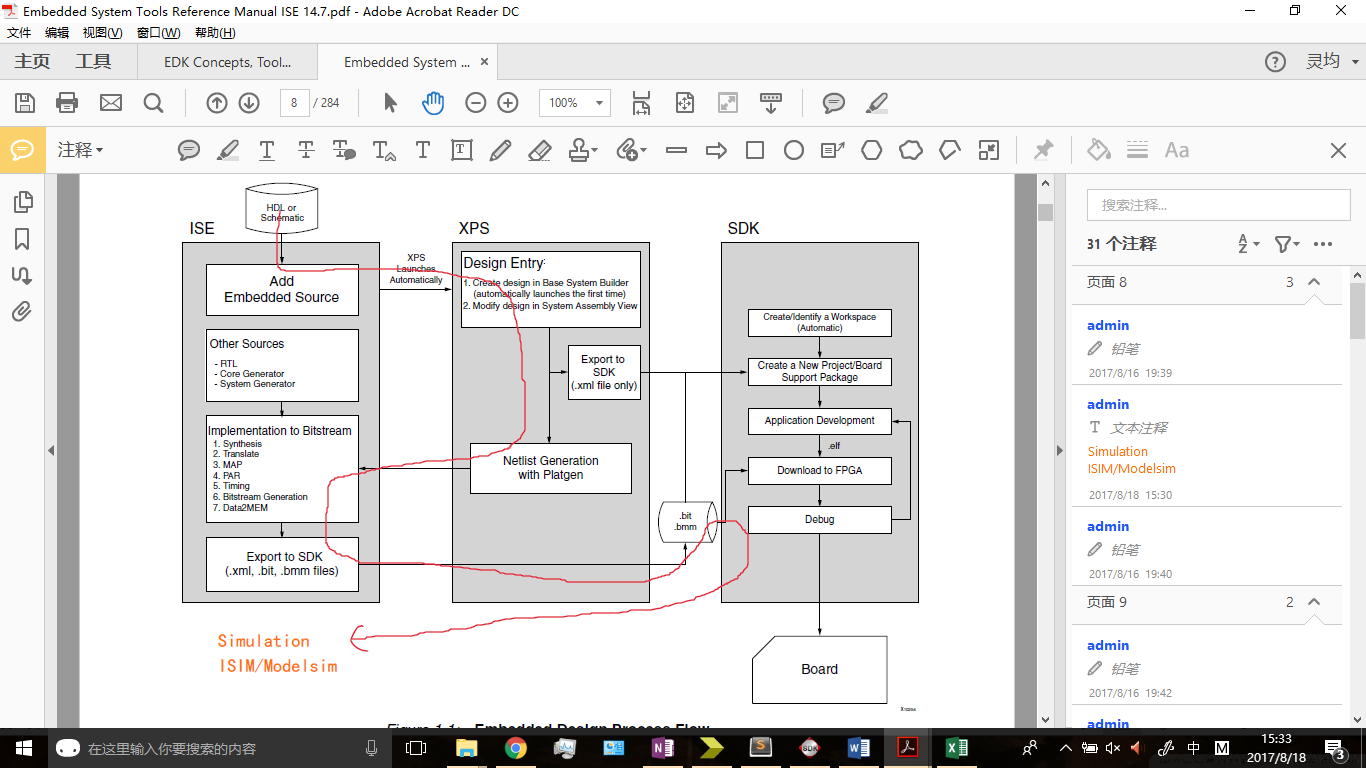


图 1 Xilinx 嵌入式系统设计、开发、测试流程[1]

## 仿真调试方法的调研

因为固件的仿真调试需要包含在MicroBlaze系统中，而且牵涉到软硬件协同调试的问题，和普通的FPGA应用仿真调试方法有所不同。我们针对这些方面进行了调研。

对于MicroBlaze以及其他嵌入式系统的测试和验证，Xilinx其实提供了两种方案：一种是硬件仿真验证，另一种是软件调试验证。具体区别如下：

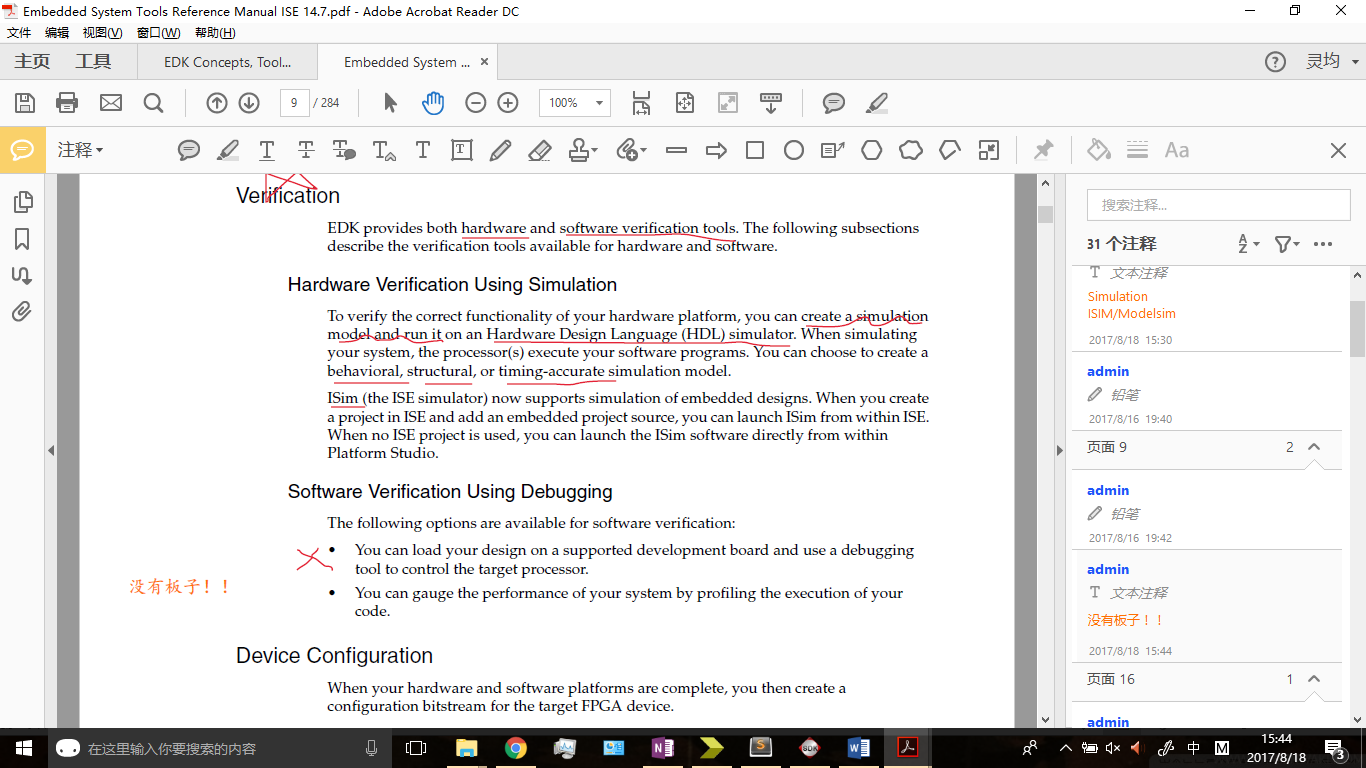


图 2 硬件仿真模型与软件调试模型的区别[1]

简单来说，硬件仿真验证还是采用传统的HDL仿真器，将MicroBlaze等软核作为硬件的一部分，将程序生成的可执行文件转换为BRAM中的信号，自动生成Testbench对系统进行测试和验证，类似传统的FPGA测试验证方法。软件调试验证则是以MicroBlaze软核为核心，以程序指令为单位，通过XMD或GDB等调试器控制程序执行，验证系统和程序的正确性，与嵌入式软件的测试验证方法相似。

此外，对于嵌入式系统的硬件仿真验证模型还可以分为三种：行为模型、结构模型和时序模型。其中，行为模型的生成方法如下所示：

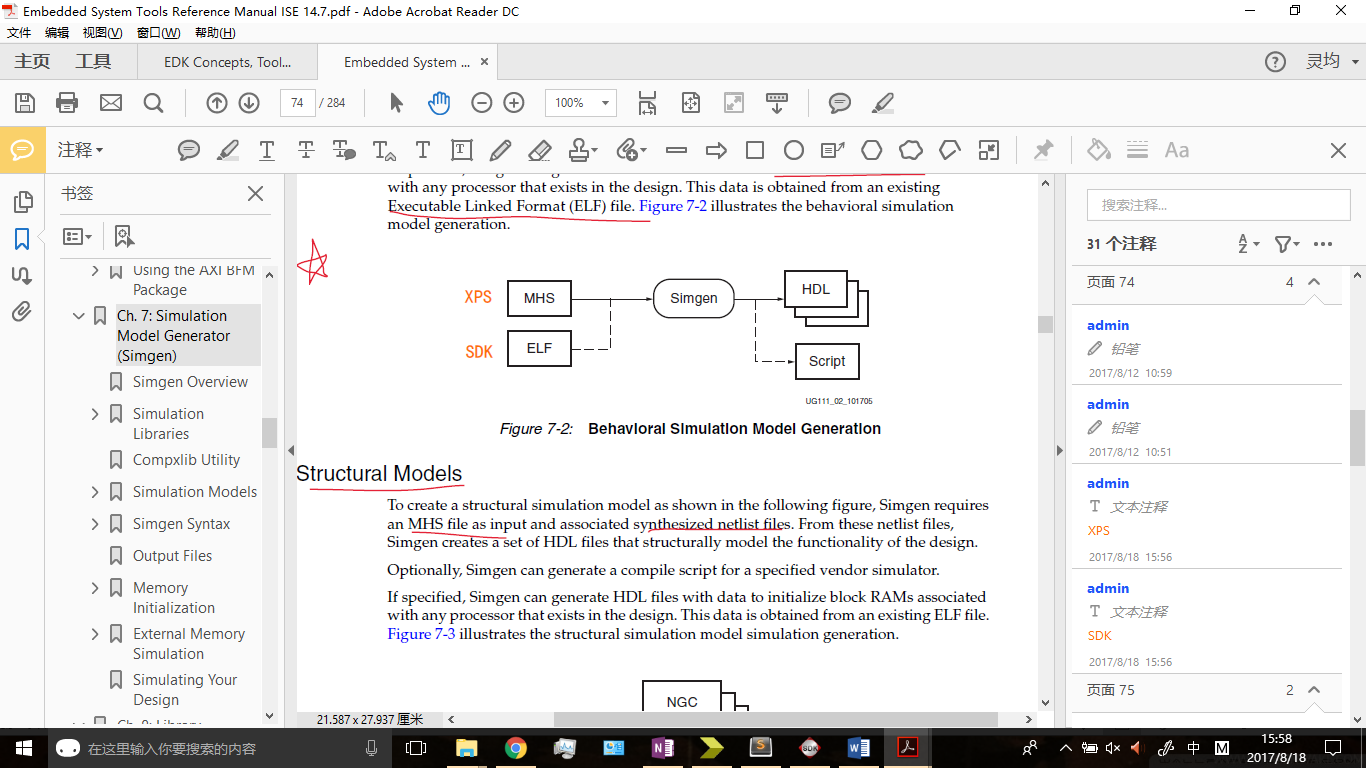


图 3 行为模型的生成[1]

XPS产生的微处理器硬件描述文件（MHS）包含了硬件平台的信息，SDK编译产生的可执行链接文件（ELF）包括软件部分的程序。Xilinx提供了Simgen工具来将这些文件综合起来生成仿真工具可以读取的HDL语言和脚本。行为模型可以验证软硬件部分基本功能的正确性，但不包含综合后信息和时序信息，不过可以基本满足我们的需求。

## 软件调试验证的尝试

我们先尝试了软件调试验证的方法。Xilinx提供了微处理器调试器（XMD）对软件程序进行调试。XMD有JTAG、串口、TCP Socket等多种接口，可以和实际的或远程的微处理器纪念性调试，但是由于我们暂时没有拿到开发板和芯片，只能通过GDB接口对仿真的处理器进行调试。

在SDK的菜单Xilinx Tools – XMD Console中可以打开XMD工具：

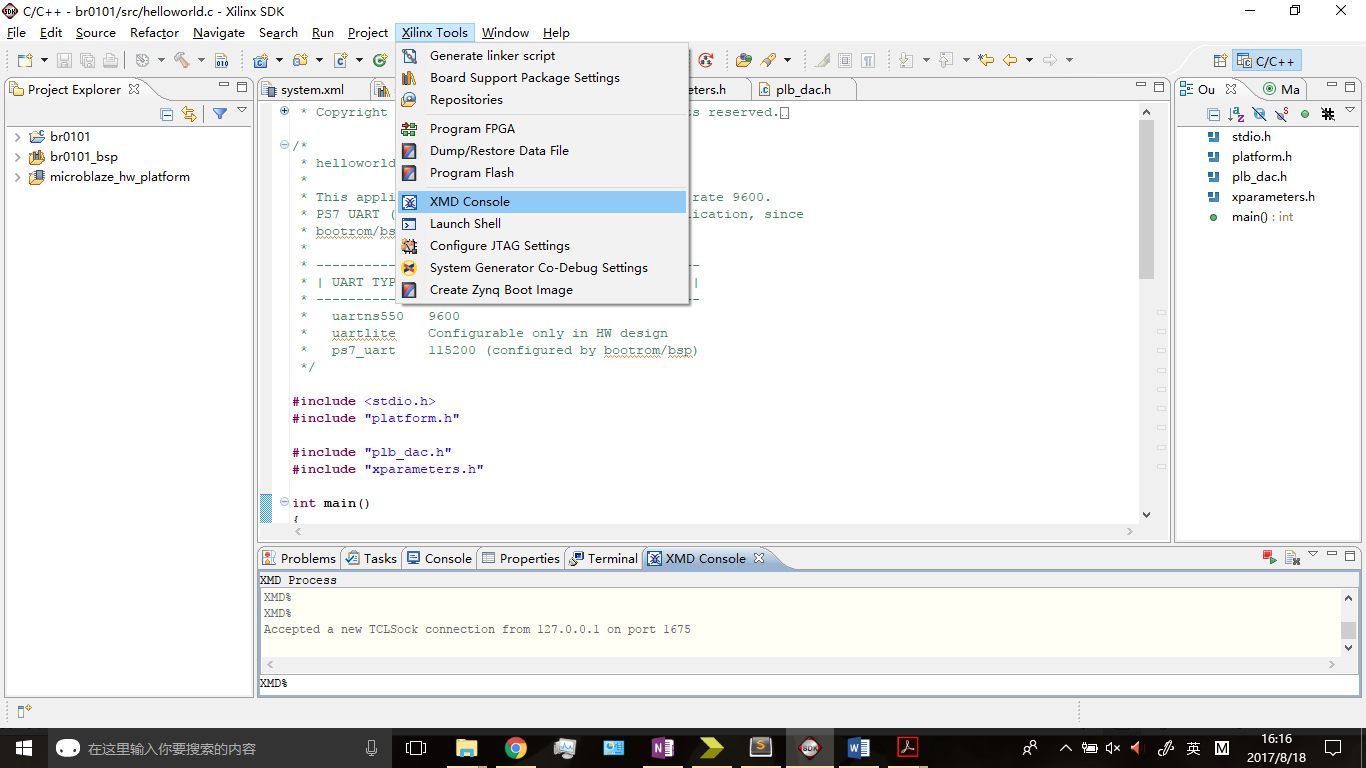


图 4 启动XMD调试器

输入下列命令可以连接到仿真的MicroBlaze处理器并下载位流：

connect mb sim

dow workspace/br0101/Debug/br0101.elf

还可以通过con、mrd、mwr等命令来控制指令执行和读写内存。但是读写内存的值经常不对，不知道是为什么。

XMD还可以和GDB联合进行调试。在XMD Console中找到ELF文件的位置，然后执行下列语句：

start mb-gdb br0101.elf

就可以启动一个GDB调试窗口：

o 
gäJ 
*-5LEt.äfit 
- C orrpl ement to certain set corm-rands 
43 
69 
l_mset - 
set 
set 
set 
set 
(gdb) 
Nichijou 
FPGA 
Further 
Developme.. 
Exchange 
Program 
FDUROP 
Ideas 
Games 
1 ne 
Digital Signal 
Processing 
• Computer 
Network I 
Japanese 1 
Political 
- Cancel environment variable VAR for the program 
environment - 
substi tute-path Llsage: l_mset substi tute-path [FROM] 
- Llnset target description specific variables 
tdesc 
tdesc filename Llnset the file to read for an target description 
#include <stdio. h) 
#include platform. h 
void print (char *str) 
int 
rn_unb er 
main ( ) 
init_platform() 
print ( 
return 
47 out 
Hello 
of range, 
46 
lines. 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:41 
2:42 
2:41 
2:41 
.. /src/helloworld. c has 
wc .exe 
which.exe 
who.exe 
Windows8 OS 
LENOVO 
112 
whoa mi .exe 
2CC5/4/21 2:41 
2008/8/10 22:23 
2005/4/21 2:42 
2005/4/21 2:41 
2005/4/21 2:41 
go KB 
86 KB 
24 KB 
62 KB 
77 KB 
42 KB 
18 KB 
26 KB 
23 KB 
33 KB 
28 KB 
32 KB 
24 KB 
32 KB 
35 KB 
177 KB 
98 KB 
23 KB 
72 KB 
24 KB 
23 KB 
bin " 
2017/8/16 

图 5 XMD与GDB联合调试

在GDB中也可以通过list、stp、print等一系列指令控制程序的执行。

不过，软件调试方法还是比较适合有实际的处理器或者软件部分比较复杂的情况，对于我们固件开发的测试验证，我觉得还是硬件仿真验证方法比较重要。

## 硬件仿真验证的过程

硬件仿真验证的流程比较复杂，下面会做一些具体讨论。

### 硬件仿真验证流程的调研

Xilinx为嵌入式开发、测试和验证提供了一套完整的工具链，包括XPS和SDK两大部分，还有一系列小工具如Platgen、Simgen、XMD、Bitinit等。不过这些工具有的集成在XPS和SDK的流程中，有的需要从XPS和SDK的菜单里调用。

我们常用的Project Navigator开发环境实际上只是一个简单的界面，它提供了一套基本的流程和与XPS、SDK等工具之间的接口。实际上，它是用一系列命令（Tcl脚本？）和很多文件（HDL、MHS、ELF等）调用工具完成整套流程的衔接。不过这些工具之间有时候耦合得不太好，比如SDK重新编译并更新ELF之后，在Project Navigator中用ISIM进行仿真的时候并不会自动调用Simgen重新生成仿真模型，这就导致仿真波形反映的还是上次编译的ELF得到的结果（也有可能是我操作的姿势不对）。有时候必须要手动调用这些工具，一种方法是在Tcl控制台中输入命令。在Project Navigator的菜单View – Panels – Tcl Console打开Tcl控制台：

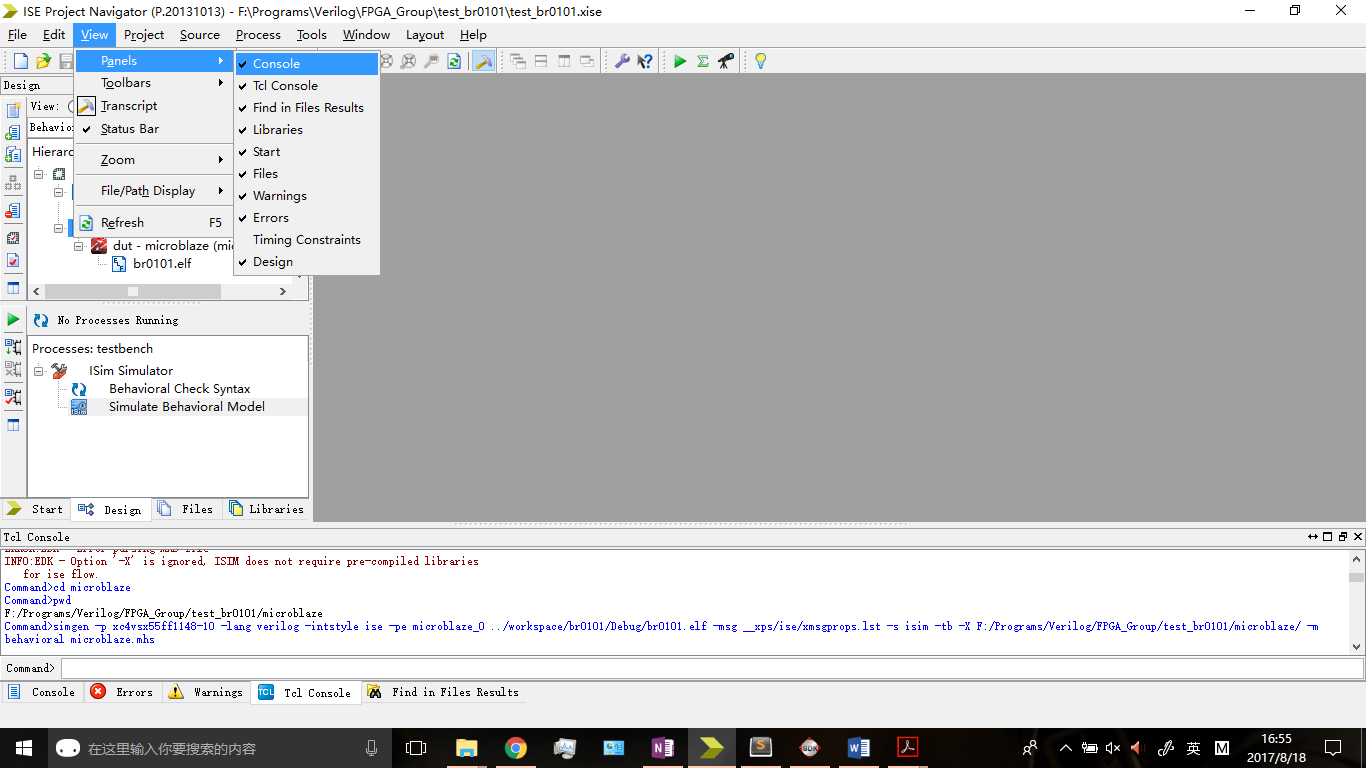


图 6 打开Tcl控制台

在Tcl Console中输入以下命令可以手动调用Simgen生成行为仿真验证模型：

cd microblaze

simgen -p xc4vsx55ff1148-10 -lang verilog -intstyle ise -pe microblaze\_0 ../workspace/br0101/Debug/br0101.elf -msg \_\_xps/ise/xmsgprops.lst -s isim -tb -X F:/Programs/Verilog/FPGA\_Group/test\_br0101/microblaze/ -m behavioral microblaze.mhs

这些命令可以在Simgen Log File的开头找到。

除了Project Navigator之外，Xilinx还提供了PlanAhead工具作为另外一种开发环境。PlanAhead进行嵌入式开发的界面大致如下所示：

brOIOI_planahead - 
File Edit Flow 
Tools Window Layout View' Help 
Open 
Settings 
Generating 
- PlanAhead 14.7 
o j e ct Snuy 
Flo. 
project Settings 
8 
Add 
IP Catalog 
Simulation 
RIL Analys 
Symthes1S 
Symthes1S Settings 
Symthes1S 
Open S >mth 
esized 
Impl on 
Impl 
Open 
Debug 
Settings 
ChipScope 
iMPAcr 
project — ImOIOI_p1anahea 
Waiting I cl 
o a z e _t op 
(miuoblaze_ 
(miuoblazæ :mp) 
(1) 
project Settings 
project 
ImOIOI_p1 a 
product 
project put: 
--10 
(S) 
(S 
C) 
Messages 
um ngs 
Y miuoblaze_i — 
AE ELF (1) 
Hi u archy IP 
I at e s 
aze 
Launch Simulator 
simulation mo 
x c4v sxSSff114S—IO 
x c4v sxSSff1148—IO 
Rep 
Synthe s 
Status: 
sub—desi 
x c4v 148 
Ready 
Status: 
Put: 
Str at e 
um ngs 
nt at I on 
Ready 
xc4vsxssff1148-10 
ISE Defaults 
the 
C ons tr s 
constrs I 
constrs I 
Back g 
m atlon 1 
Str at e 
Re ady 
(MHz) 
symth_l 
imp 1 _ 
console 
Defaults 
(ISE 
ISE Defaults 
(xsr 
14) 
14) 
Not 
Not 
st uted 
st u ted 
simulation models for 
gn 'microblaze 
the XPS sub—de s so 
2017/8/17 

图 7 PlanAhead开发环境

不过PlanAhead也容易出现各种问题，网上教程还少。其实最好的办法还是自己写Tcl脚本管理所有的流程和工具，不过难度比较高。据说Xilinx的新开发工具Vivado完美地解决了这些问题，希望以后可以学习一下。

### 硬件仿真验证流程图

参考Xilinx关于嵌入式系统开发的教程[2] ，我们得到基于Project Navigator进行嵌入式系统硬件仿真验证的大致流程图如下：



图 8 基于Project Navigator进行嵌入式系统硬件仿真流程图

### 硬件仿真验证的具体过程和遇到的问题

上述硬件仿真的流程是我们在查阅资料和实际尝试的过程中一点点总结出来的，也可能有很多不完善的地方。在具体实践的过程中，我们也遇到了很多大大小小的问题。

#### ISE与ModelSim联合仿真的问题

一开始我们准备采用ISE与ModelSim联合仿真，这就需要预编译Xilinx的IP核，并将预编译库导入ModelSim中。之前用ISE 10.1的时候我导入过一次，但是ISE 14.7还是需要重新导入。

采用32位的预编译库向导compxlibgui.exe，编译Vertex-4系列的所有相关库，注意要取消勾选Exclude Superseded选项，否则编译会报错。

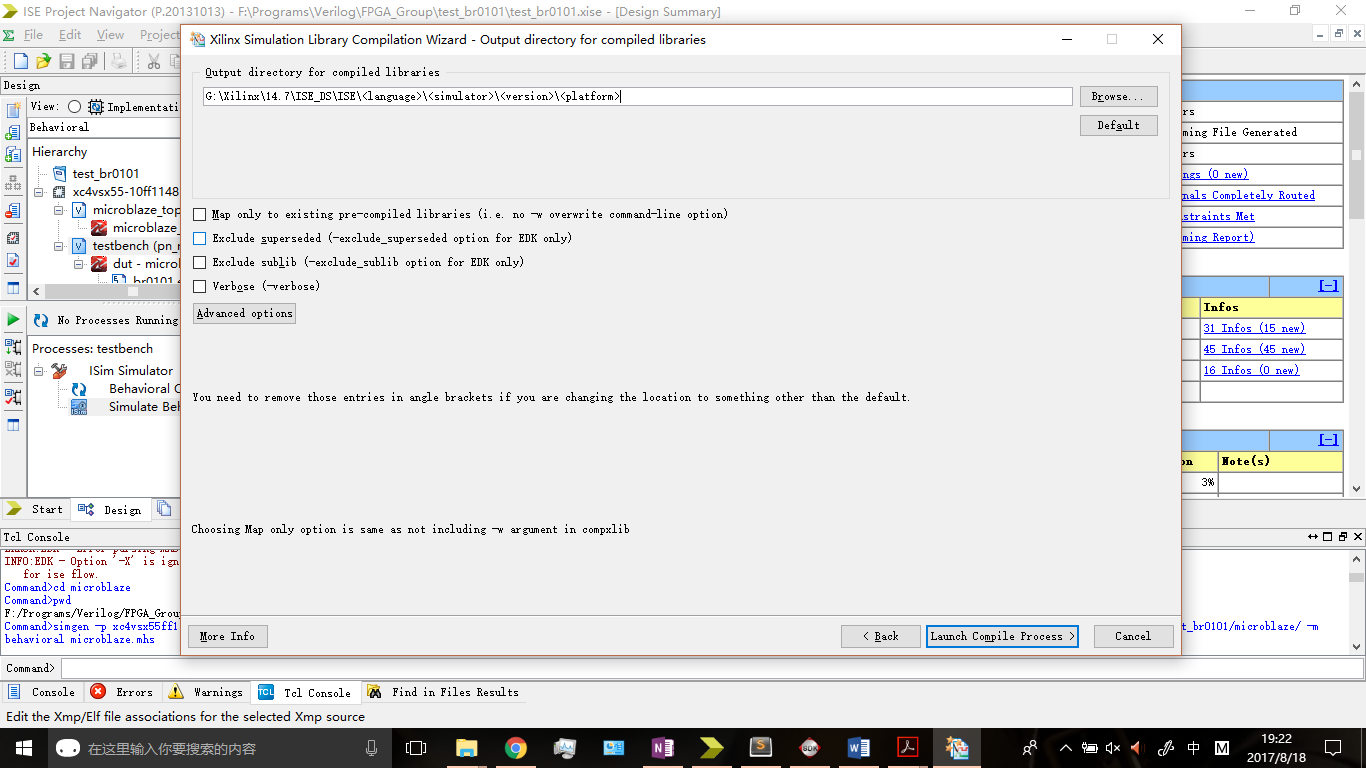


图 9 预编译库向导编译选项

编译完成后将默认路径下生成的modelsim.ini文件覆盖到ModelSim根目录，就完成了导入。

然而仿真过程中却发现，还是有一个MicroBlaze相关的库没有导入成功：

ISE Project Navigator (9.20131013) - brOIOI\test brOIOI xise - 
File Edit View Project Source Process Tools Window Layout Help 
Behavioral 
console 
in Files Results 
[pn 
. PI b dac O 
. PI b dac O 
S Format pin ( PI b dac O S Format pin ) , 
S PWRDN pin ( plb dac O S PWRDN pin ) 
H ierarchy 
test brOIOI 
xc4vsx55-IOff1148 
microblaze_top (microblaze_top.v) 
microblaze_i - 
microblaze (mic 
testbench (pn microblaze_testben•—— 
dut - microblaze (microblaze.x 
Run Failed: Simulation 
Processes: testbench 
ModelSim Simulator 
M Simu late Behavioral Model 
The fil 
70 
O 
O 
// Clock generator for fpga O clk I sys clk pin 
initial 
begin 
fpga O clk I sys clk pin = I 'bO; 
forever # (fpga O clk sys clk pin PERIOD/ 2. 00) 
fpga O clk sys clk pin 
fpga O clk sys clk pin; 
end 
// Reset Generator for fpga 0 1st I sys 1st pin 
initial 
begin 
fpga O ISC I sys ISC pin = I 'bO; 
# (fpga 0 1st sys 1st pin LENGTH) fpga O rsC I sys rsC pin 
end 
— —fpga O rsC I sys rsC pin; 
START 
User: 
USER CODE (Do not remove this line) 
Put your stimulus here. Ccde in this 
section will not be overwritten. 
types pkg.vhd is distributed by Xilinx encrypted and w - 
not be read by any simpaIatOI. 
Please use compxlib to setup the EDK 
ilea libraries andprovide Che pach Co Chem using the —E sw 
[simulation/ behavioral/ microblaze setup. do] ' 
make : 
ERROR : EDK 
Console 
W ngs 
Find 
Ln 76 cal 8 
2017/8/14 
Verilog 

图 10 ModelSim仿真报错

上网查阅资料后发现，有人也遇到了这种问题，好像是因为XPS没有正确地指定库的位置。最后我们没能找到较好的解决方法，只能采用ISIM代替ModelSim作为仿真器。

#### SDK自定义IP驱动导入的问题

在软件开发过程中我们要给自定义IP写驱动程序，并把它导入到SDK中使用。在创建自定义IP时XPS也为我们生成了驱动程序的模板，只需要对它进行简单的修改即可。然而在导入SDK时却出现了一些问题。

按照官方教程，只需要在SDK的菜单Xilinx Tools – Repositories中，将包含驱动的文件夹添加到本地库中即可：

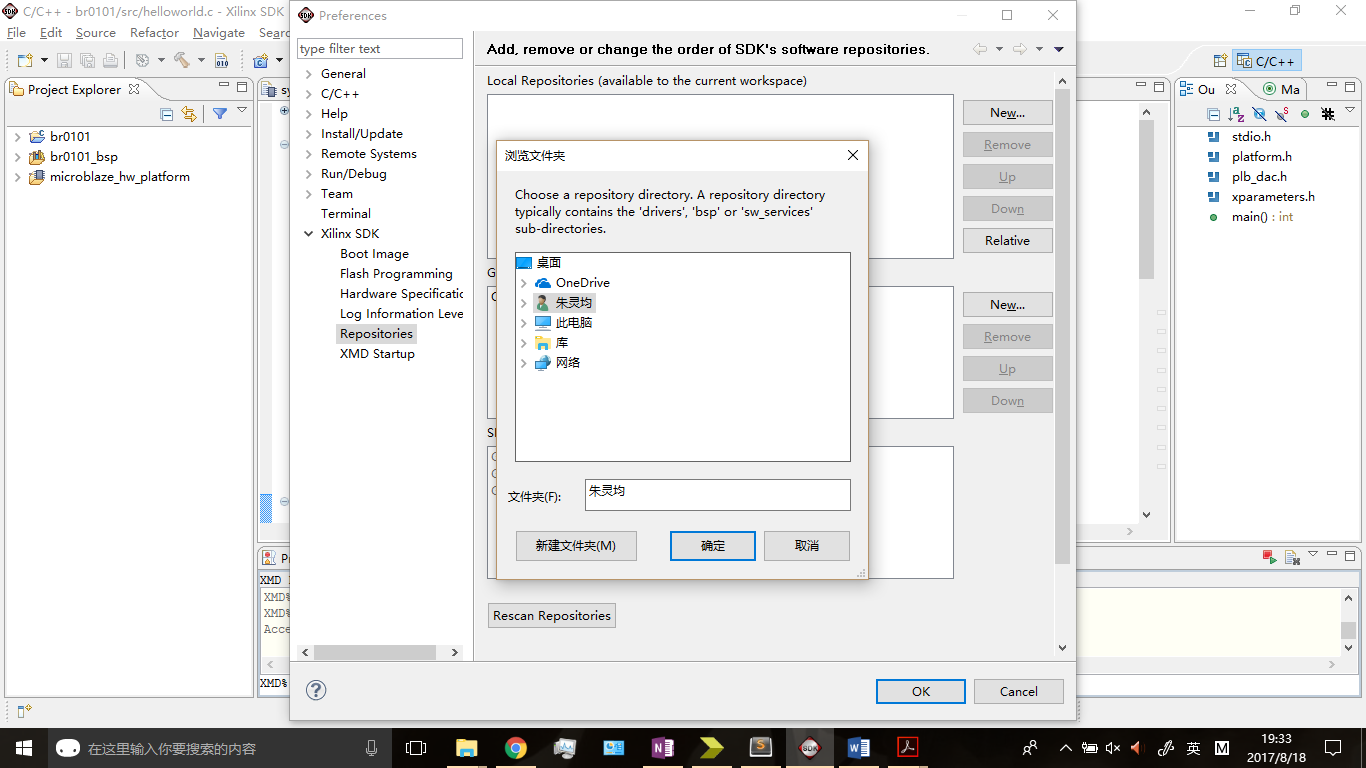


图 11 在SDK中添加自定义IP驱动库

然而这样做常常不起效果。查阅网上论坛的资料后发现，这是SDK的一个bug，必须要将驱动文件夹drivers放到C:\edk\_user\_repository\MyProcessorIPLib，并添加为Global Repositories，SDK才能找到。不仅如此，当前的项目还不能立即检测到这个库，Rescan Repositories也没用。必须要把这个SDK项目删掉，重新创建一个，才能正确找到自定义IP核的驱动。

#### ELF文件与仿真模型更新的问题

前面一节也提到这个ELF文件与仿真模型不同步的问题。一开始我们没有搞明白Simgen的作用，为了强制更新仿真模型，我们只要修改了程序就必须重新在XPS中更改硬件设计，生成网表，更新顶层HDL文件，重新导出到SDK，将整个流程再跑一遍，浪费了很多时间。

#### 软硬件结合出现的问题

按照上述流程，我们对整个包含DAC固件、软硬件结合的MicroBlaze嵌入式系统进行了仿真，第一次仿真得到的波形如下所示：

File Edit View Simulation 
and Processes 
Instances 
'Sim (9.20131013) - [Default.wcfg] 
es Results 
h Results 
Window La'ß•ut Help 
Objects 
Simulation Objects E 
aun c h 
Name 
Instance and Process Name 
std logic_1164 
attributes 
std logic_misc 
std logic_arith 
std logic_signed 
nu meric std 
text i o 
vital timing 
vital_primitives 
std logic_u nsigned 
Imb bram if funcs 
proc common_pkg 
ipif pkg 
family support 
'"0 m pone nts 
G vpkg 
VI types 
Instanc••• 
Console 
Default flow is: r 
test k 
std 
attril 
std 
std 
std 
texti 
vital 
vital 
fami 
vpkc 
VI ty 
Object Name 
fpga O RS23.. 
plb dacOS 
plb dacOS 
plb dacOS 
plb_dac O S 
plb dacOS 
plb dacOS 
plb dacOS 
fpga_O clk_u 
fpga O rst I 
fpga_o RS23„ 
fpga O clk_ 
fpga O rst I 
Value 
0000000000 
20000 
320000 
run IOOOns 
O 
O 
seuc 
V 
14 fpga o_RS232 
plb dacOS1 
plb dacOSI 
plb dacOSI 
plb dac O S 
plb dacOSI 
plb dacOSI 
fpga O clk_l 
fpgaOrst I _ 
fpga O RS232 
fpga O clk_l_ 
fpga O rst I 
Top level port 
plb dac C 
01b dac C 
Value 
0000000000 
20000 _ 0000 
320000 _ 000 
x 
Default wcEg 
w _ top; run IOOOns o 
Setting up 
# run all 
Console 
1 gna_l tracing 
Find 
Sim Time: fs 
2017/8/16 

图 12 MicroBlaze嵌入式系统第一次仿真波形图

可以看到DAC相关的信号PWRDN、DATA等完全没有变化。为了找到问题的原因，我们做了很多尝试：改变读写寄存器的方式、改变延时的时间、删除UART传输程序等等，但都没有起到效果。

最后我们发现，这还是因为PLB总线的比特方向颠倒导致的。之前固件单独仿真的时候我们就遇到了这个问题，但是认识得不深入，以为软硬件协同的时候可以自然解决，结果出现了很大的问题。

在生成的PLB固件模板中，信号都是以wire [0 : WIDTH -1] signal;的格式声明的，与我们常见的位宽声明方向相反。这导致信号整个颠倒过来，signal[0]是MSB，而signal[31]是LSB。不知道这是否与PLB总线的Big Endian特性有关。

在搞清楚问题之后，修改起来还是较为简单的，只要在固件开发的时候把signal[0]当成MSB就可以。但是要注意后面添加约束文件（.ucf）的时候，也要保证信号相符，比如DAC的并行数据端口DB[9]就得接FPGA输出信号S\_DATA[0]。

### 1.3.4 硬件仿真验证的结果

最后仿真验证的结果如下所示：

Float (9.20131013) - [Default.wcfg*] 
File Edit View Simulation Window 
z 
Layout 
Name 
fpga O RS232 TX pin 
plb dac O S_CIkMD_pir 
plb dac O S_CIkout pin 
plb dac O s_DCLK10 pi 
plb_dac O S_Data pinCC 
plb dac O s_PWRDN p 
plb dac O S_PinMD_pir 
fpga O clk_l sys clk_pi 
fpga O rst I sys rst pir 
fpga O RS232 RX pin 
fpga O clk_l sys clk_pi 
fpga O rst I sys rst pir 
Top level ports 
Value 
20000 _ 000000 
320000 _ 000000 
x 
1000110100 
Help 
17,850 n 
234 
100•• 
345 
110•• 
17,900 n 
234 
100•• 
17, ns 
77 
000 ns 
Oso 
234 
100••• 
18, ISO n 
345 
R e —1 aun c h 
18, 200 ns 
234 
100•• 
300 ns 
345 
345 
18, 100 
234 
100••• 
345 
234 
16 
16 
16 
16 
plb dac O S PWRDI 
plb dac O S Format 
plb daco S clkMD 
plb dacos PinMD 
plb dac O S Clkout 
plb daco S DCLKI( 
plb_dac O S_Data p 
110•• 
100•• 
234 
100•• 
345 
110•• 
234 
100•• 
345 
110•• 
fpga O rst I sys rst 
fpga O clk_l sys Cll 
16 fpga O RS232 TX pi 
Default wcEg* 
Sim Time: fs 
2017/8/18 

图 13 MicroBlaze嵌入式系统仿真验证结果

可以实现DAC的使能控制、格式控制、交叉读写控制等功能，与固件单独仿真的结果也相符：

Float (9.20131013) - [Default.wcfg*] 
Edit View Simulation Window 
Value 
Name 
IP2DAC 
284 
IP2DAC 
IP2DAC 
IP2DAC 
IP2DAC 
IP2DAC 
IP2DAC 
IP2aus_l 
oooooooc 
IP28us 
IP28us ' 
IP28us 
aus21P 
aus21P 
aus21P 
1234234E 
aus21Pl f 
aus21P 
aus21P 
La 'ß•ut 
000 
Help 
234 
11 
000 
700 ns 
Re—I aunch 
950 n 
234 
750 ns 
234 
000 
234 
000 
000 
234 
000 
234 
xl: 988737 ns 
De Eau] E 
000 ns 
234 345 
Sim Time: ps 
2017/8/18 

图 14 固件单独仿真结果

## 用户约束文件的添加

为了将信号约束到FPGA的相应管脚上，完成布局布线，生成可以下载的位流，我们还需要在工程中添加用户约束文件。用户约束文件的写法可以参考Xilinx Constrains Guide[3] 。

可以用Excel的公式快速生成约束语句，效果如下图所示：

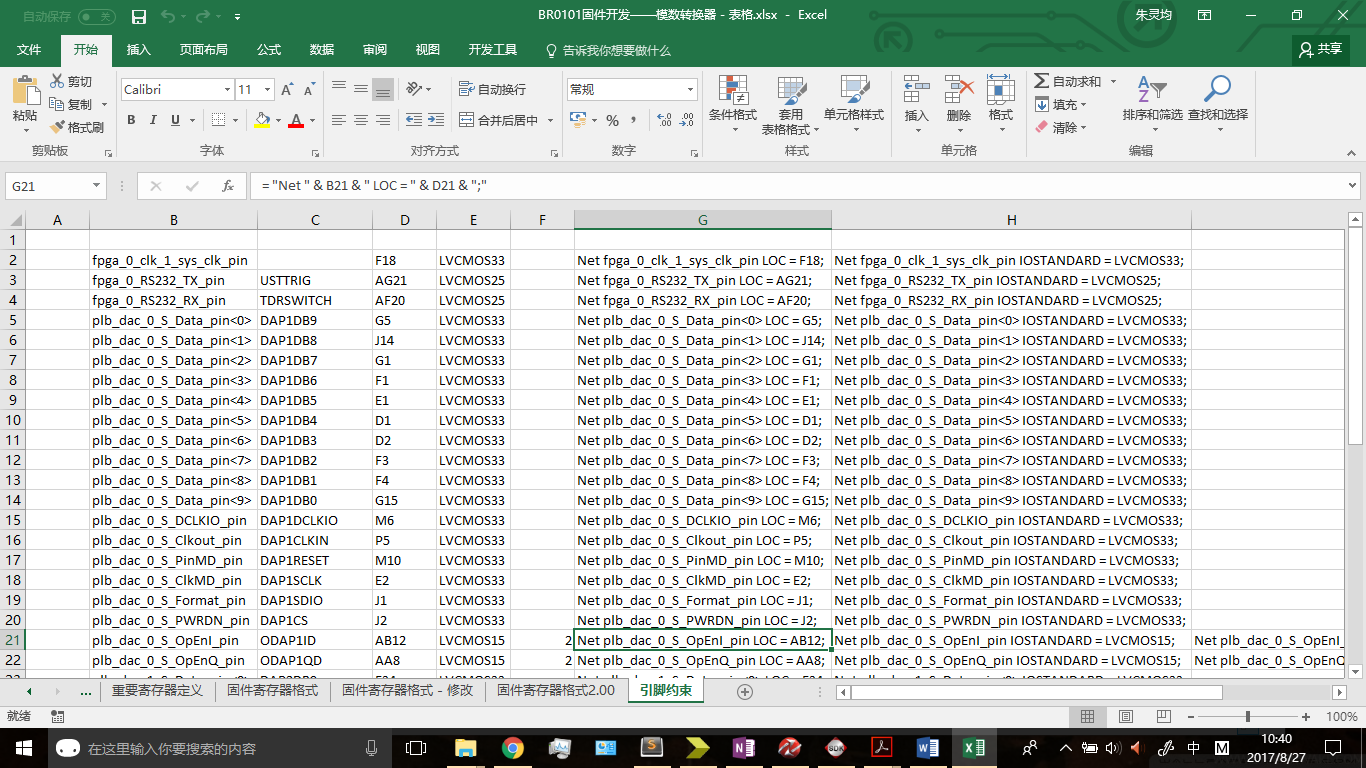


图 15 采用Excel生成约束语句

将生成好的.ucf文件添加到工程中，再进行Implement Design步骤，就可以将信号约束到相应的管脚上。

# 2 AD9715测试程序的设计

我们希望设计一个测试程序，对AD9715的基本特性和固件的功能进行测试。

## 2.1 测试程序的初步设计

为了进行上板调试，我们先初步设计了一个简单的测试程序。它的功能就是简单地写控制寄存器，使能AD9715，再向数据寄存器中循环写入从0到的数据，使AD9715的I通道产生锯齿波。

## 2.2 测试程序的改进

为了实现多种波形产生、频率改变、通道选择等功能，我们计划对测试程序进行改进，通过UART实现一个简单的UI，对AD9715进行控制。这就需要用到UART的中断读写等功能，还需要进一步研究。

# 3 AD9715上板调试实验

在王老师的指导下我们进行了AD9715上板调试实验，在实验过程中也发现了不少问题和需要改进的地方。

## 3.1 问题1：无法进行位流下载

我们最初尝试进行位流下载的时候发现，我的电脑无法正常连接到Xilinx下载器。虽然设备管理器中能够找到Programmable Device下的Xilinx Cable，但在XPS的FPGA Programming向导中每次尝试下载都会失败。如果在iMPACT工具中搜索器件，也无法找到下载器。推测可能是驱动安装的问题。

之后我们将工程拷贝到实验室的测试机上，再进行位流下载，就没有再出现什么问题。

## 3.2 问题2：UART乱码

我们最先进行的是UART通信部分的调试。测试程序的开头会通过UART输出“Hello World”，但是一开始我们却只能收到一串乱码。我们意识到可能是波特率配置有错误，但是硬件和串口调试助手都设置的是波特率9600，无校验位，1位停止位。

后来我们发现是在XPS的MicroBlaze配置中，我们将系统时钟设为了默认的50MHz，而板上实际输入的时钟信号是100MHz，这就导致UART模块产生的波特率出错。只要在顶层模块中加入一个时钟分频器，对输入时钟进行二分频，再作为系统时钟连接到MicroBlaze软核上，就可以解决这个问题。

不过，这个时钟分频的代码和之前复位产生器的代码都很奇怪，因为没有复位信号。在仿真过程中会出现一些问题，但是在实际板子上确实可以用。

## 3.3 问题3：UCF文件配置有问题

我们最初将管脚约束添加在microblaze/data文件夹下自动生成的microblaze.ucf中，但是项目没有正确地把这个文件包含在内，导致管脚约束出现了一些问题。运行PlanAhead – I/O Pin Planning就发现信号没有约束到正确的管脚上。于是我们删除了原来的UCF文件，在项目根目录下重新添加了一个UCF文件，将管脚约束写在里面，就解决了这个问题。

## 3.4 问题4：输出信号无法快速变化

在实验中我们发现了一个奇怪的现象：如果传送给DAC的数字信号变化稍快（快于2ms/点），系统就无法输出正确的模拟信号。这个问题暂时还没有得到解决。

第二次调试中，我们发现可能的原因是FSADJx管脚上的电压被拉低了。

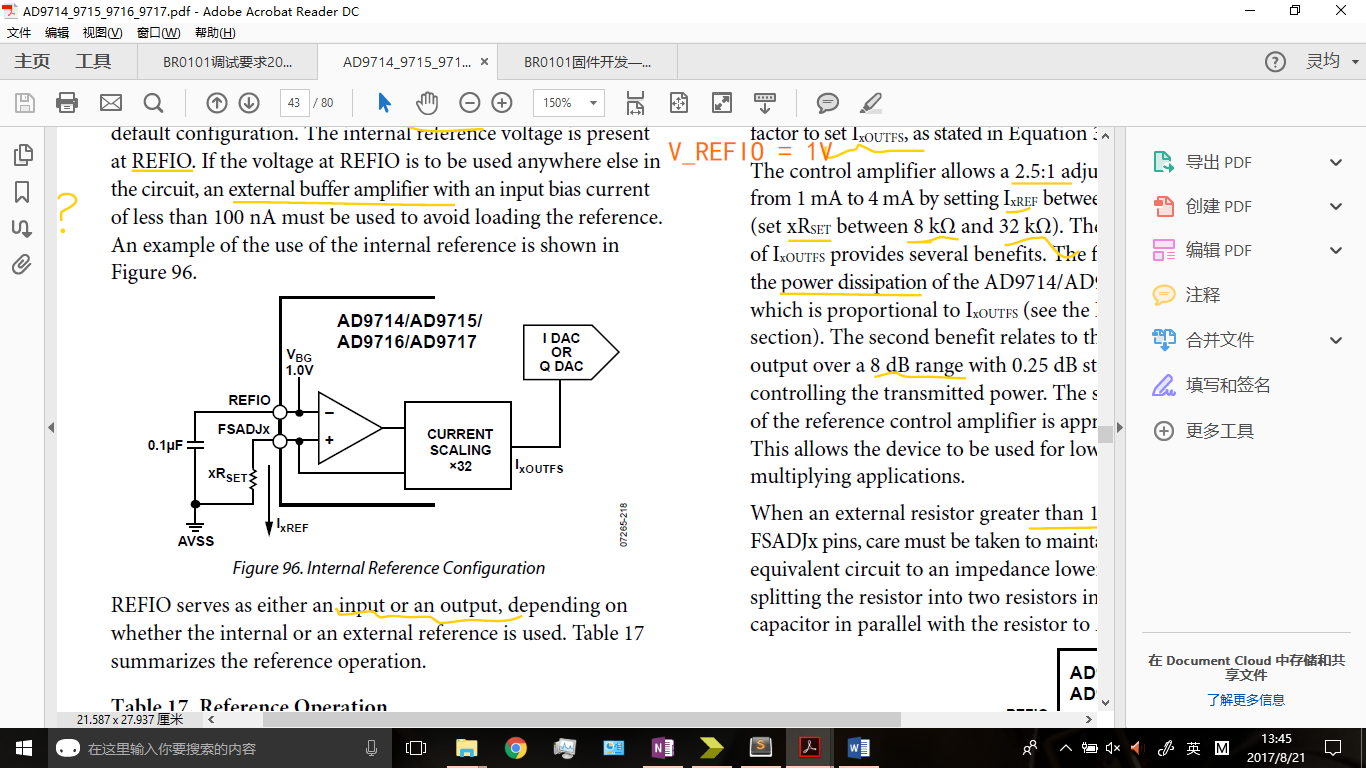


图 16 AD9715参考电流的产生[4]

按照数据手册上的描述，AD9715的参考电流是由REFIO管脚上的电压和FSADJx管脚上的外接电阻共同决定的。根据电路图，REFIO和FSADJx连接在一个运放的反相端和正相端。根据运放的原理，这两个端口的电平应该十分接近。但是我们在实验中测量发现，在运放采样率较低（数字信号变化延时为10000次循环以上）时，REFIO和FSADJx的电平都为1V；而在运放采样率较高（数字信号变化延时为2500次循环以下）时，REFIO的电平仍为1V，FSADJx的电平却下降到了0V。这就导致随着采样率的升高，参考电流降低，DAC的输出满标电流减小，输出电压变化范围大大减小。暂时还没有找到解决方法。

# 4 固件的改进与SPI接口的应用

为了尝试解决上板调试中遇到的问题，我们决定再次对固件进行改进，利用SPI接口读写AD9715内部寄存器的值，控制其采用内部参考电阻，并启用自动校准等功能。

## 4.1 SPI通信的实现

AD9715采用SPI进行通信，这是一种比较常见的通信协议，但是SPI缺少权威的规范标准，只有摩托罗拉的实用标准。所以各个厂商在芯片中使用的SPI信号定义和时序可能略有不同，比如AD9715采用的就是3线SPI，就是把常用的MISO、MOSI两个数据信号合成一个。这也造成了一些麻烦。

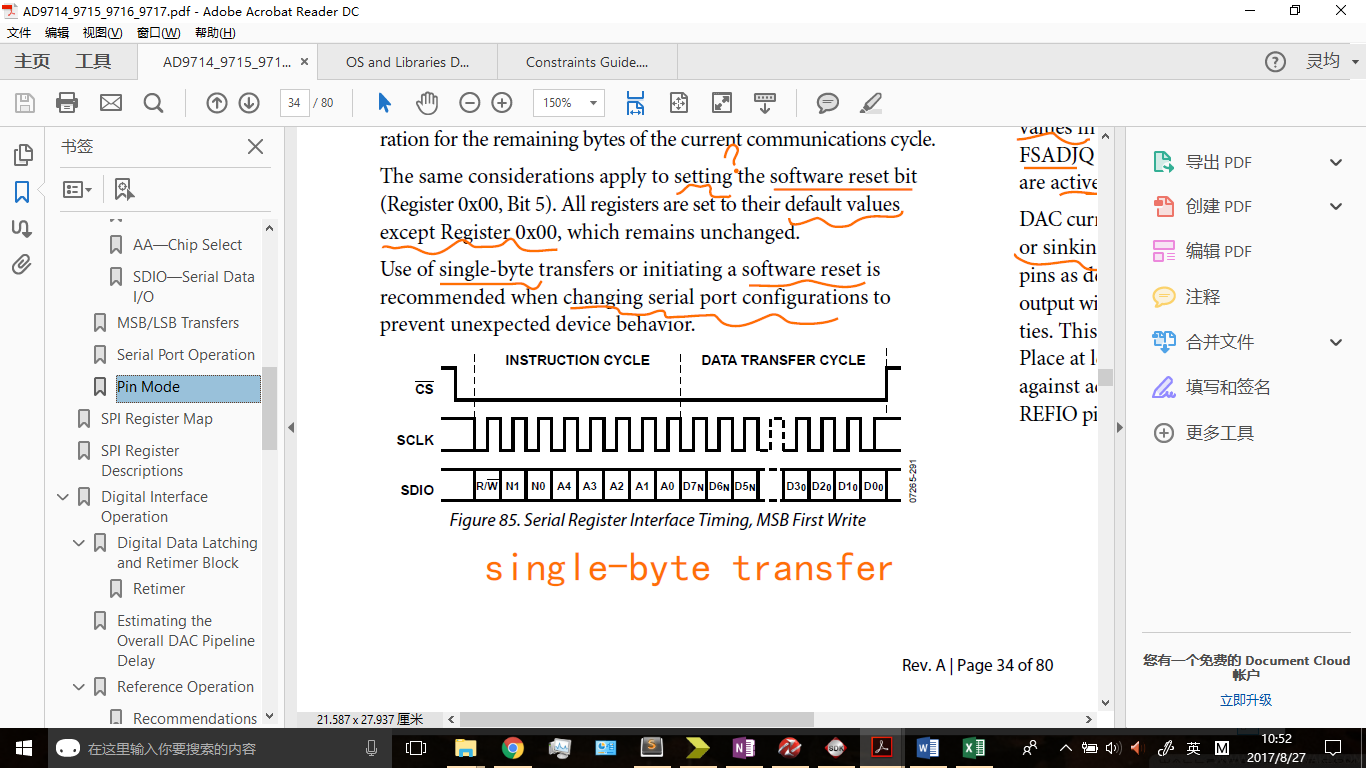


图 17 AD9715 SPI接口时序[4]

AD9715 SPI接口时序如上图所示，一个消息周期分为两个阶段，具体在第一周的报告中已经描述过。下面我们需要考虑的就是如何实现SPI的读写功能。

### 4.1.1 方案一 利用Xilinx提供的SPI IP核

Xilinx提供了一些SPI相关的IP核，不过在Virtex-4系列上能够使用的比较少。IP核添加向导中只能找到SPI 4.2的IP核。

H ierarchy 
test brOIOI 
xc4vsx55-IOff1148 
microblaze_top (microblaze_top.v 
microblaze_i - 
microblaze (micro 
rst_generator_O - rst_generator ( 
- clk_generator ( 
microblaze_top.ucf 
Processes: microblaze_top.ucf 
user Constraints 
Edit Constraints (Text) 
Li braries 
Console 
Xilinx Platform 
Xilinx EDK 14.7 Build EDK P. 20131013 
Copyright (c) I ggS—2012 Xilinx, Inc. 
Launching xps GUI. 
The IP Catalog has been reloaded. 
ISE Project Navigator (9.20131013) - .xise - 
[Design Summary (Programming File Generated)] 
Eile Edit yiew Pcoject Source erocess Tools Window La20ut Help 
Functi n 
• Pinal ri.ing sco 
1 n F 1 les Results 
New Sou rce Wiza rd 
Coregen or Archi tecture Wizard IF 
w by 
Na me 
q RXAUI 
S?' 4.2 
S?' 4.2 
q 
SPI-4.2 
q 
SPI-4.2 
q 
SPI-4.2 
Catalog: 
All 
All rights reserved. 
Find 
Version 
10.5 
11.2 
11.3 
11.4 
AX14 
only IF 
patible with chosen part 
status (08/21/2017 
ple.entation State: 
• 'arnings: 
• Routing 
Results: 
arni ngs 
ion 
49, 152 
Console 
Add a new source to the project 
W ngs 
File Generated 
81 Warnin 
S i ends 
Completelv Routed 
Constraints Met 
45 new 
14:58 
2017/8/21 

图 18 Virtex-4中SPI相关的IP核

SPI 4.2是一种高速的芯片间通信协议，与我们常用的低速SPI通信接口似乎不太一样。不过，在XPS中还可以找到Xilinx提供的SPI外设。

ISE Project Navigator (9.20131013) - 
File Edit View Project Source Process 
System 
t E m the "Available Peripher 
th or peripher 
console 
console 
Design 
H ierarchy 
test spi 
Simulati on 
xc4vsx55-IOff1148 
microblaze (microblaze.xmp) 
Processes: microblaze 
Design Summary/Reports 
Design Utilities 
Manage Processor Design (XPS) 
Generate Top HDL Source 
Export Hardware Design To SDK wi. 
Li brarie 
To implement this design 
01 run the Generate Top HDL 
which references this design 
implement 01 analyze p 
Launching Design Summary/ Report Vi 
W ngs 
Base System Builder 
peripheral Configurati on 
add a peripheral, dr g 
click on the peripheral 
i 1 able peripherals 
Peripheral Names 
10 Devices 
Internal Peripherals 
Imb bram if cntlr 
xps_bra r 
xps_timebase wet 
xps_tl mer 
e) Peripherals 
o change 
Pa ra meter 
x ps_spl 
All 
Co re 
Generic SPI 
Co re 
C NUM SS BITS 
C NUM TRANSFER BITS 
C SCK RATIO 
Include Receive and Transmit FIFO 
use Interrupt 
dlmb cntlr 
Core: Imb bram if cntlr 
ilmb cntlr 
Core: Imb bram if cntlr 
arni ngs 
arni ngs 
9:51 
2017/8/24 

图 19 XPS中的SPI外设

问题在于，这个外设是基于四线SPI的。要用于AD9715的SPI通信，必须做一些修改。

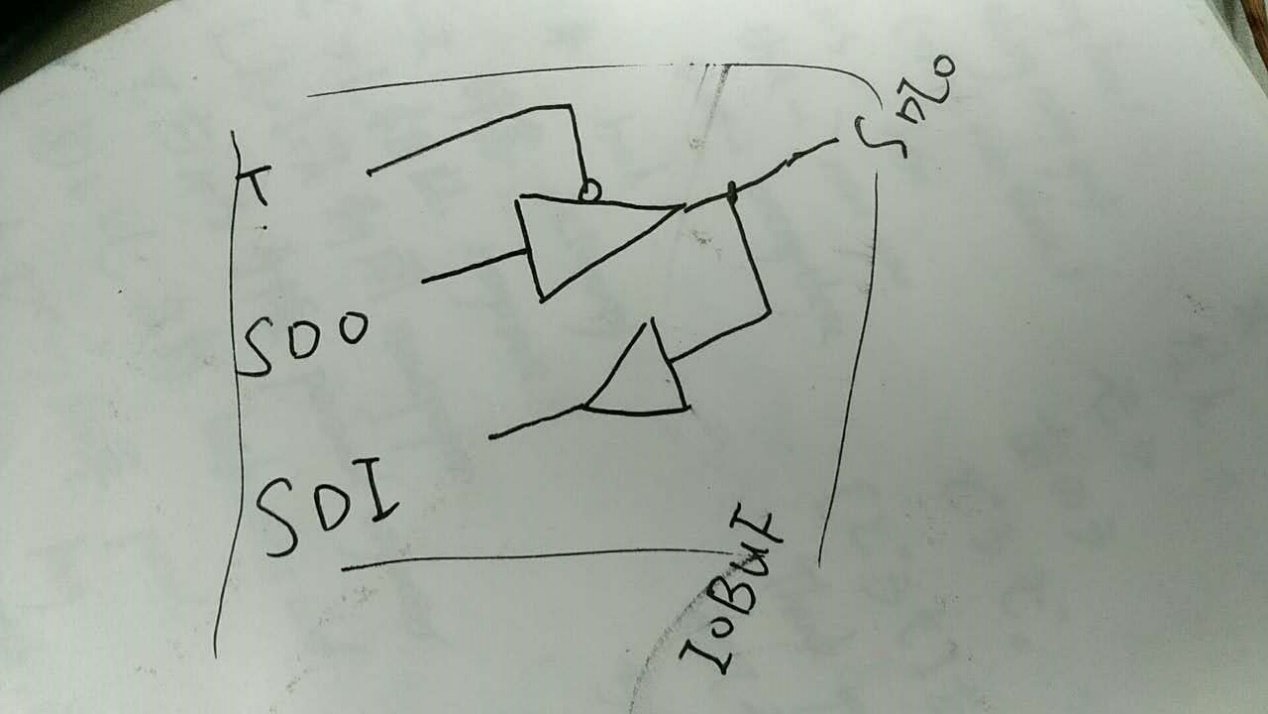


图 20 IOBUF结构

王老师提出可以用上图所示的IOBUF结构将四线SPI的SDO、SDI两个信号合并为SDIO一个信号。这确实是一种可行的方法，但是由于SPI的IP核是Xilinx提供的，我们无法直接修改，有很多不方便的地方。比如，AD99715的读时序要求先从SPI写入一个字节的控制信号，然后AD9715会立即将一个字节的数据通过SPI输出。这就要求SDIO的读写状态快速切换，必须要由硬件来完成。因为无法修改IP核，我们需要在顶层模块上对SDi、SDO等信号进行处理，控制信号T的产生也相当麻烦。此外，使用SPI IP核意味着我们需要用两个固件来控制AD9715，让人觉得比较奇怪。因此最后我们决定还是在原来的固件中重新实现一个SPI通信模块。

### 4.1.2 方案二 在原来的固件中实现SPI通信模块

为了实现SPI通信，我们需要对原来的固件进行升级。升级后的固件寄存器格式如下表所示。

其中，寄存器3（DAC\_SPI）是SPI控制寄存器。如果向DAC\_SPI中写入数据，固件会自动通过SPI接口读写相应的数据。其中，第15至第8 bit是SPI指令位，按照AD9715数据手册中的定义，决定了数据的读写方向和地址。不过我们的固件只支持一次读写一个字节。如果第15 bit是1，表示读，数据传输阶段固件会将SPI总线上传输来的数据存入DAC\_SPI寄存器的第7至第0 bit；如果第15 bit是0，表示写，数据传输阶段固件会将DAC\_SPI寄存器的第7至第0 bit 通过SPI总线发送出去。



图 21 固件升级后的寄存器格式

采用下图所示的状态机来控制固件和SPI接口时序：

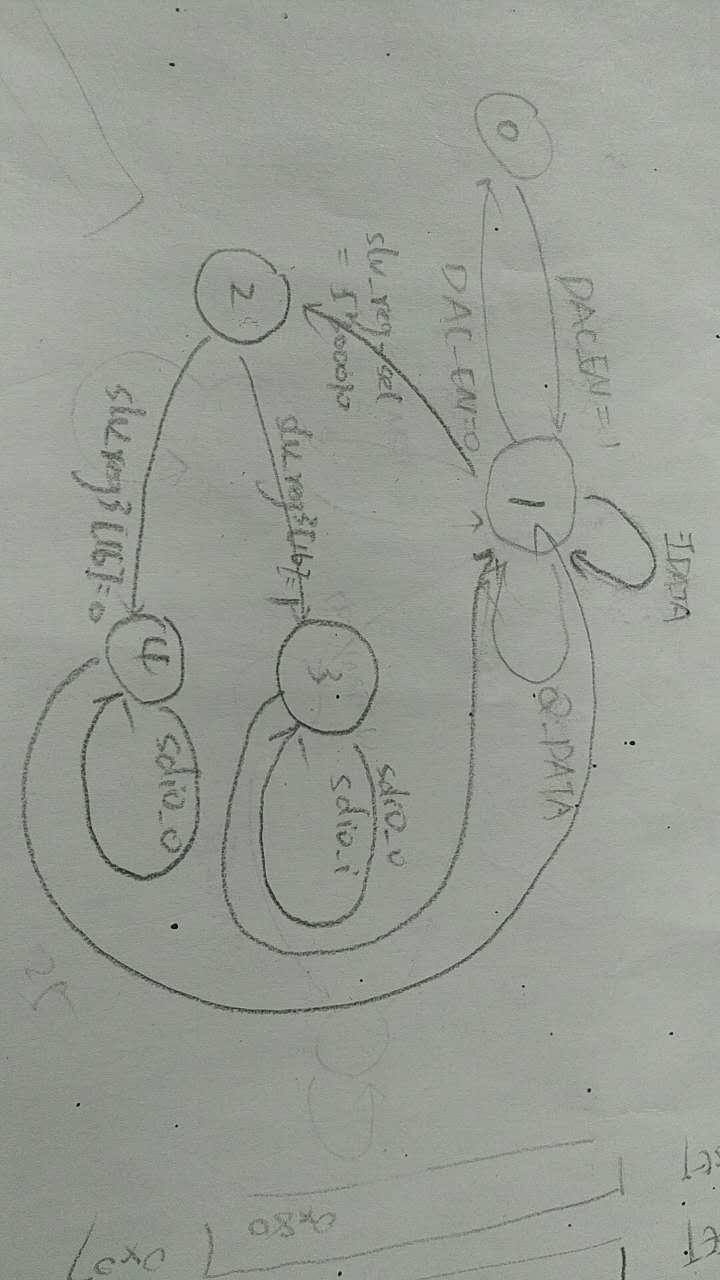


图 22 固件和SPI控制状态机

不过将改进的固件添加到MicroBlaze系统上之后，却发现综合无法通过。这是因为SDIO是一个三态的端口，但在XPS中如果直接将它声明为inout型信号，综合工具会尝试将它拆分为SDIO\_I、SDIO\_O、SDIO\_T三个信号，导致无法和底层模块链接上。参考Xilinx论坛上关于XPS中三态端口的讨论[5] ，我们需要将输入、输出、控制三个信号拆分出来，再在MPD文件中进行如下声明：



图 23 关于三态端口的声明

这样就可以将三个信号合成一个三态端口，实现了三线SPI的数据交换。

## 4.2 改进后固件的仿真

先对用户逻辑进行单独仿真，得到波形如下：

Float (9.20131013) - [Default.wcfg*] 
File Edit View Simulation Window 
z 
Layout 
Help 
Name 
IP2DAC Dataco 
IP2DAC DCLKI( 
IP2DAC clkout 
IP2DAC PinMD 
IP2DAC PWRDI 
192CAC clkM 
IP2DAC Format 
IP2DAC opEnl 
IP2DAC opEnc 
IP28us Data[0:: 
IP28us RdAck 
IP28us_WrAck 
IP28us_Error 
aus21P clk 
aus21P Reset 
aus21P Data[o:: 
aus21P 
aus21P RdCE[0 
aus21P WrCE[0 
sdio reg 
write spi 
Value 
000 
00000003 
00000000 
10000 
00000 
1,200 ns 
400 ns 
1, 800 ns 
2, 000 ns 
2,200 ns 
Re—I aunch 
2, 400 ns 
AR 
2, 800 ns 
OOOOAbff 
17:11 
2017/8/24 
3, 000 
De Eau] E 

图 24 改进后的固件进行用户逻辑单独仿真得到的波形图

再将固件添加到MicroBlaze系统中，用ELF文件作为激励进行仿真，得到波形图如下：

Float (P.20131013) - [Default.wcfg*] 
File Edit View Simulation Window 
Name 
fpga O RS232 TX pin 
plb dac O S_PinMD_pin 
plb_dac O S_CIkout_pin 
plb dac O 
plb_dac O S_CIkMD_pin 
plb dac O S_Format pin 
plb dac O S_OpEnI_pin 
plb_dac O S_OpEnQ pin 
plb_dac I S_CIkMD_pin 
plb_dac I S_CIkout_pin 
plb dac 1 s_DCLK10 pin 
plb_dac I S_Data 
plb dac I S_Format pin 
plb dac I S_OpEnI_pin 
plb_dac I S_OpEnQ pin 
plb dac 1 s_PWRDN pin 
plb dac I S_PinMD_pin 
fp-ga O clk_l sys clk_pin_PERIOD 
fp-ga O rst I sys rst pin_LENGTH 
1' fpga O RS232 ax pin 
fpga O clk_l sys clk_pin 
fpga O rst I sys rst pin 
Layout Help 
Value 
0000000000 
20000 _ 000000 
320000 _ 000000 
ne Eau_1E 
20. 700 
Re—l aunch 
21, 000 
21. 100 
21, 200 
XI: 20.639. 7222 
21. 300 
2017/8/27 

图 25 改进后的固件在MicroBlaze系统中进行仿真得到的波形图（写时序）

Float (P.20131013) - [Default.wcfg] 
File Edit View Simulation Window 
Name 
fpga O RS232 TX pin 
plb dac O S_PinMD_pin 
plb_dac O S_CIkout_pin 
plb dac O s_DCLK10 pin 
plb_dac O S_Data 
plb dac O s_PWRDN pin 
plb_dac O S_CIkMD_pin 
plb dac O S_OpEnI_pin 
plb_dac O S_OpEnQ pin 
plb_dac I S_CIkMD_pin 
plb_dac I S_CIkout_pin 
plb dac 1 s_DCLK10 pin 
plb_dac I S_Data 
plb dac I S_Format pin 
plb dac I S_OpEnI_pin 
plb_dac I S_OpEnQ pin 
plb dac 1 s_PWRDN pin 
plb dac I S_PinMD_pin 
fp-ga O clk_l sys clk_pin_PERIOD 
fp-ga O rst I sys rst pin_LENGTH 
1' fpga O RS232 ax pin 
fpga O clk_l sys clk_pin 
fpga O rst I sys rst pin 
Layout Help 
Value 
0000000000 
0000000000 
20000 _ 000000 
320000 _ 000000 
neEau_1E w 
R e —1 aun c h 
21, 900 
XI: 22.529. 2222 
22. 100 
2017/8/27 

图 26 改进后的固件在MicroBlaze系统中进行仿真得到的波形图（读时序）

# 参考资料

1. Xilinx,  [Embedded System Tools Reference Manual](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/est_rm.pdf)
2. Xilinx,  [EDK Concepts, Tools, and Techniques](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/edk_ctt.pdf)
3. Xilinx,   [Constraints Guide](https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_7/cgd.pdf)
4. ADI, [AD9715 Datasheet](http://www.analog.com/media/en/technical-documentation/data-sheets/AD9714_9715_9716_9717.pdf)
5. Xilinx Forum, [Peripheral inout pin in xps](https://forums.xilinx.com/t5/Embedded-Development-Tools/peripheral-inout-pin-in-xps/td-p/31399)