BR0101固件开发——模数转换器AD9715

（第七周）

本周主要进行了振铃现象的调试。

# 1 第七次上板调试与振铃现象的分析和讨论

为了查找AD9715输出电压信号中振铃现象产生的原因，我们再次进行了上板调试。王老师事先将第一片AD9715（DAC1）的输出驱动电路进行了改装，将AD9715与运放ADA4899断开，直接通过一个负载电阻输出，与未经改装的DAC2形成对照。

未经改装的DAC2输出驱动电路原理图如下：



图 1 DAC2未经改装的输出驱动电路

改装后，DAC1的输出电路如下：



图 2 改装后DAC1的输出电路原理图

## 现象观察与记录

### 1.1.1 DAC1与DAC2波形的对比

实验中观察到，固件控制两个DAC都输出周期约为1.14us的方波时，示波器实际上观察到的波形如下图所示：

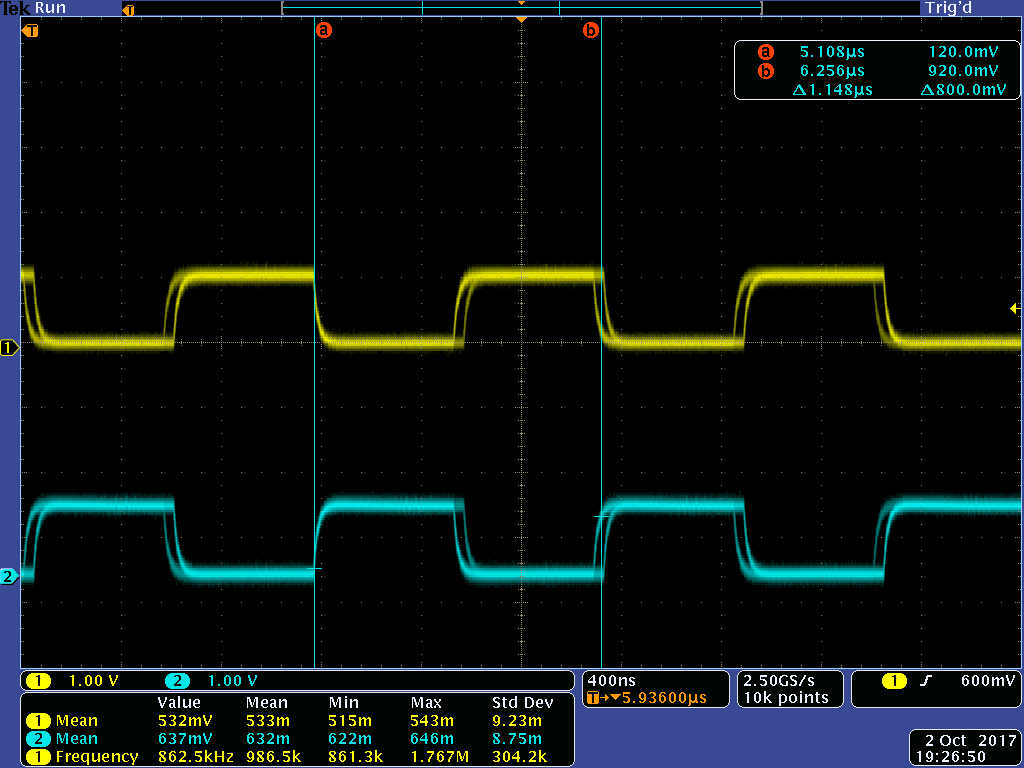


图 3 DAC1（电阻负载）输出电压波形

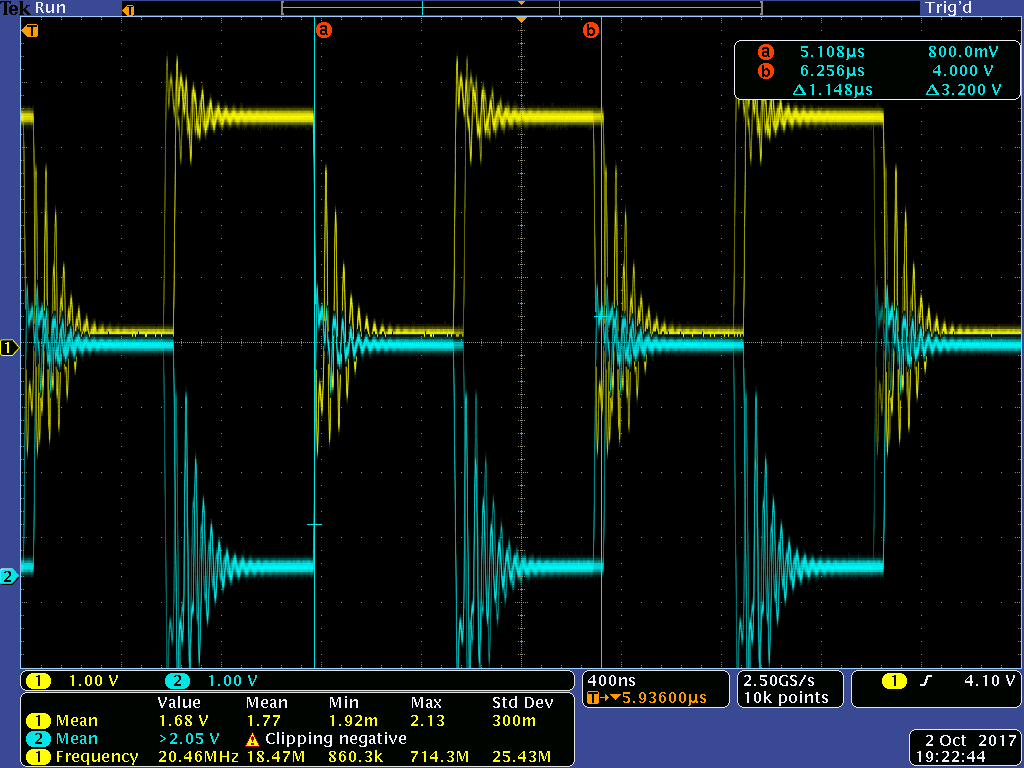


图 4 DAC2（连接运放）输出电压波形

可见，DAC2仍有较为严重的振铃现象，而DAC1的输出波形几乎没有振铃现象（虽然方波有轻微变形）。这说明振铃现象的产生可能和输出驱动电路或运放ADA4899有关。

### 1.1.2 振铃现象的细致观察

我们还对振铃现象进行了细致地观察，得到的波形图如下：

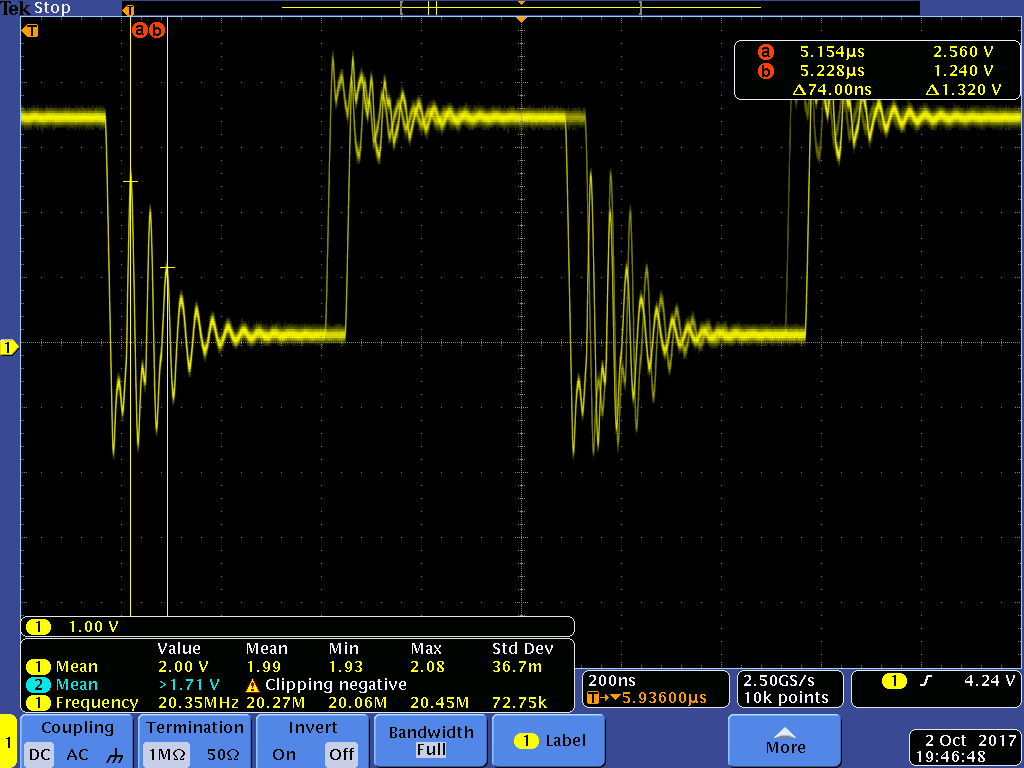


图 5 振铃现象波形图

可以观察到，在波形下降沿，由于振铃现象产生了9到10个较为明显的波峰。这些波峰出现的时间和峰值如下表：



表 1 振铃现象在下降沿产生的波峰

### 1.1.3 VREF电平的测量

我们还分别对DAC1和DAC2的输出参考电平VREF进行了测量，得到的波形图如下所示：

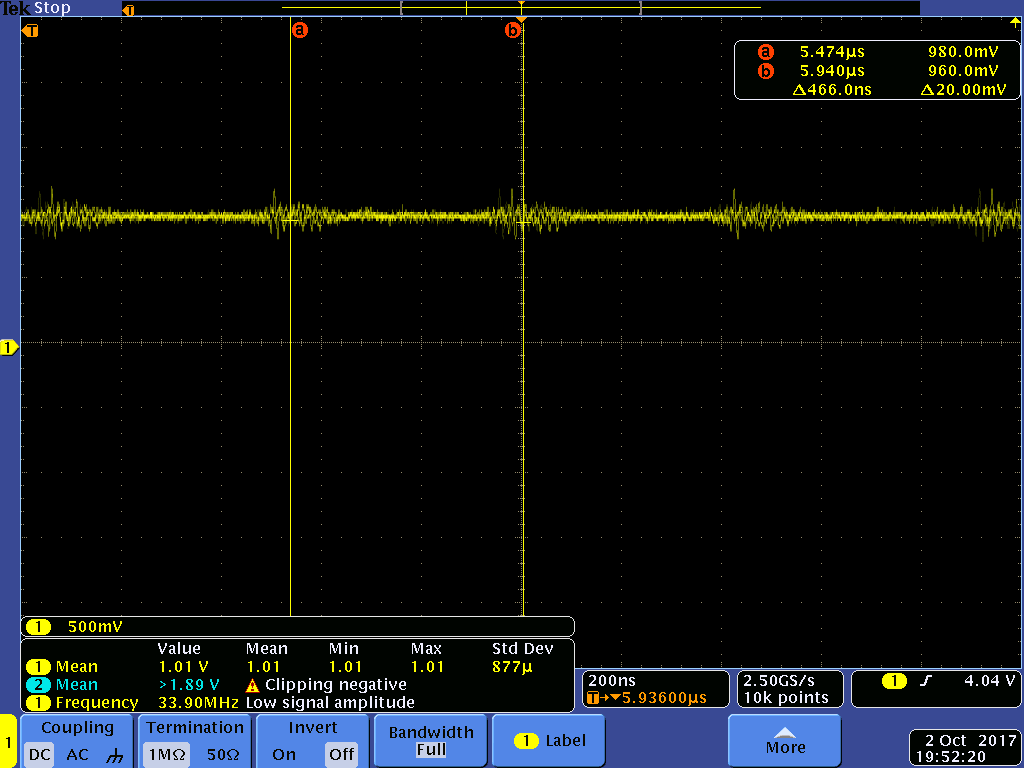


图 6 DAC1的VREF波形图

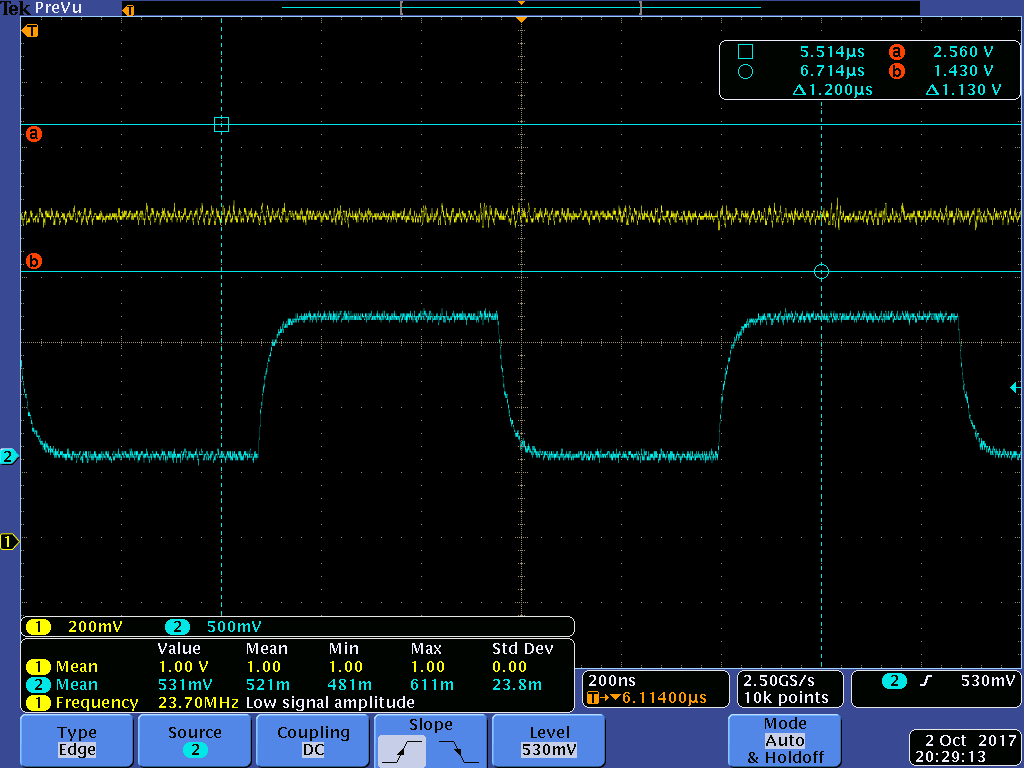


图 7 DAC2的VREF波形图

可见，DAC1的VREF存在明显的噪声，经过测量发现这个噪声的峰峰值可以达到300mV，而且周期和矩形波信号的周期相符；而DAC2的VREF则没有明显的噪声。

## 关于振铃现象产生原因的猜想

基于上述实验现象和其他相关资料，我们对振铃现象产生的原因提出了一些猜想。

#### 猜想一 输出容抗的影响

根据ADA4899数据手册，输出负载容抗会导致信号的瞬时过冲，如下图所示：

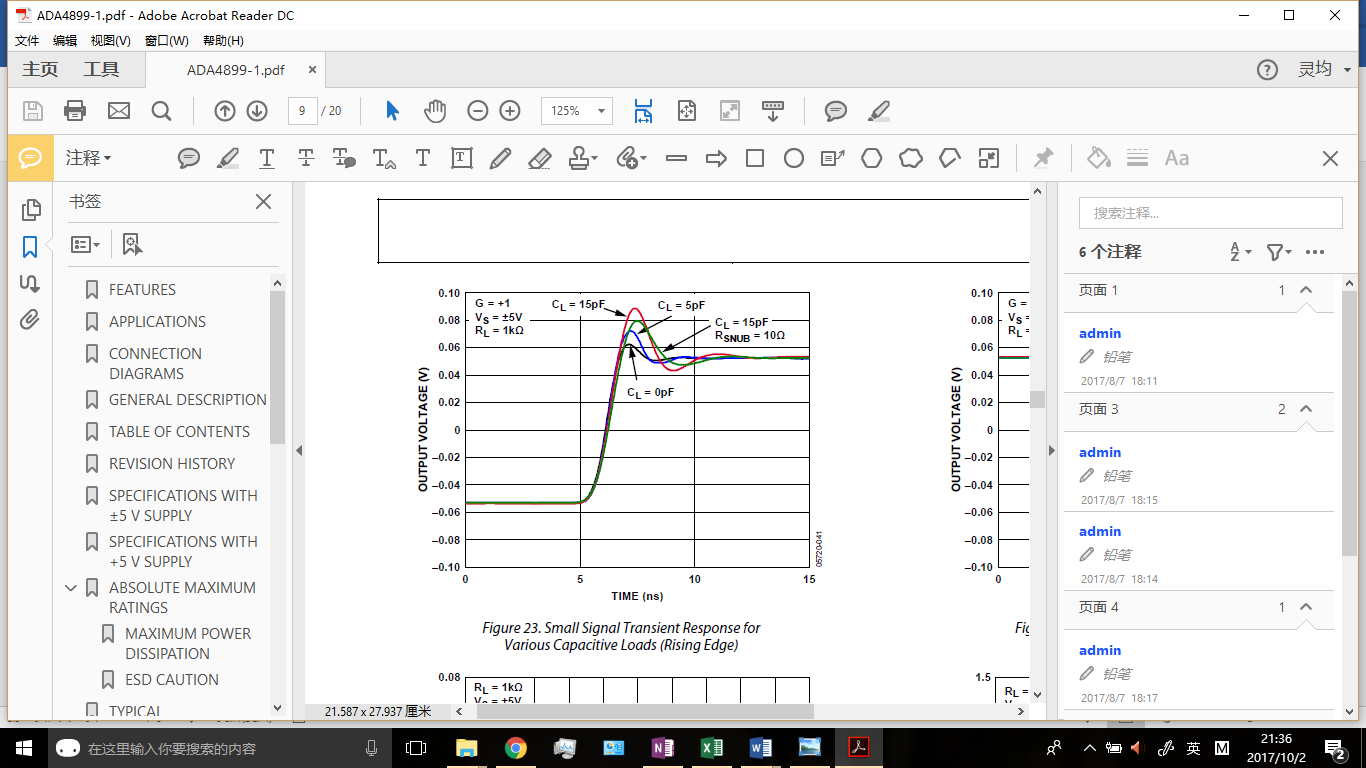


图 8 小信号瞬时响应与容抗负载之间的关系[1]

可见，当负载容抗CL=15pF时，过冲的幅度可以达到信号幅度的80%以上。因此可能是板上的寄生电容或ESD防护器件中的电容作为负载电容造成了过冲，导致了振铃。

#### 猜想二 运放正相端反馈的结果

ADA4899的输出可能通过某种我们没有预料到的方式反馈回了正相端。这种反馈可能是电流串联反馈，反馈电流在10k的电阻上产生一个电压；这个电压叠加在VREF上，产生噪声；VREF是AD9715的参考电压，会对参考电流和输出信号产生重大影响，因此这个噪声就传递到了输入信号中，导致了振铃现象；当然也可能是电压串联反馈，噪声直接叠加在VREF上，导致了振铃现象。

## 猜想的仿真和实际验证

为了验证上述猜想，我们进行了一些仿真和实际验证。

### 输出容抗对瞬时信号影响的仿真

在输出驱动电路的输出端加入15pF的电容作为负载，用Pspice进行仿真，仿真电路如下：



图 9 输出容抗对瞬时信号影响的仿真电路图

得到的波形如下：

Rect Wav Test-Time Dom Test - PSpice A/D - [Time Ch3m Test.dat (active)] 
file Edit View' Simulation Irace Plot Tgols Window Help 
. Ous 
L. Sus 
: . Ous 
: . Sus 
3 . Ous 
3. Sus 
4. Ous 
4. Sus 
5 . Ous 
cädence 
5. Sus 
2017/10/2 
é . Ous 

图 10 输出容抗对瞬时信号影响的仿真波形图

在仿真中没有观察到振铃现象，大信号、小信号、高频、低频的情况下都没有。这可能说明输出容抗对瞬时信号没有影响，也可能是因为仿真工具或模型的精度不够。

### AD9715 REFIO与ADA4899正相端短接的测试

考虑到ADA4899有可能引入电流串联负反馈，我们尝试将AD9715 REFIO与ADA4899正相端短接，看是否能减小这一反馈，消除振铃现象。最后观察到的波形图如下：

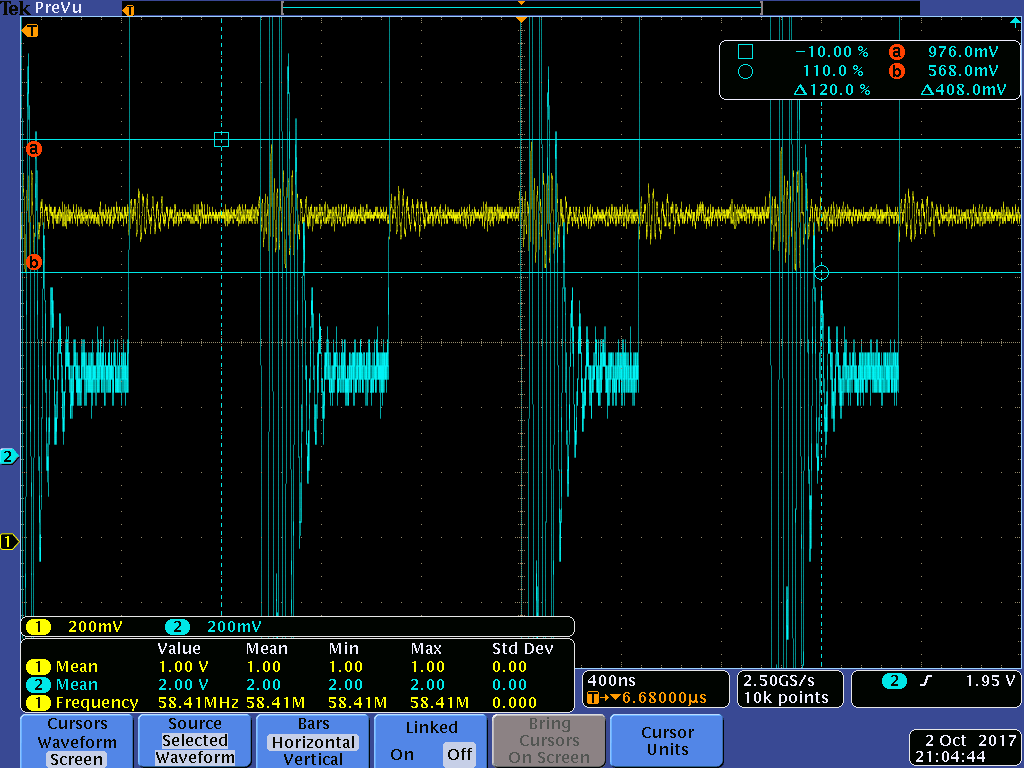


图 11 AD9715 REFIO与ADA4899正相端短接测试波形图

振铃现象似乎加剧了，VREF上的噪声幅度也没有减小，说明ADA4899可能不是电流串联负反馈。

## 振铃现象可能的消除方法

基于上述猜想和测试的结果，我们提出了一些可能的消除振铃现象的方法。

#### 方法一 拆除ESD防护器件

比较麻烦，有待测试。

#### 方法二 将10k电阻短接

没用。

#### 方法三 将ADA4899输入端直接接地

有待测试。

#### 方法四 将DAC2的VREFIO断开，使对应的ADA4899的正相端悬空

有待测试。

# 第八、九次上板调试与探头配置的讨论

## 现象观察与记录

在这两次调试的过程中，我们着重研究了振铃现象与示波器探头不同配置之间的关系。实验中观察到的现象记录如下表：



表 2 振铃现象与探头配置的关系实验现象记录

总的来说，探头配置对振铃现象的产生有很大的影响，它们的关系可以总结为以下几点：

* 如果采用示波器探头测量，当示波器输入阻抗配置为时，只有在AD9715直接通过电阻接地的情况下才不会产生振铃现象，其他情况下都有非常严重的振铃现象；

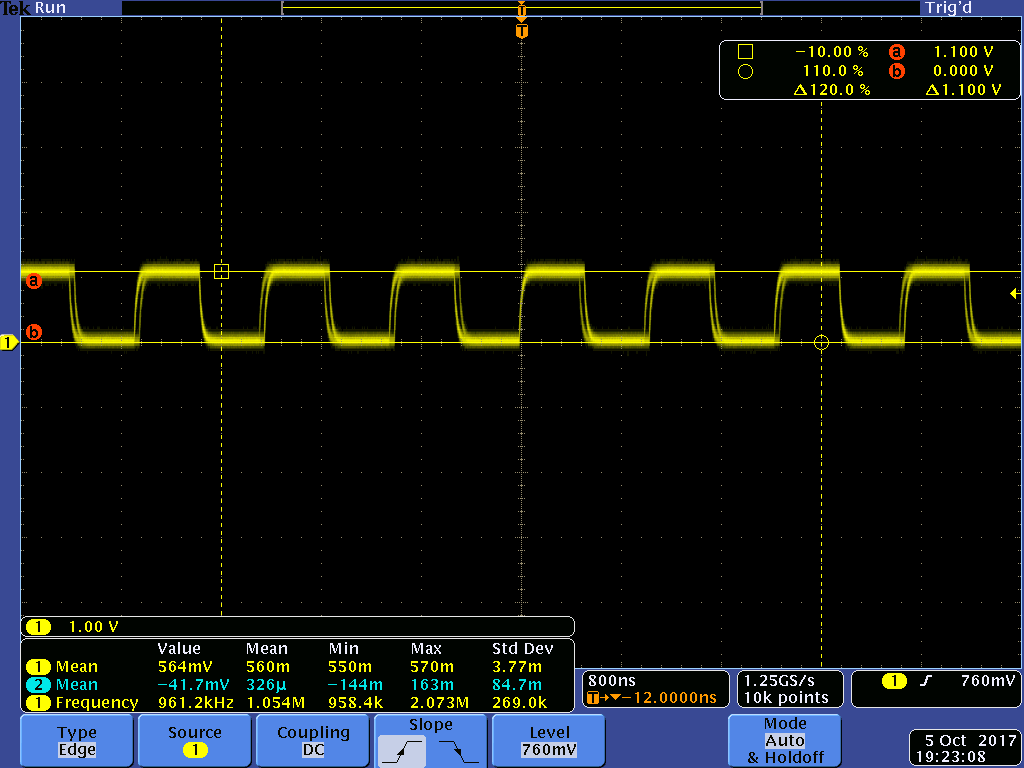


图 12 示波器探头测量，输入阻抗配置为，AD9715直接通过电阻接地的情况下的波形图

* 如果采用示波器探头测量，当示波器输入阻抗配置为50时，无论AD9715如何配置，都几乎无法测得正常的波形，只能得到一些周期性的微小噪声；



图 13 示波器探头测量，输入阻抗配置，AD9715直接通过电阻接地的情况下的波形图

* 如果采用同轴电缆测量，当示波器输入阻抗配置为时，在AD9715直接通过电阻接地的情况下，会得到近似三角波的信号，可能是因为寄生电容的影响；在其他情况下，波形都有严重的振铃现象；



图 14 同轴电缆测量，输入阻抗配置，AD9715经过运放负端输出运放正端悬空的情况下的波形图

* 如果采用同轴电缆测量，当示波器输入阻抗配置为50时，一般能得到比较好的矩形波，有轻微的振铃现象，振铃发生的位置似乎与AD9715和运放的接法有关；



图 15 同轴电缆测量，输入阻抗配置，AD9715经过运放负端输出9715经过运放负端输出，运放正端接REFIO的情况下的波形图

* AD9715和ADA4899的接发对振铃现象的影响不是特别大，用信号发生器代替AD9715作为输入，也有类似的振铃现象产生；但是运放正端悬空的时候，振铃容易发生在上升沿，运放正端接AD9715的REFIO时，振铃容易发生在下降沿。

## 结果分析与讨论

从上面的实验现象中我们可以看到，振铃现象的产生和严重程度和示波器探头的配置有很大关系，这样基本可以确定振铃现象是由传输线的反射导致的。针对这一问题，我们又进行了一些调查和讨论。

### 示波器的输入阻抗配置方式

我们查阅资料，了解了一下示波器不同输入阻抗配置方式的原理，和示波器探头以及同轴电缆的特性。

* 同轴电缆：介质均匀，内部任何一点结构和材料相同，保证不会再内部发生反射；瞬时阻抗是纯阻性
* 示波器探头在1MΩ的情况下可以等效为1MΩ和十几pF电容的并联，在高频状态下会造成严重的反射的；
* 示波器在50Ω档位可以比较好地补偿反射带来的影响，这还要求系统是50Ω系统即Re=25Ω，如果差距较大要采用10:1探头等；另外，还可以采用50Ω同轴电缆

# 固件的升级与任意波形的产生

## 固件结构的调整

按照上次所说的思路，我们希望在固件中采用DDS IP核和BRAM存储器，来实现频率条件和任意波形产生等功能。后面经过调研，我们发现固件的结构需要进行一些调整，可以使存储和运算的效率更高。

调整之后的系统结构如下图所示：



图 16 调整后的系统结构框图

我们发现并不需要使用FSL总线进行固件和MicroBlaze之间的内存共享，PLB总线中提供了User logic memory space选项，可以通过几个信号读写固件内部的地址空间。改进后的固件结构如下图所示：



图 17 改进后的固件结构

寄存器格式也进行了相应的调整。

## DDS IP核的调研和仿真

### 3.2.1 结构原理

DDS IP核是一个直接数字综合器，可以用于数控振荡、相位综合和正弦信号产生等方面。Vertex-4系列中，可用的IP核型号是DDS v4.0，它的大致结构如下图所示：

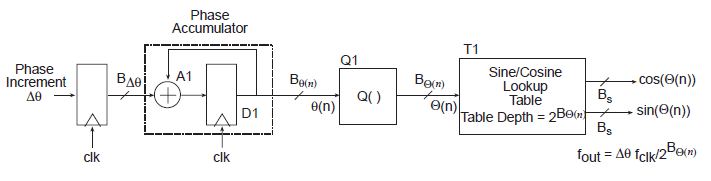


图 18 DDS IP核结构示意图[1]

其中，积分器产生相位角，量化器将高精度的相位角转换成适合于查找表的低精度表示，查找表通过寻址产生输出信号。量化器的输出相位位宽为，则表示单周期的样本个数为，用于查找的相位角。

#### 输出频率

输出频率与系统时钟，相位位宽，相位增量有关，具体关系为：



相位增量可表示为：



如果采用时分多路复用，可以将DDS分为多个通道，每个通道的有效时钟频率减小。对于C个通道的情况，相位增量可以表示为：



#### 频率分辨率

输出频率可以通过相位增量调节，最小的频率分辨率由与系统时钟，相位位宽决定，可表示为：



对于多通道的情况：



### 3.2.2 配置方法

尝试在ISE 14.7中添加并配置一个DDS IP核，采样率为50 MHz，分辨率不超过1 Hz，输出数字信号位宽为10 bit。

在ISE 14.7的IP核配置向导中，可以对DDS IP核进行配置，如下图所示：

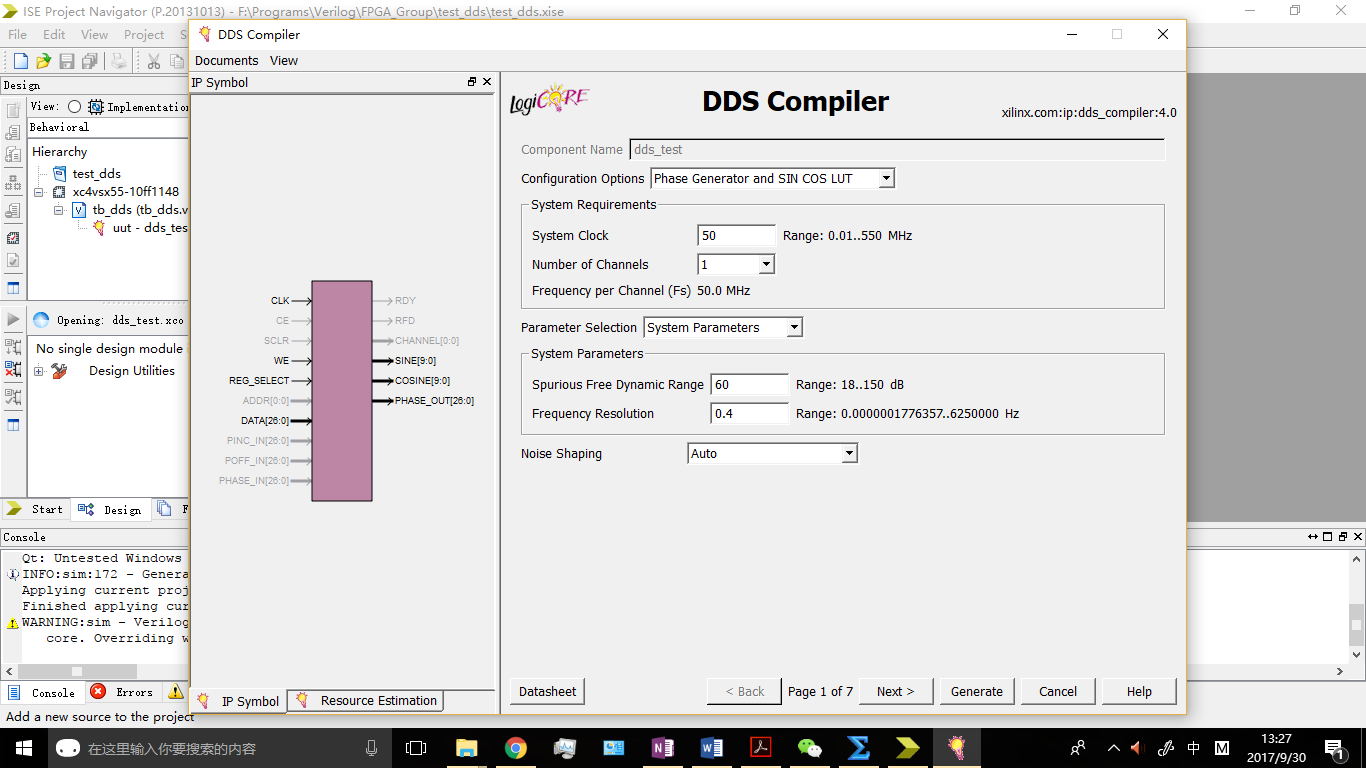


图 19 DDS IP核的配置过程（1）

根据A/D转换的字长效应，输出波形的位宽每增加1个比特，旁瓣抑制比（SFDR, Spurious Free Dynamic Range）就提升6 dB[2] 。因此，为了使输出信号位宽达到10比特，我们要将SFDR参数设为60 dB。分辨率设为0.4 Hz，此时输入信号位宽为26比特。

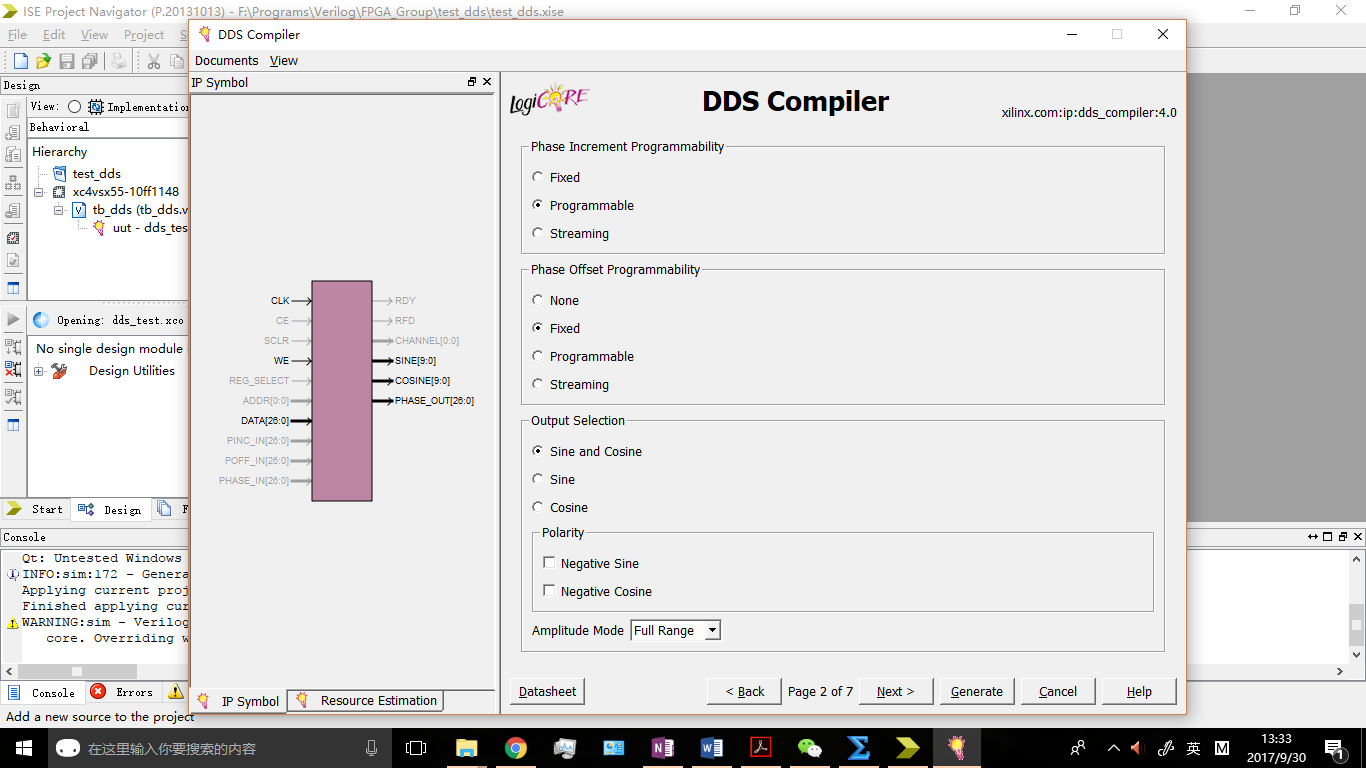


图 20 DDS IP核的配置过程（2）

可以选择相位增量、相位偏置的可配置性，以及输出信号的类型和极性。这里选择相位增量可编程，相位偏置固定，输出正极性的正弦和余弦。

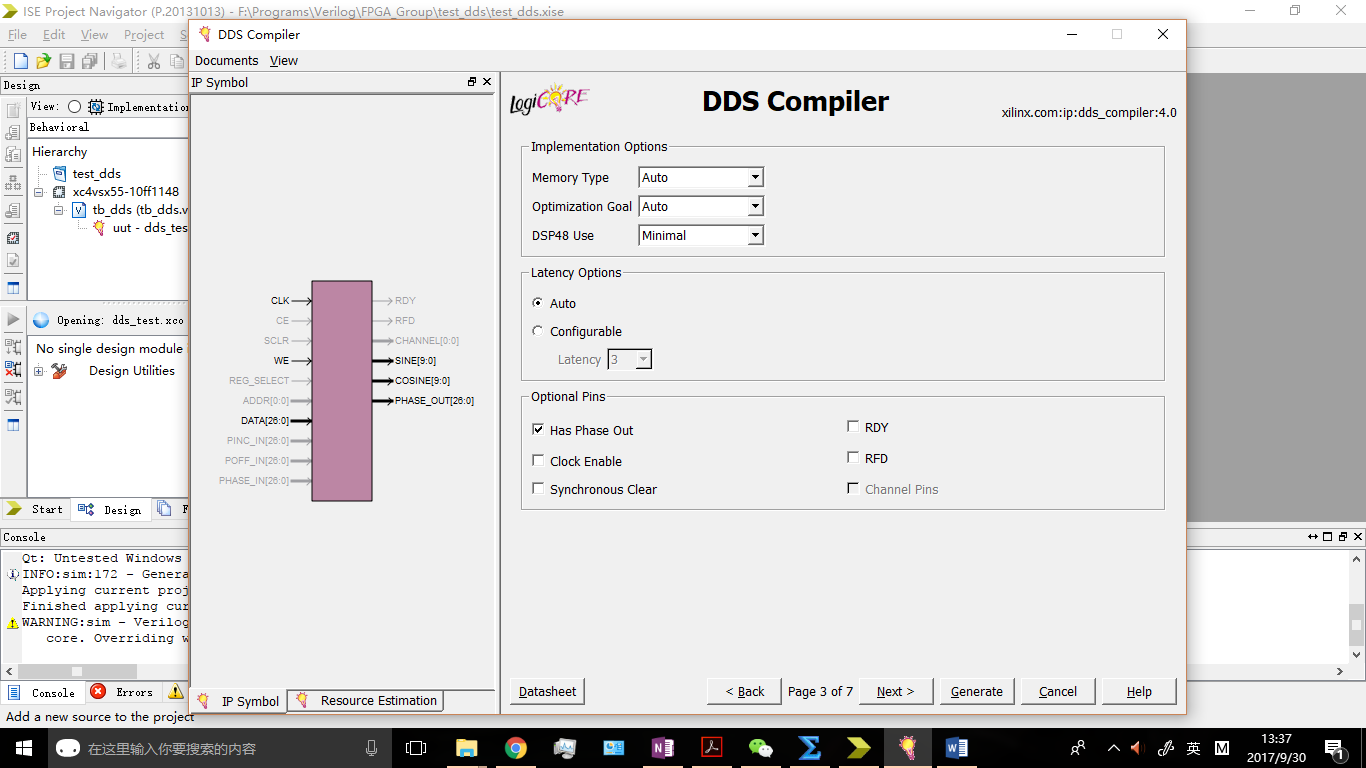


图 21 DDS IP核的配置过程（3）

选择存储器类型、优化选项和DSP选项，可选管脚等，保持默认。

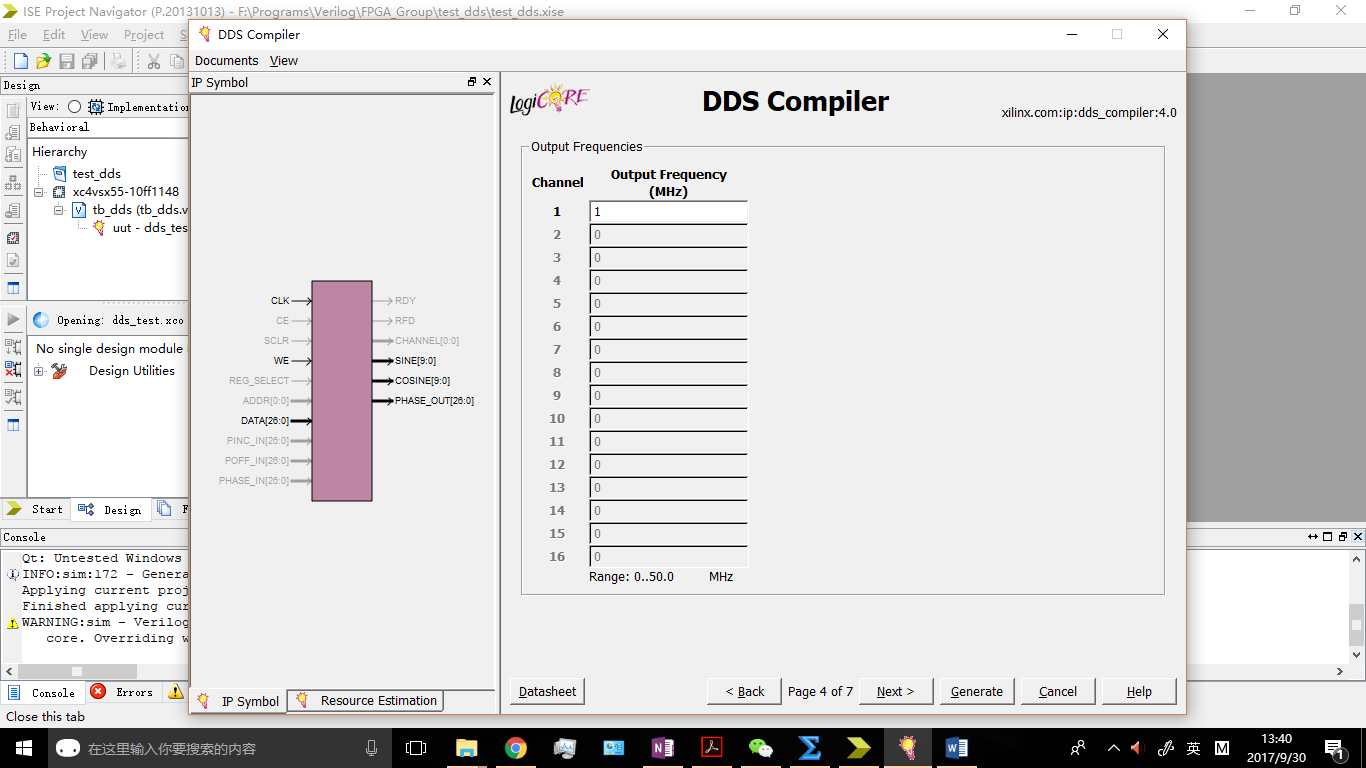


图 22 DDS IP核的配置过程（4）

设置个通道输出频率默认值，将通道1输出频率默认值配置为1 MHz。

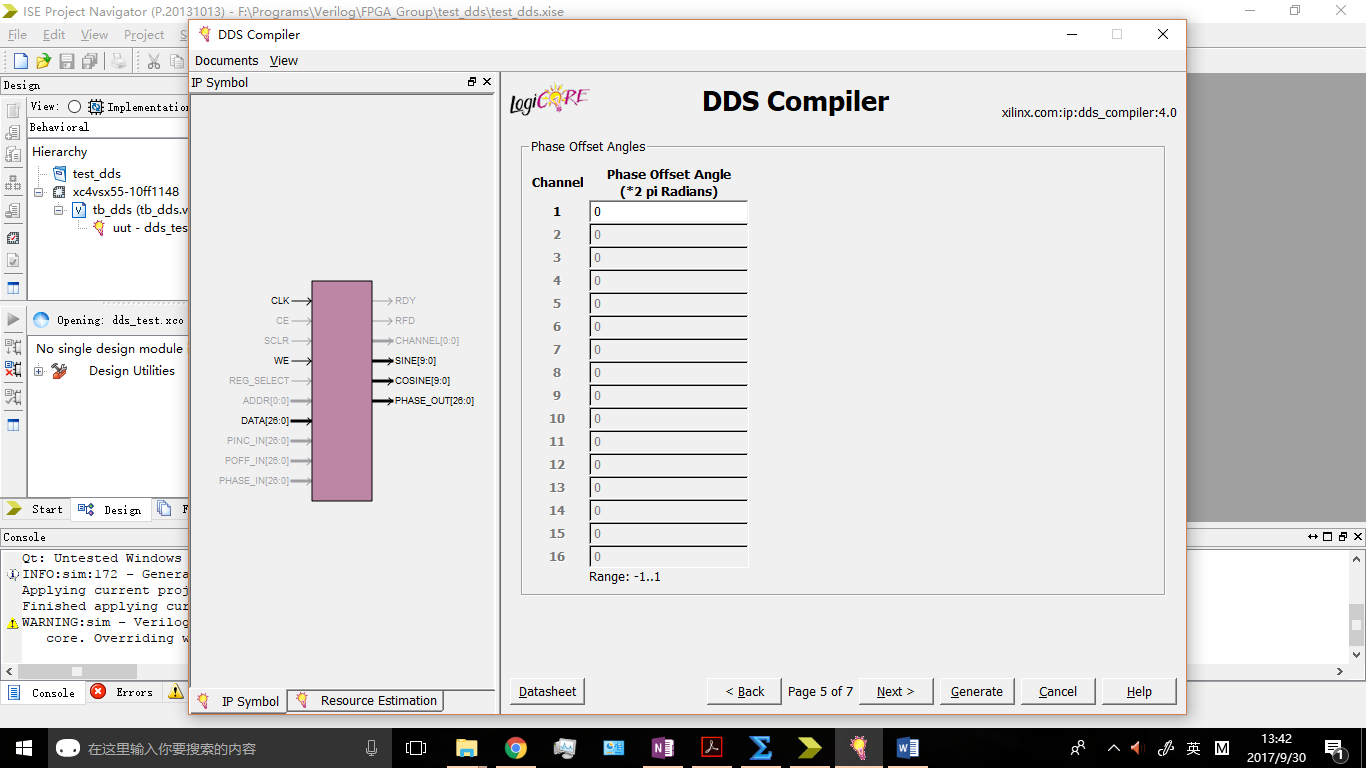


图 23 DDS IP核的配置过程（5）

设置个通道相位偏置默认值，保持不变。然后就可以生成IP核了。

### 3.2.3 仿真测试

对上面配置好的IP核进行简单的仿真测试。首先要添加Testbench，在Testbench中实例化IP核，并产生时钟信号。尝试在Testbench中对相位增量进行修改，从而调整输出信号频率。

如果要使输出信号频率等于500 kHz，则相位增量应为：



如果要使输出信号频率等于500 kHz，则相位增量应为：



如果要使输出信号频率等于2 MHz，则相位增量应为：



在Testbench中，先保持默认状态，4 us后将写使能WE拉高，将相位增量通过data口写入；再过4us后，将通过data口写入，再过4us后，将通过data口写入。在ISim中仿真，得到波形如下图所示：

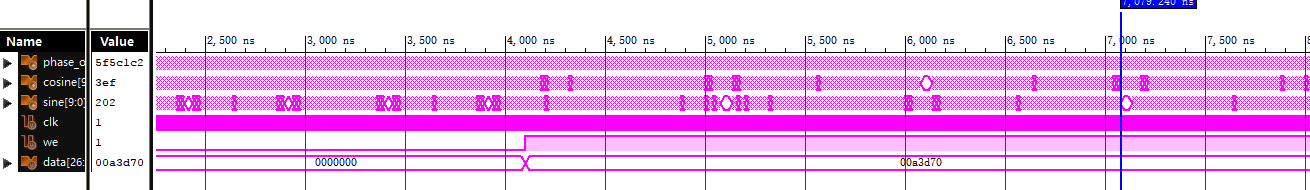


图 24 DDS正弦余弦仿真波形图（ISim）

在ModelSim中仿真，可以设置为模拟格式输出，得到更加直观的波形

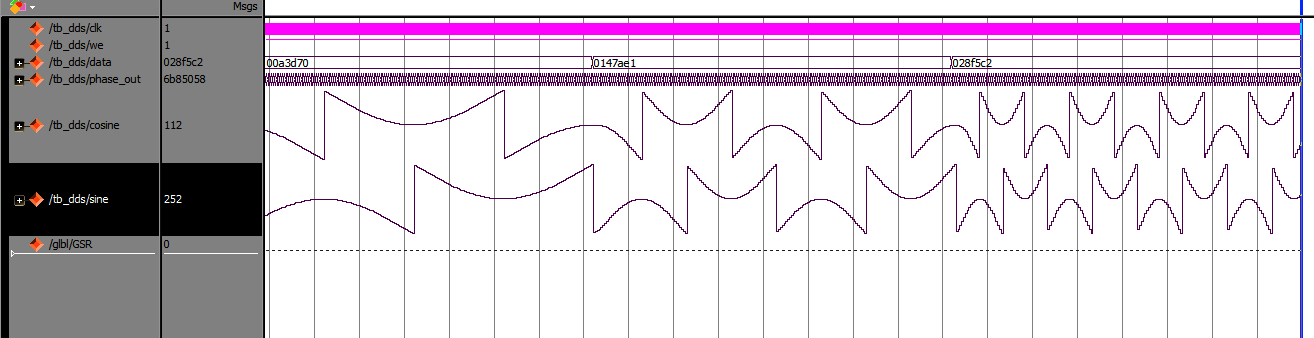


图 25 DDS正弦余弦仿真波形图（ModelSim）

由于输出的是有符号数，显示的波形有一些混乱，但是可以看出是比较理想的正弦、余弦波，而且频率是可调的。

### 3.2.4 任意波形

为了产生任意波形，只需要将DDS模块产生的相位信号输入到另外的数据查找表中即可。这种数据查找表的存储方式可以有很多种，只要可以通过相位信号寻址就可以。下面尝试用一个简单的数据选择器进行模拟和仿真。

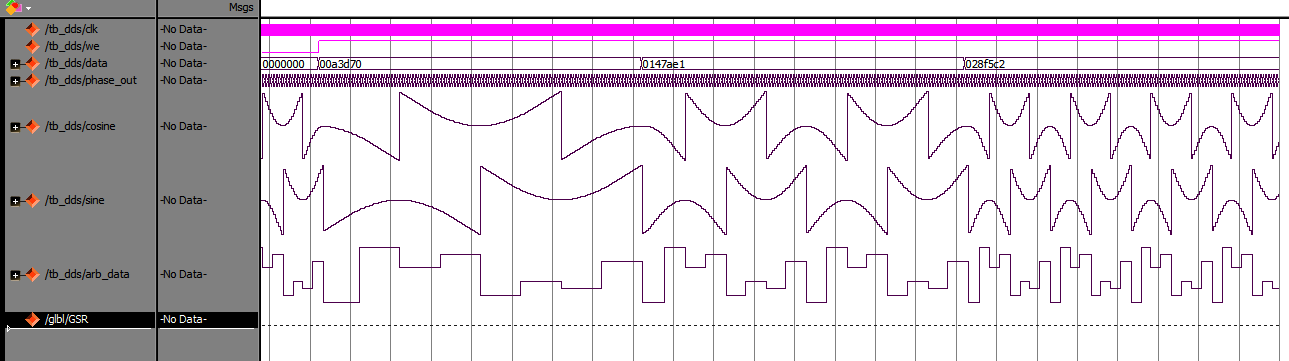


图 26 DDS任意波形仿真波形图（ModelSim）

利用DDS IP核，我们可以方便地产生频率可调的任意波形。对于100 MHz的系统时钟，如果查找表大小为2KB，则频率分辨率为（不考虑量化器的作用）：



基本符合设计要求。如果需要的话，可以结合时钟管理单元DCM，可以使频率的条件范围更大，更加灵活。

## BRAM的调研和测试

BRAM是Xilinx FPGA提供的块状存储器，可以以较小的面积存储大量的数据。

### BRAM的调用和初始化

BRAM的调用比较简单，只需要在IP Core Generator中进行简单的配置，配置向导示意图如下：

ISE Project Navigator (9.20131013) 
Block Memory Generator 
Documents View 
IP Symbol 
DINA19 01 
[Design Summary (out of date)] 
Block Memory Generator 
bram arb 
xilinx.com:ip:blk_mem_gen:7.3 
Component Name 
Interface Type 
@ Native 
Mode 
placed and Routed 
Signals Completelv Routed 
Constraints Met 
Native Interface Block Memory Generator (BMG) are the original standard BMG functions delviered by the 
previous versions of the LogiCORE Block Memory Generator (prior to v6.x). They are optimized for data 
storage, width conversion, and clock domain de-coupling functions.. 
Native Interface BMG cores can be customized to utilize Single Port RAM (SR), Simple Dual Port RAM (SOP), 
True Dual Port RAM (TOP) and Single Port ROM (SP ROM) configurations. In addition, Native Interface BMG 
core also support features such as SoftECC/ECC, Pipeline Stages and file based Memory initialization. 
1 pcore 
100% 
dir/ bram alb. v" into A 
21:54 
2017/10/5 

图 27 BRAM配置向导

我们先采用最简单的单端BRAM，用于测试和调试。

BRAM需要用.coe文件初始化，.coe文件可以由MATLAB生成。我们用一个正弦和三角波组合成的任意波形作为测试用例，波形如下所示：



图 28 MATLAB产生的任意波形图

生成的.coe文件如下图所示：

bram.coe (test brOIOI, 
Eile Edit Selection Find yiew Goto 1001s Project Preferences Help 
test_dds, src) - Sublime 
helloworld.c 
Text 
FOLDERS 
test_brOIOI 
brOIOI_pIanahead 
development_logs 
bitgen.log 
compedklib.log 
C find_R2.m 
init_arb_bram.coe 
io_pIanning.tKt 
microblaze_isim.log 
microblaze_modelsim.log 
onboard_debug.tcl 
g Line 1, column 1 
user_logic.v 
init arb brom.coe 
microblaze_top.ucf 
microblaze_oldtop.v 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øø, 
sea, 
80B , 
gøø, 
sea , 
40B , 
2øa, 
sea, 
8øø, 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øø, 
sea, 
80B , 
gøø, 
sea , 
goa, sea, 2øa, e, 3øø, 8øø, 
a, 8øa, lea, 4øa, goa, 
goa, sea, 2øa, e, 3øø, 
a, 8øa, lea, 4øa, 
4øa, goa, sea, 2øø, e, 
2øa, a, sea, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
gøø, 2øø, e, 3øø, 
a, 8øa, lea, 4øa, 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
gøø, 2øø, e, 
a, sea, 8øa, lea, 
8øø, 
goa , 
sea , 
40B , 
gøø, 2øø, e, 3øø, 
e, 3øø, 8øø, lea, 4øa, 
gøø, 2øø, e, 
a, sea, 8øa, lea, 
8øø, 
goa , 
sea , 
40B , 
4øø, 
gøø, 
2øa, a 8øø 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
lea, 4øa, goa, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
e, 3øø, 8øø, løø, 4øø, gøø, 
40B , 
2øa, 
lea, 
sea, 
80B , 
gøø, 
sea, 
80B , 
goa , 
sea , 
40B , 
e, 3øø, 8øø, løø, 4øø, gøø, 
sea, 
80B , 
goa , 
sea , 
40B , 
e, 3øø, 8øø, løø, 4øø, gøø, 
goa, sea, 2øa, a, sea, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øa, a, 
2øø, e, 3øø, 8øø, løø, 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øa, a, 
2øø, e, 3øø, 8øø, løø, 
4øø, 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øa, a, 
2øø, e, 3øø, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
lea, 4øa, goa, sea, 2øa, a, 
2øø, e, sea, 8øa, 
lea, 4øa, goa, sea, 2øa, a, 
2øø, e, sea, 8øa, 
lea, 4øa, goa, 2øø, e, 
2øø, e, sea, 8øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
40B , 
gøø, 
2øø, 3øø 
sea, 
2øø, e, 
80B , 
lea, 
goa , 
sea, 
e, 3øø, 8øø, 
40B , 
goa , 
2øø, 3øø 
sea, 
2øø, e, 
80B , 
lea, 
gøø, 
sea, 
a, 8øa, lea, 4øa, goa, 
goa, sea, 2øa, e, 3øø, 
a, 8øa, løø, 4øø, 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
a, 8øa, lea, 4øa, goa, 
4øø, 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
a, 8øa, lea, 4øa, goa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, a 8øø 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øø, e, 
2øa, a, sea, 8øa, lea, 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
4øø, 
2øa, 
lea, 
sea, 
80B , 
goa , 
lea, 4øa, goa, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
4øø, 
goa , 
2øø, 3øø 
sea, 
2øø, e, 
80B , 
lea, 
goa , 
sea, 
e, 3øø, 8øø, løø, 4øø, gøø, 
goa, sea, 2øa, a, sea, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øø, e, 
2øø, e, 3øø, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
4øø, 
e, 3øø, 8øø, løø, 4øø, gøø, 
sea, 
80B , 
goa , 
sea , 
4øø, 
e, 3øø, 8øø, løø, 4øø, gøø, 
sea, 
80B , 
goa , 
sea , 
4øø, 
2øø, 3øø 8øø 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, a, sea, 
e, 3øø, 8øø, løø, 4øø, 
4øø, gøø, 2øa, a, 
2øø, e, 3øø, 8øa, lea, 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, a, sea, 
e, 3øø, 8øø, løø, 4øø, 
4øa, goa, sea, 2øa, a, 
2øø, e, 3øø, 8øa, lea, 
lea, 4øa, goa, sea, 2øa, a, 
2øø, e, sea, 8øa, 
lea, 4øa, goa, sea, 2øa, a, 
2øø, e, sea, 8øa, 
lea, 4øa, goa, sea, 2øa, a, 
2øø, e, sea, 8øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
40B , 
2øa, 
sea, 
80B , 
goa , 
goa , 
e, 3øø, 
2øø, e, 
lea, 
a, 8øa, lea, 4øa, goa, 
a, 8øa, lea, 4øa, goa, 
e, 3øø, 8øø, lea, 4øa, goa, 
2øa, a 8øø 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
goa, sea, 2øa, e, 3øø, 
a, 8øa, lea, 4øa, 
4øa, goa, sea, 2øø, e, 
2øa, a, sea, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
4øø, 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
gøø, 2øø, e, 3øø, 
a, 8øa, lea, 4øa, 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
lea, 4øa, goa, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
e, 3øø, 8øø, løø, 4øø, gøø, 
e, 3øø, 8øø, løø, 4øø, gøø, 
40B , 
2øa, 
sea, 
80B , 
gna _ 
goa, sea, 2øa, a, sea, 
e, 3øø, 8øø, løø, 4øø, 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
40B , 
2øa, 
lea, 
sna_ 
goa, sea, 2øa, a, 
e, 3øø, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
40B , 
2øa, 
sea, 
80B , 
gna _ 
40B , 
2øa, 
lea, 
sna_ 
goa, sea, 2øa, a, 
e, 3øø, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
4øa, goa, sea, 2øa, a, 
a. Ana. RM. Ina _ 
4øa, goa, sea, 2øa, a, 
a. Ana. RM. Ina _ 
4øø, 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
lea, 
sea, 
80B , 
goa , 
gøø, 2øø, e, 3øø, 
a, 8øa, lea, 4øa, 
4øø, gøø, 2øø, e, 
2øa, a, sea, 8øa, lea, 
sea, 
80B , 
goa , 
sea , 
40B , 
løø, 4øø, gøø, 2øø, e, 
sea, 2øa, a, sea, 8øa, 
e, 3øø, 8øø, løø, 4øø, gøø, 
4øø, 
2øa, 
sea, 
80B , 
gna _ 
goa, sea, 2øa, e, 3øø, 
e, 3øø, 8øø, løø, 4øø, 
sea, 
80B , 
goa , 
sea , 
40B , 
2øa, 
sea, 
80B , 
goa , 
sea , 
40B , 
gøø, 
2øø, 3øø 
sea, 
2øø, e, 
80B , 
lea, 
goa , 
sea, 
e, 3øø, 8øø, 
40B , 
goa , 
2øø, 3øø 
40B , 
2øa, 
lea, 
sna_ 
goa, sea, 2øa, a, 
e, 3øø, 8øø, løø, 
sea, 
80B , 
goa , 
sea , 
40B , 
4øa, goa, sea, 2øø, e, 
a. Ana. RM. Ina _ 
sea, 
80B , 
gna _ 
2øø, e, 
lea, 
sna_ 
Tab Size: 4 
Plain Text 
21:38 
2017/10/5 

图 29 MATLAB生成的.coe文件

用这个文件初始化BRAM，就可以得到存储有任意波形数据的BRAM了。

### BRAM的仿真

将上面生成的BRAM添加到固件中，先对用户逻辑进行单独仿真，得到波形如下：

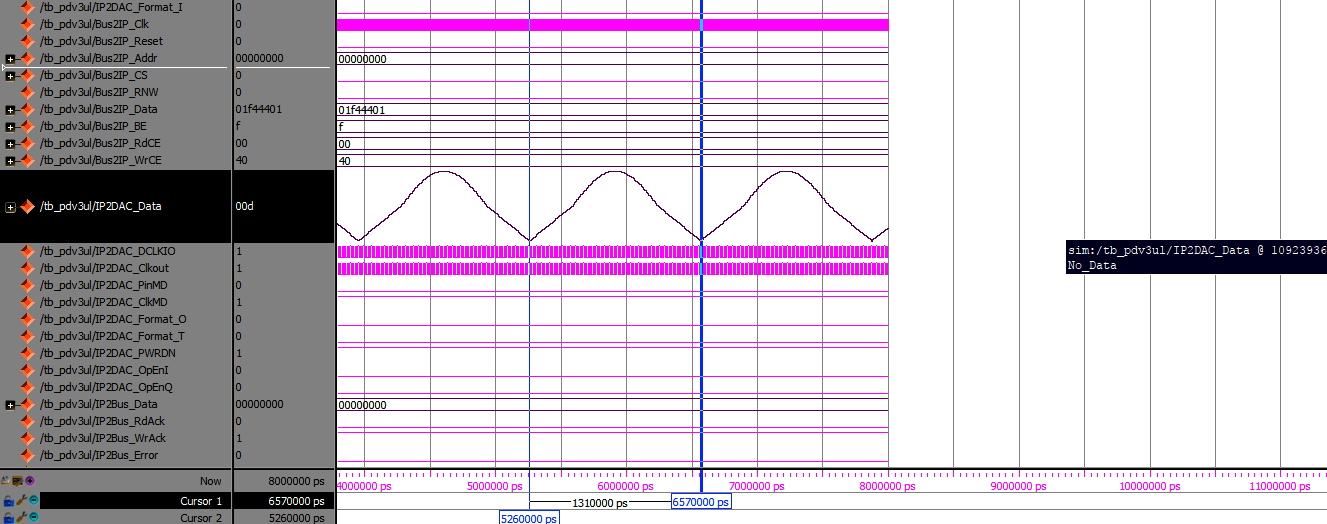


图 30 将BRAM添加到固件中后对用户逻辑仿真得到的波形图

在MicroBlaze系统中仿真时，遇到了一些问题。

— "F: clac O wrazzer.v 
" Line 119. 
WARNING : : 1007 
- INTERNAL. v" Line 
El ement index 
ISE Project Navigator (9.20131013) - brOIOI\test brOIOI xise - 
File Edit View Project Source Process Tools Window La'ß•ut Help 
System Log File 
Errors and Warnings 
Behavioral 
console 
O 
O 
H ierarchy 
[Design Summary] 
Total number 
Offset : 
Source : 
Destination . 
Source Clock: 
Parser Messages 
Synthesis Messages 
Translation Messages 
Map Messages 
Place and Route Messages 
iming Messages 
Bitgen Messages 
- Detailed Reports 
@ Synthesis Report 
Translation Report 
@ Map Report 
@ Place and Route Report 
Synthesis Report 
Top of Report 
Synthesis Options Summary 
HDL Compilation 
Design Hierarchy Analysis 
HDL Analysis 
D HDL Synthesis 
of paths / destination ports: S4 / 
S. 861ns (Levels of Logic 
10) 
microblaze o/rælm o/MDM core 11/JTAG CONTROL 1/ EDC 1 (FF) 
microblaze i/mdm o/mdm o/use VIRTEX4 1: TOO (PAD) 
microblaze i/mdm O/mdm O / updatel falling 
microblaze_top (microblaze_top.v) 
microblaze 
i - microblaze (mic 
rst_generator (microblaze_top.v) 
testbench 
dut - microblaze (microblaze.x 
+0101 elf 
Run Aborted: Simulation 
Processes: dut - microblaze 
Generate H DL Test Bench (XPS) 
Li braries 
Data Path: microblaze i/rrdm O/rrdm O/MDM Core 11/ JAG CONTROL I/ EDC I Co microblaze i/rrdm 
Cell : in—XvuC 
EDC 
LUTZ : 10->0 
end scope : 
end scope : 
begin scope: 
MUXFS : S->0 
LUT4 : 11->0 
LUT4 : 10->0 
end scope : 
begin scope: 
begin scope: 
LUT4 : 11->0 
LUT4 : 10->0 
end scope : 
fanouC 
De I ay 
0.307 
o. les 
•mdm o/MDM core 11' 
microblaze O 
microblaze O 
o . 527 
o les 
o les 
•mdm o/MDM core 11' 
o. les 
o. les 
•mdm o/MDM core 11' 
Net 
De I ay 
0.778 
0.416 
o. 688 
0.741 
o. 688 
0.741 
0.000 
cal Name (Nec Name) 
'TAG CONTROL 1/ EDC 1 (JAG CONTROL l/daca cmd 
JAG CONTROL 1/Dbg Reg En (Dbg Reg En O 
microblaze O/Mic10BIaze Core I/ Performance . us 
microblaze O/ MicroBIaze Core I/ Performance . us 
microblaze O/Mic10BIaze Core I/ Performance . Us 
TDO (TDO i 79) 
TOO (TOO) 
SIMI"' ary 
Instantiating <pIb dac from unkncwn mu:dule <pIb dac: 
23 into mem is out of boundsERROR: Simulator: 778 
19:59 
2017/10/6 
Staci 
W ngs 
Find 
Files Results 

图 31 将BRAM添加到固件中后在MicroBlaze系统中仿真遇到的问题

## 固件的实际测试

我们对加入了DDS模块的固件进行了实际测试，得到的波形如下：



图 32 加入了DDS模块的固件测试（9.2MHz）



图 33 加入了DDS模块的固件测试（25.3MHz）

尽管有振铃效应的影响，还是可以看出，频率调节的范围大大增大了。理论上频率条件的范围是0到100MHz，精度为1.53kHz。

# 参考资料

1. ADI, [ADA4899 Datasheet](../references/ADA4899-1.pdf)