

装

订

线

**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2019 -2020 学年🞏春🞏秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： |  |
| 姓 名： |  |
| 学 号： |  |
| 学院和专业： |  |
| 班 级： |  |
| 指导教师： |  |

**重庆邮电大学教务处制**

1. 系统顶层框架设计

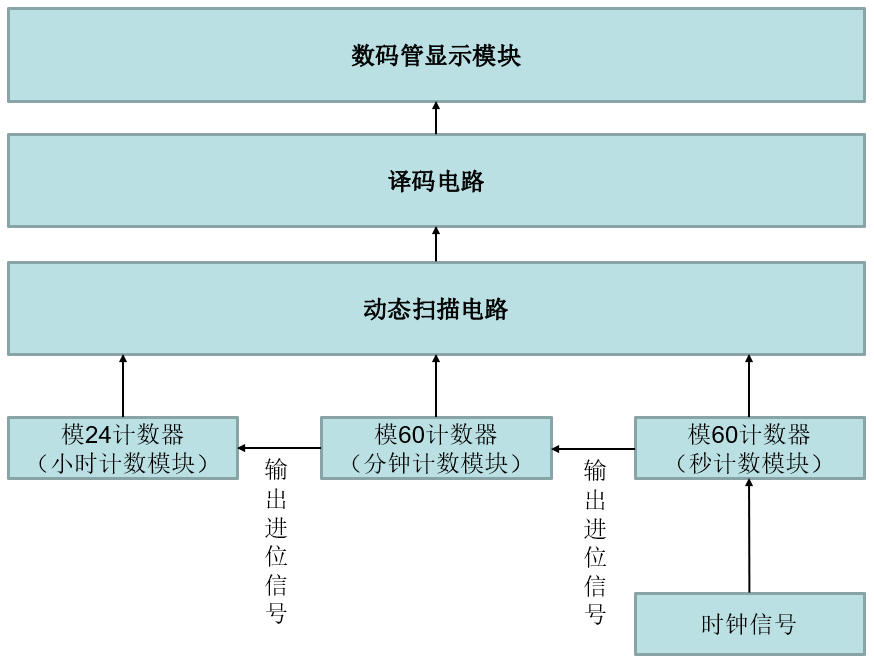


图1 简易数字时钟的系统顶层框架设计

功能描述：

小时、分、秒计数模块：用计数器来模拟时间增加，并设置一定频率的时钟信号来驱动计数模块进行工作。

动态扫描电路：在位选信号与段码同步的前提下，采用分时复用的方法轮流向数据总线发送不同的段码，实现数据显示。

译码电路：将动态扫描电路输出的8421 BCD码转换为十进制数输入数码管显示模块。

数码管显示模块：显示当前时间。

1. 计时模块的设计及仿真
   1. 分、秒计时模块（模60计数）
2. 设计思路

分、秒计时模块均为模60计数，所以两个模块可以使用同一套结构。这里采用了74390计数器，将设置为秒（分）的个位，将设置为秒（分）的十位。当计数器的值由59增加1时，满足：，此时应输出清零信号Reset。为了使清零稳定，这里采用一个钟控RS触发器来输出清零信号。

1. 设计结果（电路图）

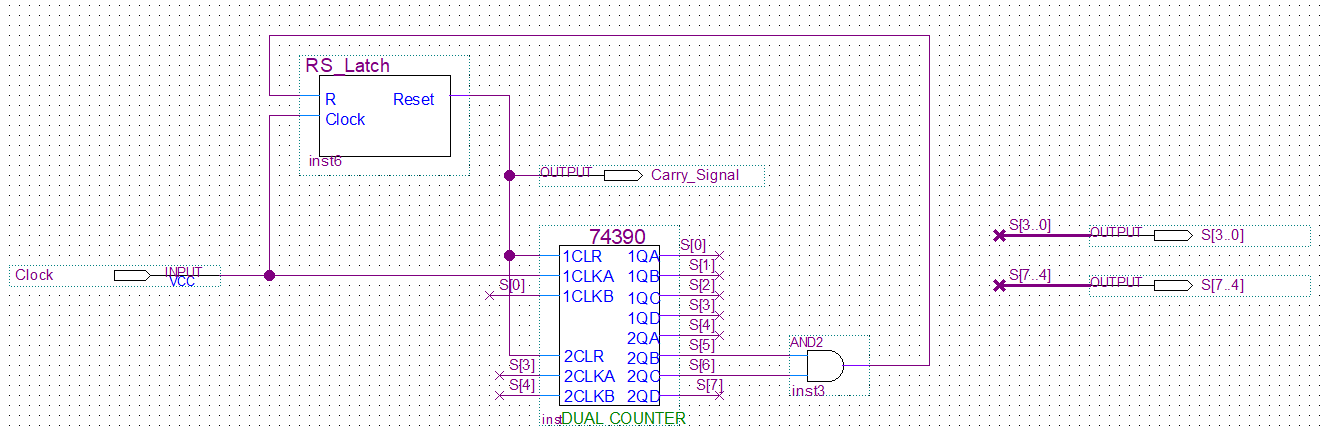


图2 分、秒计时模块电路图

1. 仿真波形及结果分析

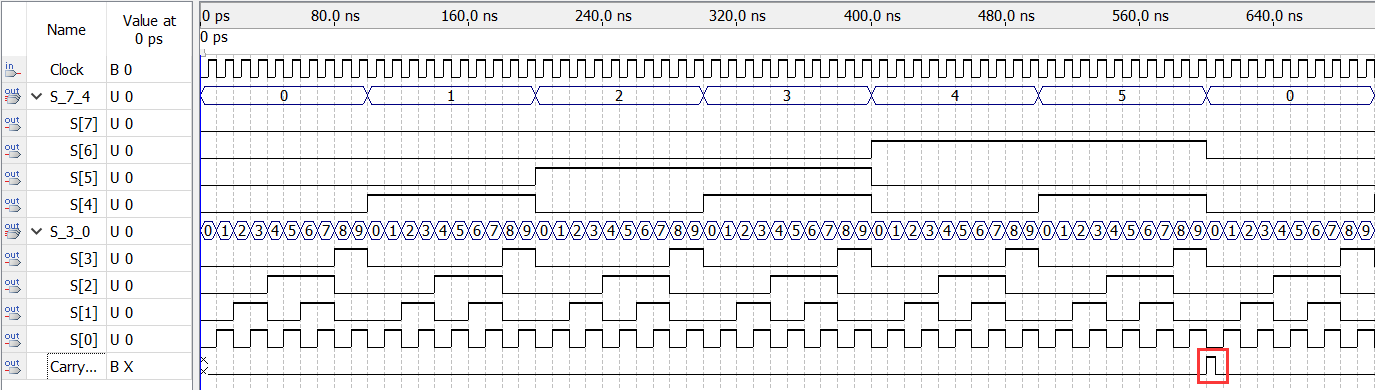


图3 分、秒计时模块仿真波形（注：7\_4代表十位，3\_0代表个位，下同）

波形结果分析：分、秒计时模块都是模60计数，所以当计数值由59增加1时，输出一个清零信号，将所有输出端置0。由图中可知，当计数值由59增加1时，最底部的Carry\_Signal（进位信号）输出1，代表此时计数器清零，向前进位。

* 1. 小时计时模块（模24计数）

1. 设计思路

小时计时模块为模24计数，这里采用74390计数器，将设置为小时的个位，将设置为小时的十位。当计数器的值由23增加1时，需要输出一个清零信号，满足（即），将与接入一个与门。为了使清零稳定，这里采用了一个钟控RS触发器。同时，由于小时计时模块是最后一级，所以不需要设置进位信号的输出端。

1. 设计结果（电路）

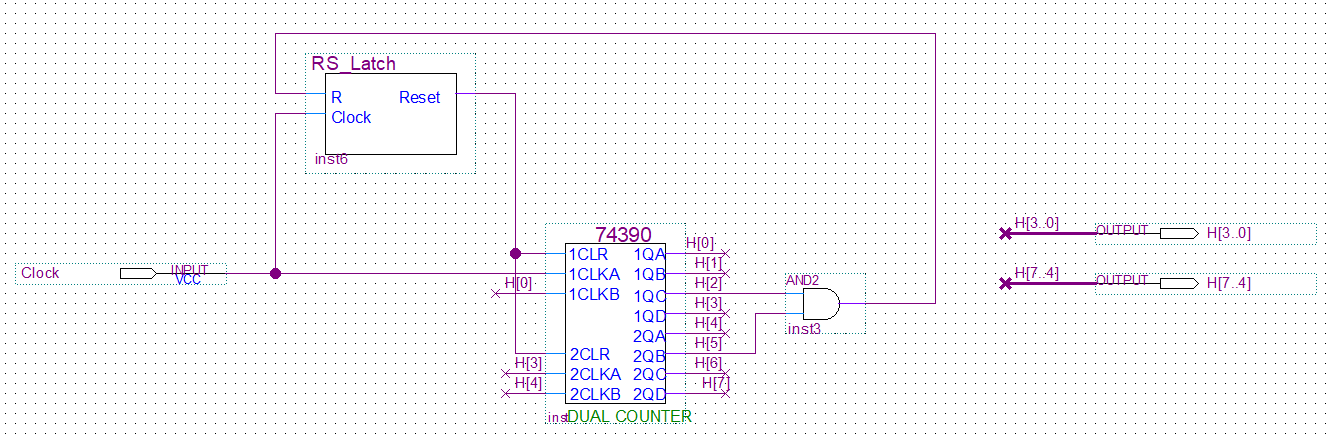


图4 小时计时模块电路图

1. 仿真波形及结果分析

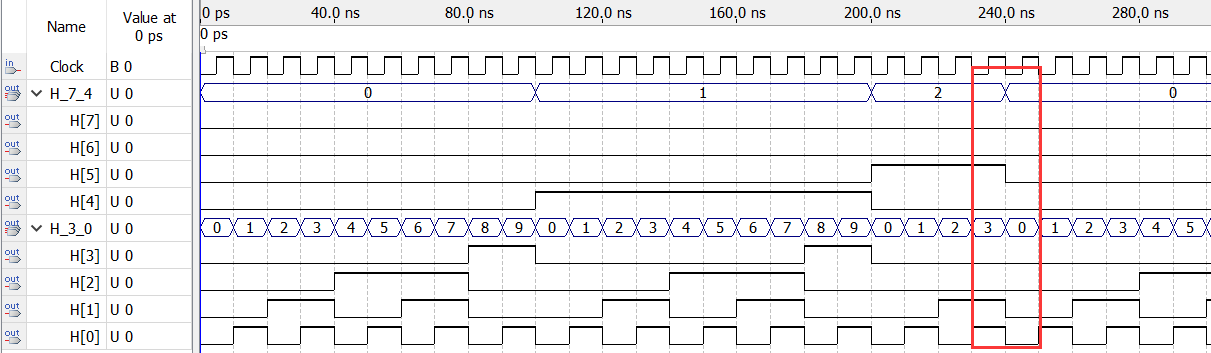


图5 小时计时模块仿真波形

波形结果分析：计数器的值由23增加1时，输出清零信号，全部置0，开始重新一轮计数。

* 1. 秒-分，分-小时的进位设计

1. 设计思路

进位的重点在于前一级的计数器计数值到达阈值时，需要对自身进行清零，同时向下一级计数器输出进位信号。本文设计的秒、分计数器均设有Carry\_Signal（进位信号输出端），所以可以直接将Carry\_Signal作为下一级的时钟信号。

1. 设计结果（电路）

秒-分进位电路图：

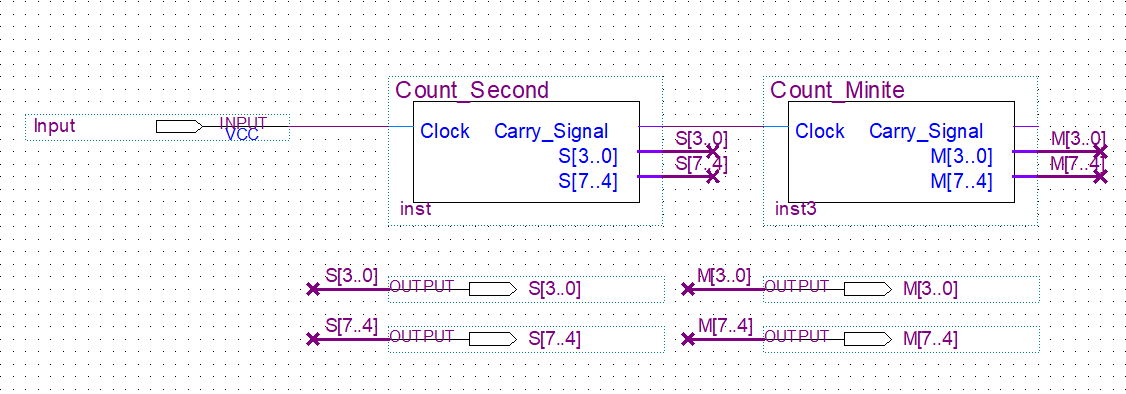


图6 秒—分进位电路图

分-时进位电路图：

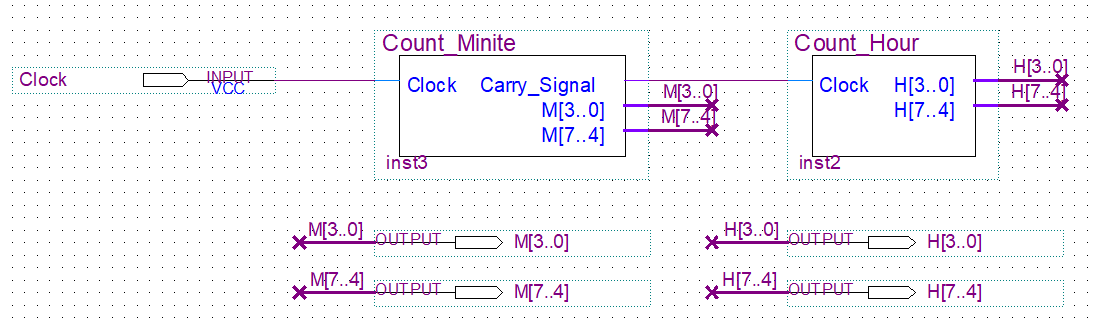


图7 分—时进位电路图

1. 仿真波形及结果分析

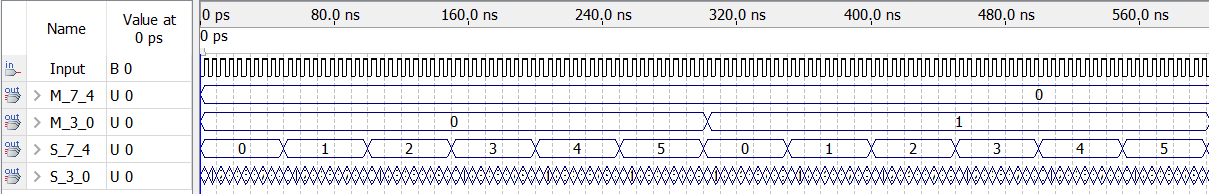


图8 秒—分进位电路仿真波形

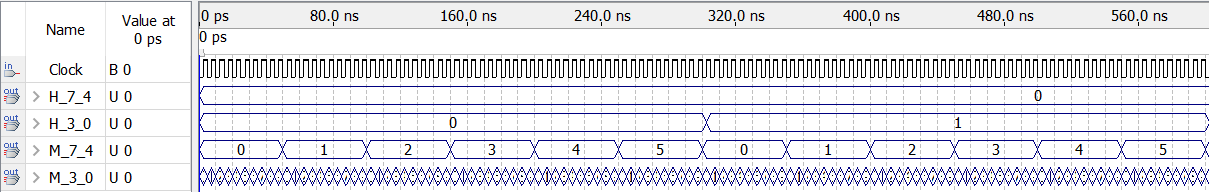


图9 分—时进位电路仿真波形

波形结果分析：由图可知，当秒（分）计数由59增加1时，对应的分（时）的计数值增加1，完成了进位的效果。

1. 数码管动态显示模块
   1. 数码管动态显示模块框架设计

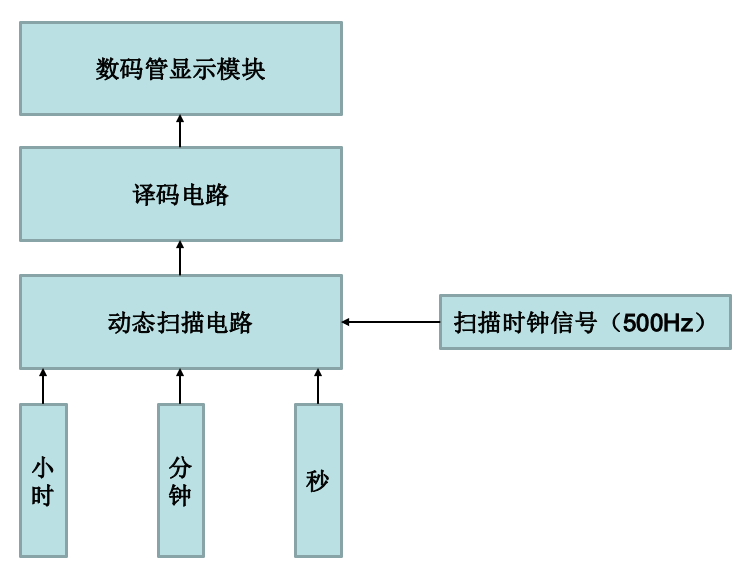


图10 数码管动态显示模块框架设计

动态扫描电路：在位选信号与段码同步的前提下，采用分时复用的方法轮流向数据总线发送不同的段码，实现数据显示。

译码电路：将动态扫描电路输出的8421 BCD码转换为十进制数输入数码管显示模块。

数码管显示模块：显示当前时间。

* 1. 扫描模块

1. 设计思路

扫描模块包括位选信号发生器、84选1数据选择器阵列，这里设置了一个模24计数器来进行模拟扫描模块的工作。

1. 设计结果（电路）

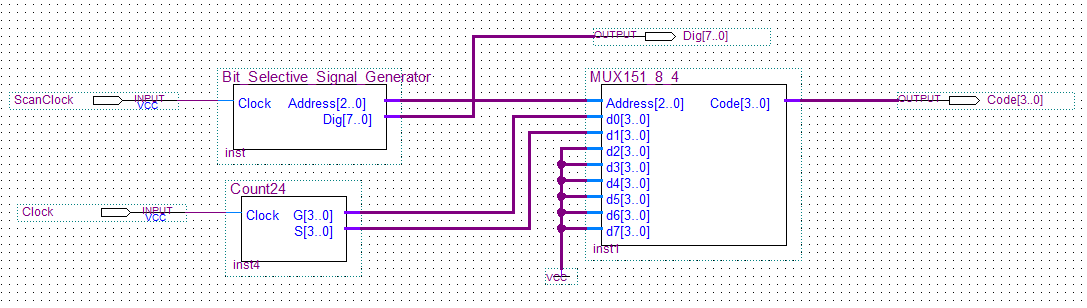


图11 扫描模块模拟电路图

1. 仿真波形及结果分析

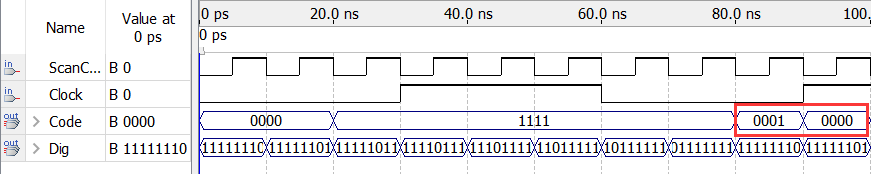


图12 扫描模块模拟电路仿真波形

波形结果分析：左边的0001为个位，右边的0000的十位。计数器的模值增加1，对应的个位增加1。位选信号发生器通过输出位选信号，将个位、十位的8421 BCD码轮流输出（即Code端）。

* 1. 位选模块

1. 设计思路

通过计数器产生循环地址码，输入74138译码器，并驱动其产生脉冲分配功能，输出位选信号。

1. 设计结果（电路）

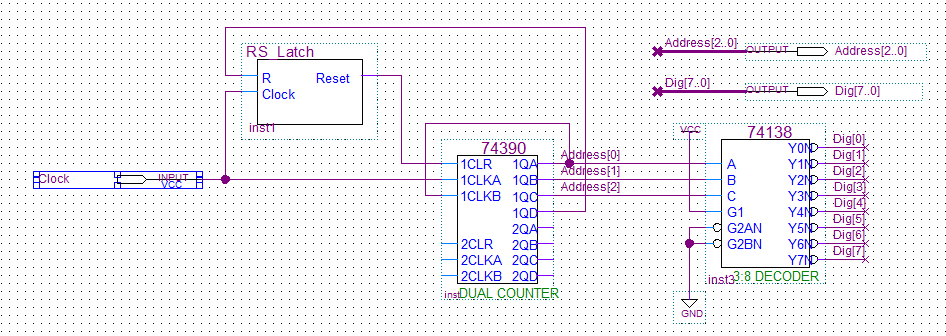


图13 位选信号发生器电路图

1. 仿真波形及结果分析

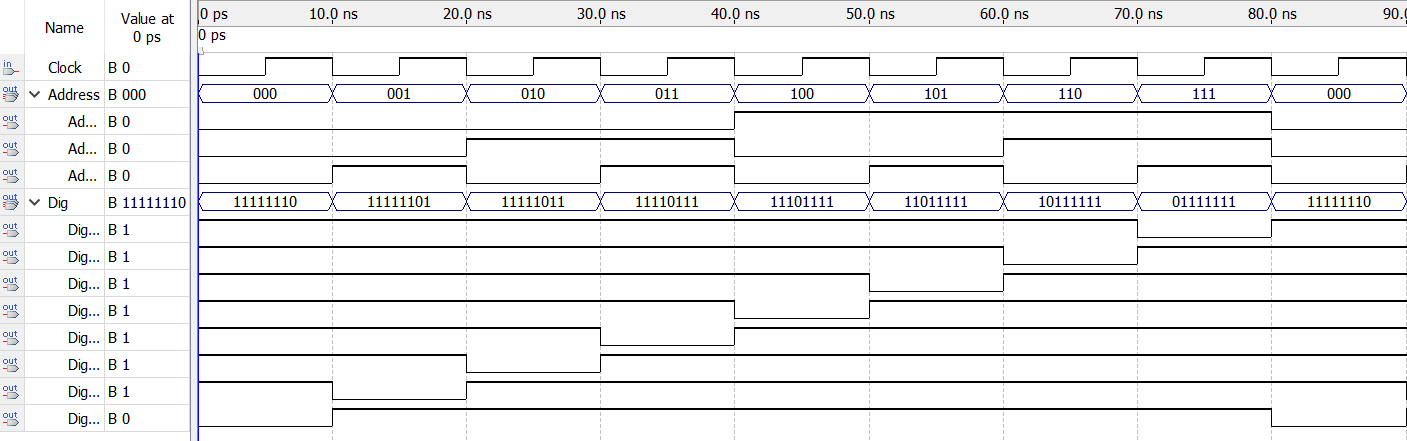


图14 位选信号发生器仿真波形

波形结果分析：每输入一个CP，地址端74390的值加1，并输入74138译码器输出位选信号，满足表达式：（为C、B、A产生的最小项）。当74390的值增加至10时，端为1，作为R的值输入图中的钟控RS锁存器（RS-Latch）并输出清零信号至CLR，、、、均置0，重新开始输出位选信号。

* 1. 数据选择模块

1. 设计思路

将四个74151的地址端并联，4位数据的每一位分别接入不同的74151的相同数据输入端，每一片74151负责选择1位数据的输出，在循环地址码的作用下，4位74151共同输出4位所选数据。

1. 设计结果（电路）

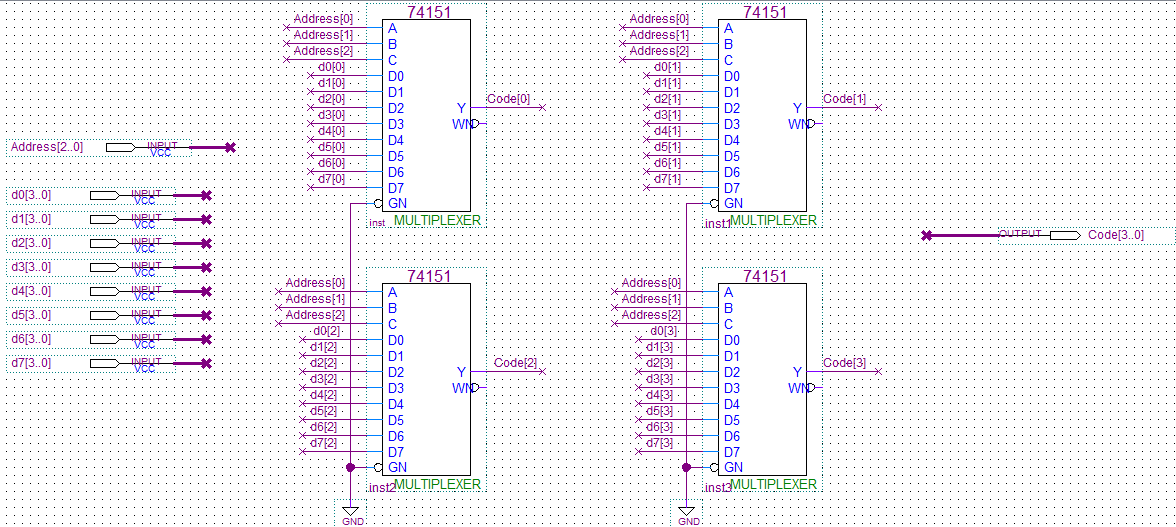


图15 数据选择模块电路图

1. 仿真波形及结果分析

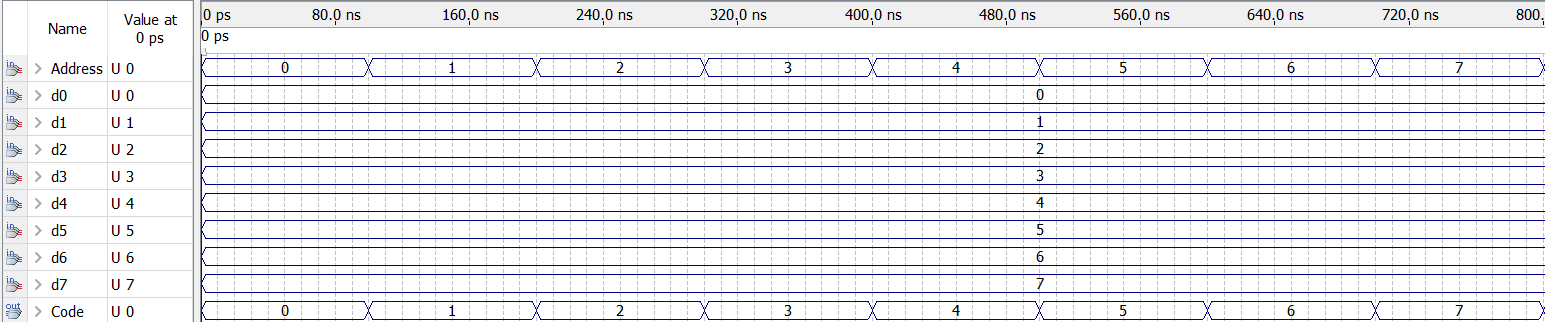


图16 数据选择模块仿真波形

波形结果分析：由于4片74151的地址端输入相同，故选择出的数据来自同一个4位输入数据。

* 1. 译码模块

1. 设计思路

译码，即将84选1数据选择器阵列输出的4位8421 BCD码转换为十进制数，并将十进制数输入数码管，以显示此时的具体时间。由于本文采用的是7448七段共阴极数码管，输入值要求的是8421 BCD码，而7448内部会自动进行译码，故此处无需专门设计译码模块。

* 1. 数码管动态显示模块

1. 电路图

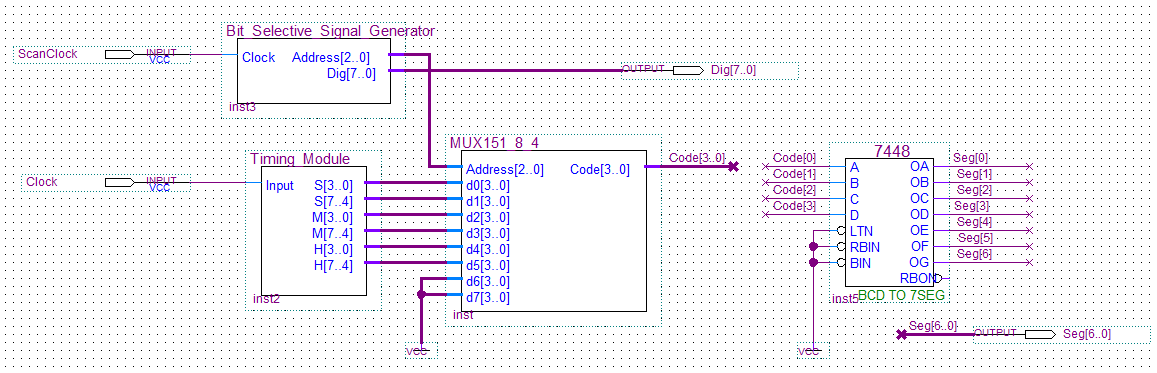


图17 数码管动态显示模块电路图

1. 波形仿真及结果分析

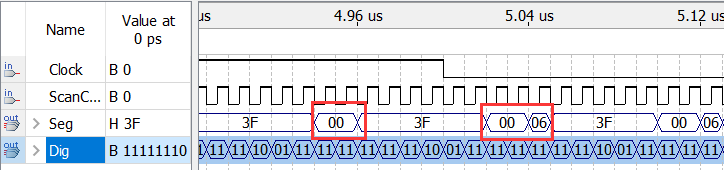


图18 数码管动态显示模块仿真波形

波形结果分析：设置时钟信号Clock的周期为，扫描信号ScanClock的周期为，此时能较好的模拟数码管的显示效果。时钟信号的第一个周期结束后，时间由变为，增加1秒，由图中可以知道此时数码管的段码变为06,。由于74390是共阴极数码管，故06代表1，显示正确。

1. 其他扩展功能
   1. 整点报时功能

（1）设计思路

整点报时，即每当分、秒位均为0,时，数字时钟内部的蜂鸣器振动一定时间，以达到报时的效果。由于软件平台没有蜂鸣器，本文设置一个输出端Buzzer代替蜂鸣器，当蜂鸣器开始工作时，Buzzer输出高电平，其余时间均为低电平。

本文的思路如下：将时、分、秒的8421 BCD码接入一个44线10线译码器（7442）阵列。当分、秒位均为0时，通过4个7442对输入信号进行译码，每个译码器的均输出低电平，其余时刻至少有一个输出高电平，将这四个输出端接入一个或非门，并将或非门的输出与一个用于控制该功能开关的ST使能端接入与门，即可实现效果。

（2）设计结果（电路）

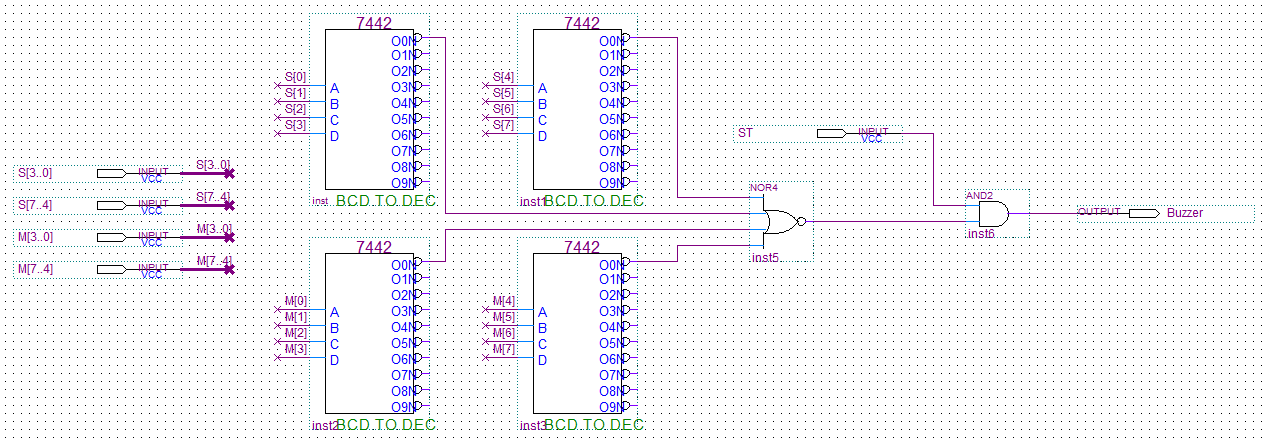


图19 整点报时模块电路图（注：图中标注错误，需将S、M分别改为M、H）

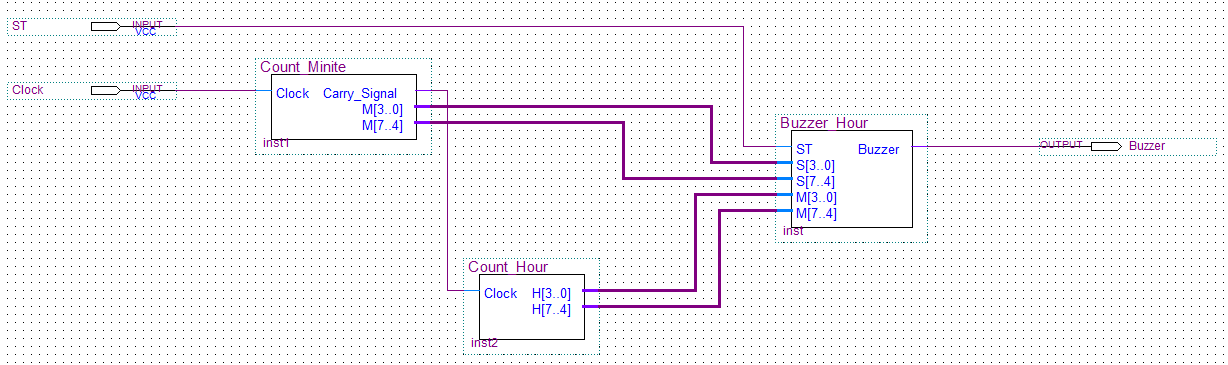


图20 整点报时模拟电路图

（3）仿真波形及结果分析

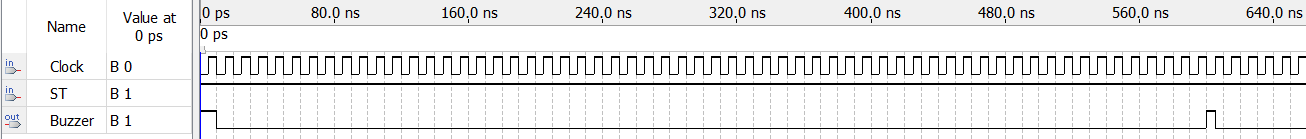


图21 整点报时模块模拟电路仿真波形

波形结果分析：在ST使能端为1的前提下，当分、秒均为0时，蜂鸣器工作，由图中可知Buzzer端在600.0处输出高电平，说明整点报时功能正常工作。

* 1. 闹钟功能

（1）设计思路

闹钟，是在时间到达先前设定好的时间点时，蜂鸣器开始工作。设计思路与整点报时模块类似，设计输入端指定闹钟时间，将时钟当前显示的时间也输入此模块，并用数据比较器与设定好的时间进行比较。当所有数字均相同时，蜂鸣器开始工作。

本文设计了64位数据比较器（74LS85）阵列用于对时钟当前时间与闹钟设定时间进行匹配。当时、分、秒均相同时，6个数据比较器的AEB端均输出1，将这6个输出端连接至一个6输入与门，并将与门的输出端与一个设置的闹钟使能端ST接入与门。当ST为1且时间匹配成功时，蜂鸣器开始工作。

（2）设计结果（电路）

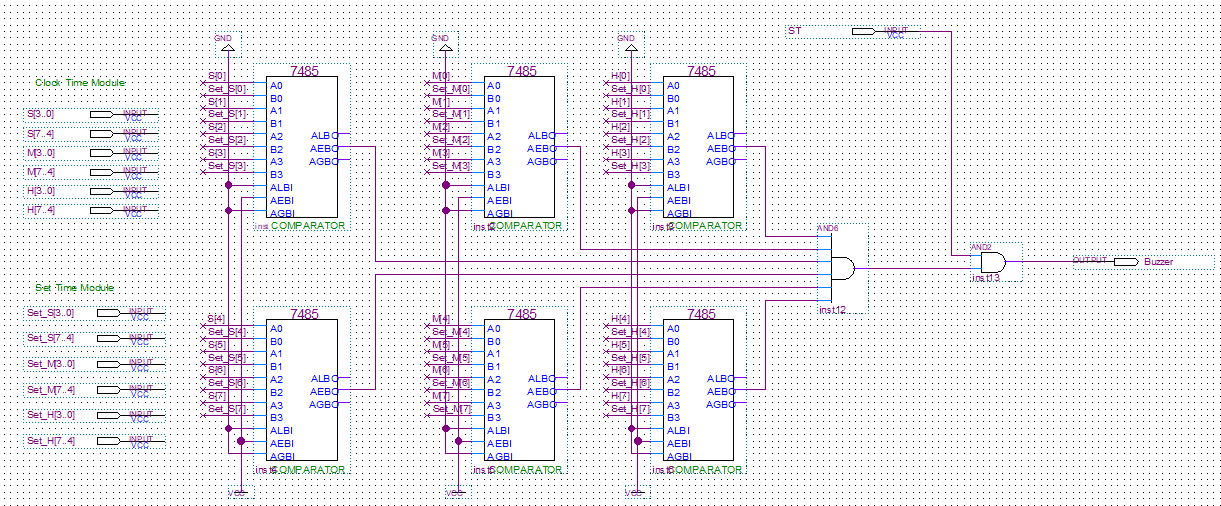


图22 闹钟功能模块电路图

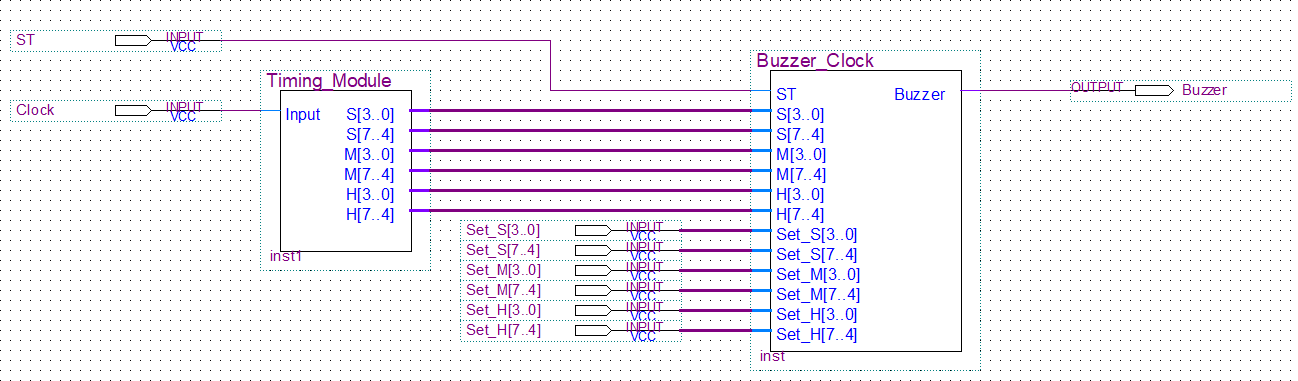


图23 闹钟功能模拟电路图

（3）仿真波形及结果分析

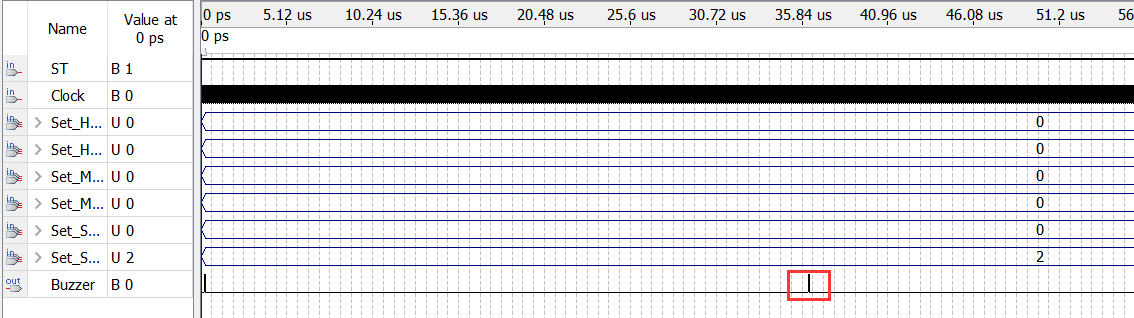


图24 闹钟功能模拟电路仿真波形

波形结果分析：设置时钟信号周期为10，闹钟时间为，以便于观察。由图可知，当时钟时间到达时，蜂鸣器Buzzer开始工作，说明闹钟功能正常工作。

4.3 功能合并

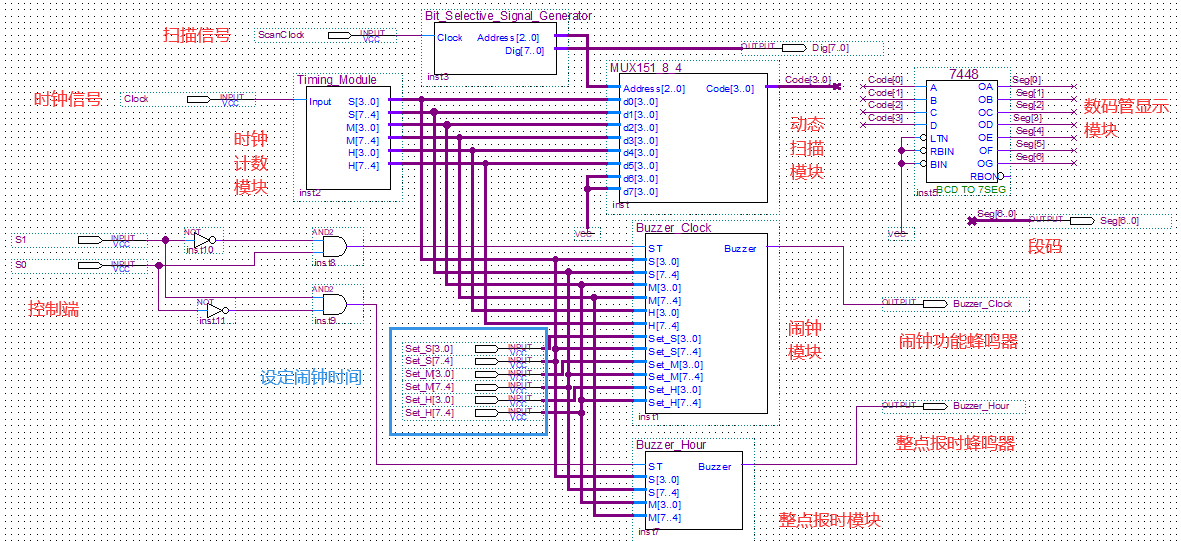


图25 数字时钟完整电路图

功能描述：为控制信号输入端，其取值与数字时钟的对应关系如下：

|  |  |
| --- | --- |
|  | 工作模块 |
| 00 | 时钟 |
| 01 | 时钟、闹钟 |
| 10 | 时钟、整点报时 |
| 11 | 时钟、闹钟、整点报时 |

表1 数字时钟控制端的功能

1. 系统设计实现过程中遇到的主要问题、解决思路和解决方案

设计的时候有用到接地（接高电平），需要gnd（vcc），但有时候会报错，提示gnd（vcc）与电路图中某个部件重名，需要改名字。之前一直以为gnd（vcc）这类元件是不需要命名的，点进去发现它们也算做inst，改了名字之后就可以通过编译了。

1. 心得体会

这次的数字时钟用到了很多之前实验的知识点，尤其是计数器和数码管的应用，同时也有电路封装方面的知识。各个模块里面总线比较多，连的时候要格外细心。