

# 2024 超大型積體電路電腦輔助設計概論

## 2024 Introduction to VLSICAD

### Lab 12

學號: E14102305 姓名: 簡笠恩

※作業要求的圖請使用**電腦截圖程式**截取，請勿用手機拍照的方式繳交

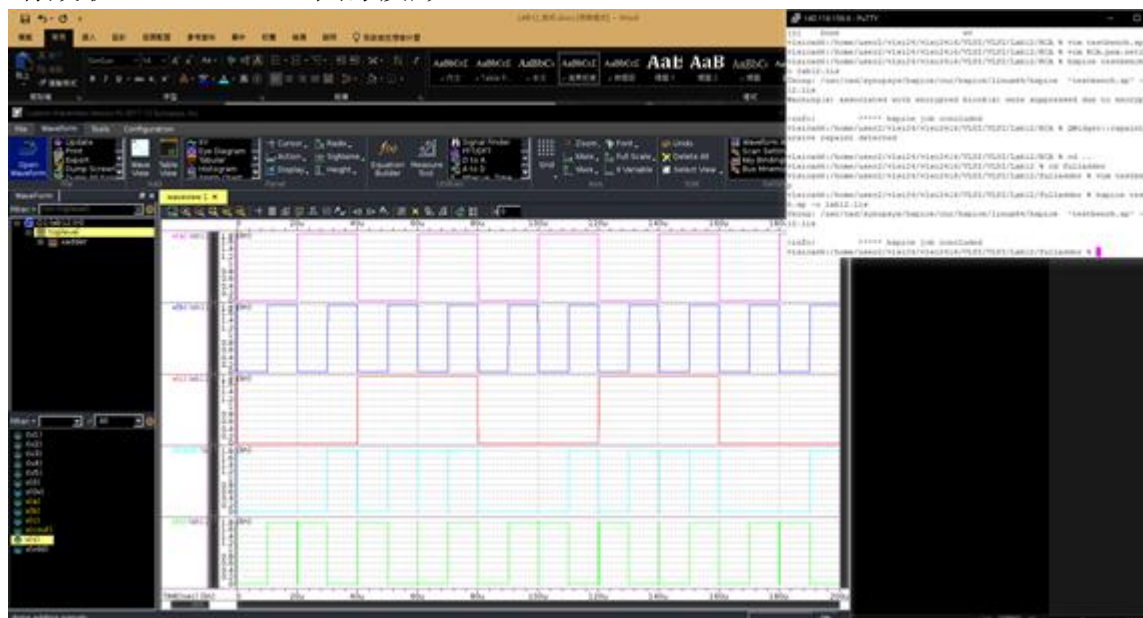
※Report 檔請以 pdf 的格式繳交

- FA
  - Presim
    - 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12 % hspice testbench.sp -o lab12.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'testbench.sp' -o lab12.lis

>info:          ***** hspice job aborted
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12 % hspice testbench.sp -o lab12.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'testbench.sp' -o lab12.lis
```

- 請截取 WaveView 中的波形



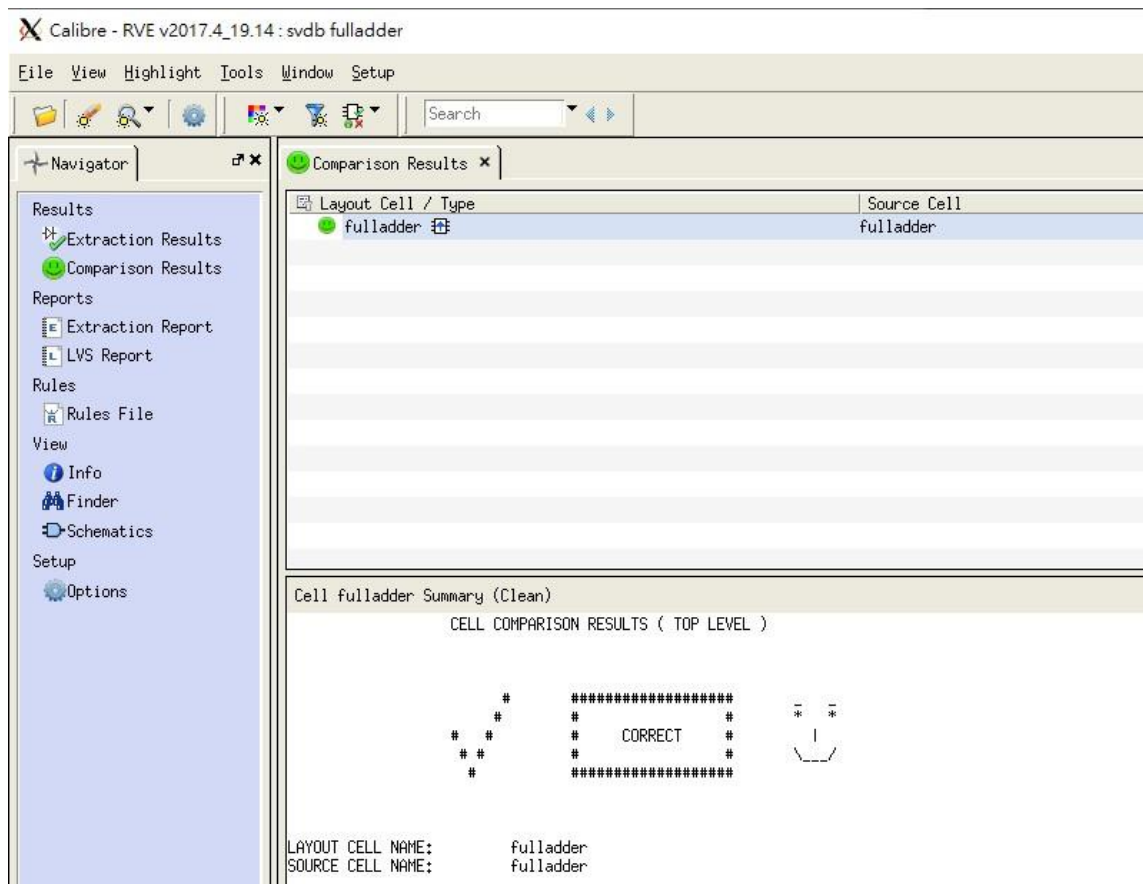
- Post-sim
  - 請截取 terminal 顯示 job concluded 的圖

●

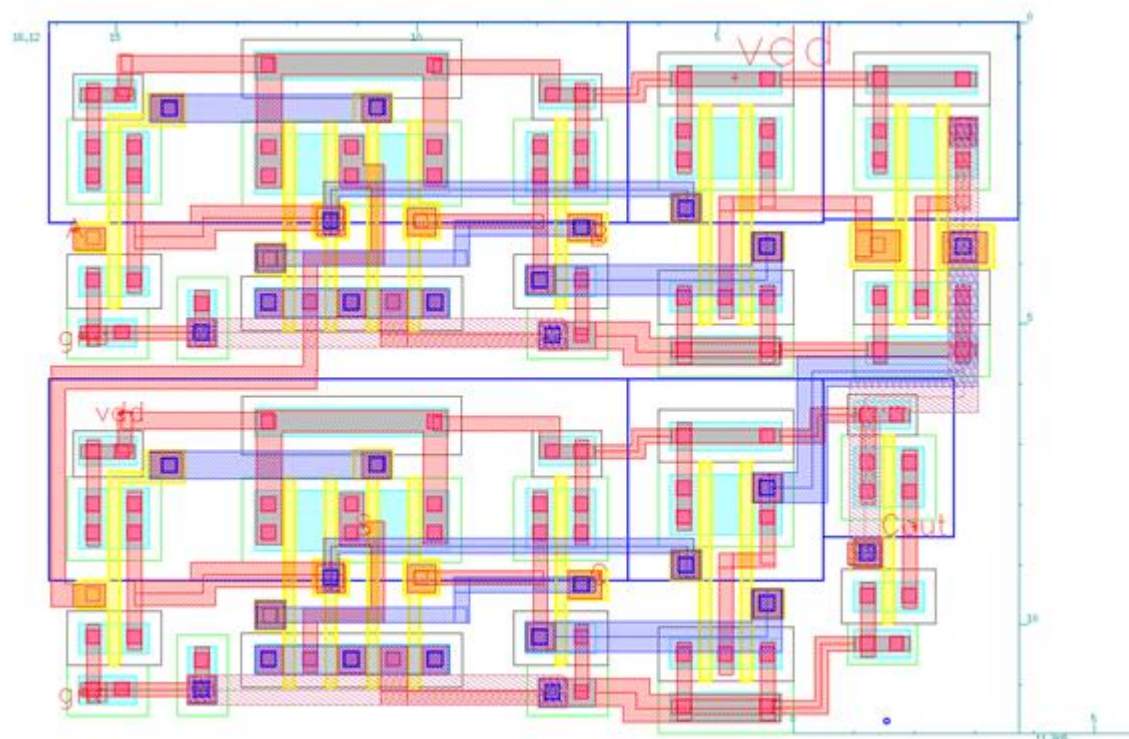
- 



-



- Layout 截圖(顯示長寬)



- AREA : 190.297
- 嘗試簡單說明 Presim 與 Post-sim 結果比較
- 可以說幾乎沒有區別，但我發現在有些地方的波型不太一樣，主要發生在訊號轉變的時候，可以說post後那些地方會被吃掉，應該

算是把那段截掉而已。

- 
- RCA
  - Presim
    - 請截取 terminal 顯示 job concluded 的圖

```
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % wv &
[3] 7154
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA %
[2] Done wv
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % vim testbench.sp
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % vim RCA.pex.netlist
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % hspice testbench.sp -o lab12.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'testbench.sp' -o lab12.lis
Warning(s) associated with encrypted block(s) were suppressed due to encrypted c
>info: ***** hspice job concluded
```

- 請截取 WaveView 中的波形



- 
- Post-sim
  - 請截取 terminal 顯示 job concluded 的圖

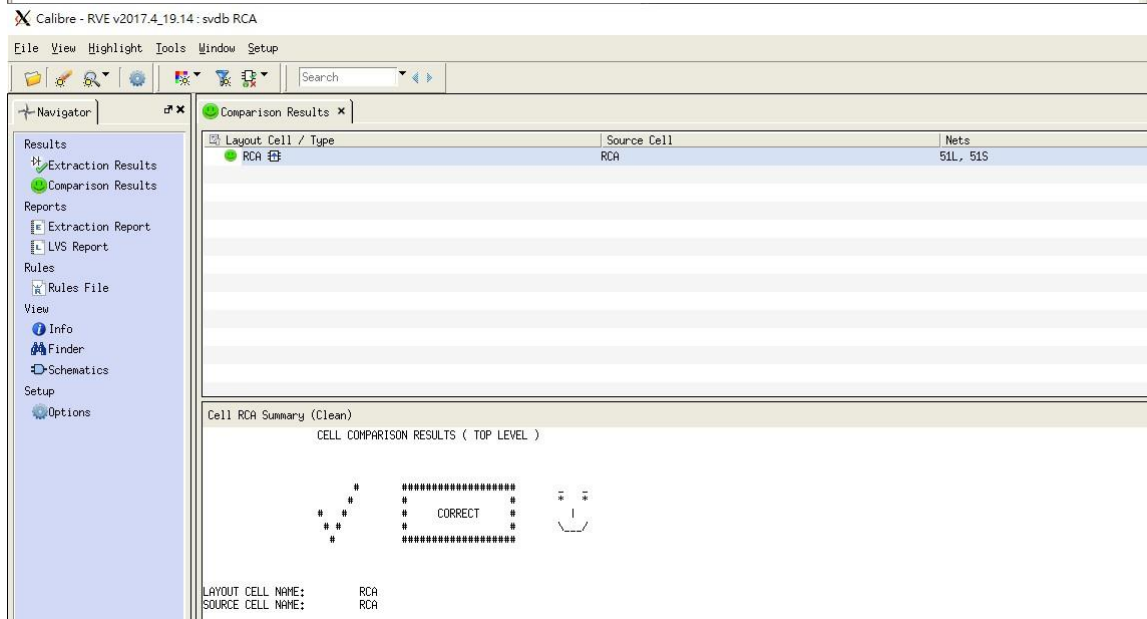
```
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % wv &
[3] 7154
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA %
[2] Done wv
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % vim testbench.sp
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % vim RCA.pex.netlist
vlsicad6:/home/user2/vlsi24/vlsi2416/VLSI/VLSI/Lab12/RCA % hspice testbench.sp -o lab12.lis
Using: /usr/cad/synopsys/hspice/cur/hspice/linux64/hspice 'testbench.sp' -o lab12.lis
Warning(s) associated with encrypted block(s) were suppressed due to encrypted c
>info: ***** hspice job concluded
```



- 請截取 WaveView 中的波形

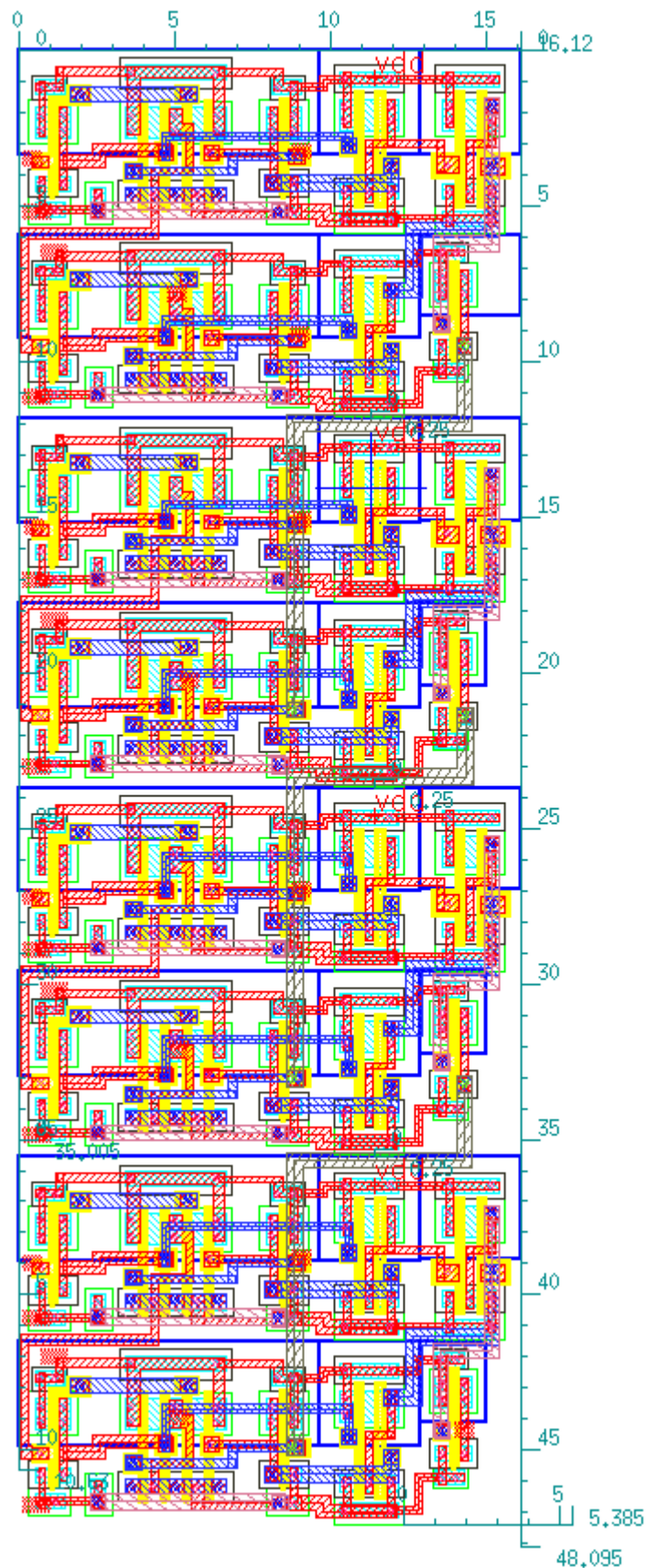


- DRC/LVS 結果



- Layout 截圖(顯示長寬)

-



AREA : 763.604

- 嘗試簡單說明 Presim 與 Post-sim 結果比較

可以說幾乎沒有區別，但我發現在有些地方的波型不太一樣，主要發生在訊號轉變的時候，可以說post後那些地方會被吃掉，應該算是把那段截掉而已。

- 心得討論
- 這次lab為最後一次lab這次我們學到了onebitadder和RCA的layout，而RCA就是將onebit的串接起來而已，可以說是十分的舒服，而這次學學到了對laker的進一步掌控，可以說又學到了許多東西。可惜laker的部分只有5個lab，下下學期再修VLSI circuit design。