



2.1.4. Dekoder .....	4
2.1.5. MUX_CDC_wsp.....	5
2.1.6. RAM współczynników .....	5
2.1.7. Rejestry sterujące .....	5
2.2. AXI_main .....	5
2.2.1. AXI .....	5
2.2.2. MUX_AXI_wej .....	5
2.2.3. RAM wej .....	5
2.2.4. MUX_AXI_wyj .....	5
2.2.5. RAM wyj .....	5
2.3. FIR_main .....	6
2.3.1. FSM .....	6
2.3.2. Licznik .....	7
2.3.3. Licznik pętli .....	7
2.3.4. Shift R .....	7
2.3.5. Acc .....	8
2.3.6. mnożenie .....	8
2.3.7. sumowanie .....	8
3. Sygnały .....	8
3.1. APB_main.....	9
3.1.1. APB (APB3).....	9
3.1.2. CDC.....	10
3.1.3. MUX_DEKODER .....	11
3.1.4. Dekoder .....	11
3.1.5. MUX_CDC_wsp.....	12
3.1.6. RAM współczynników .....	12
3.1.7. Rejestry sterujące .....	13
3.2. AXI_main .....	14
3.2.1. AXI .....	14
3.2.2. MUX_AXI_wej .....	15
3.2.3. RAM wej .....	15
3.2.4. MUX_AXI_wyj .....	16

3.2.5. RAM wyj	16
3.3. FIR_main	16
3.3.1. FSM	17
3.3.2. Licznik	18
3.3.3. Licznik pętli	19
3.3.4. Shift R	19
3.3.5. Acc	20
3.3.6. mnożenie	20
3.3.7. sumowanie	21
4. Testy	22
4.1. Test magistrali APB	22
4.2. Test magistrali AXI	22
4.3. Test filtra FIR	22
5. Struktura projektu	23

## 1. Schemat.

Osobny pdf

## 2. Krótki opis każdego modułu.

Przez interfejs APB - współczynniki i sterowanie.

Przez interfejs AXI – dane(próbki).

3 główne moduły:

- **APB\_main:** APB3, CDC, Dekoder, MUX\_Dekoder, MUX\_CDC\_wsp, Rejestry sterujące, RAM(wsp).
- **AXI\_main:** AXI, MUX\_AXI\_wej, RAM wej, RAM wyj, MUX\_AXI\_wyj.
- **FIR\_main:** FSM, Licznik, Licznik petli, Shift R, Acc, mnożenie, sumowanie.

### 2.1. APB\_main

APB\_main to będzie top module – do testów z COCOTB, a w nim poszczególne moduły.

#### 2.1.1. APB

Ten moduł pozwala na komunikację między zewnętrznymi modułami/elementami? A pamięcią RAM dla współczynników.

#### 2.1.2. CDC

Moduł zapewniający połączenie między domenowe dla interfejsu APB w domenie A oraz reszty modułów w domenie B.

#### 2.1.3. MUX\_DEKODER

Multiplexer określający źródło danych powrotnych dla APB.

#### 2.1.4. Dekoder

Ten moduł zapewnia rozdzielenie jednego adresu pochodzącego z APB, na adres do pamięci RAM i adres do rejestrów kontrolnych (jako nr\_Rejestru).

### 2.1.5. MUX\_CDC\_wsp

Multiplexer określający źródło adresu dla pamięci RAM współczynników.

### 2.1.6. RAM współczynników

Moduł pamięci RAM przechowujący współczynniki filtra.

### 2.1.7. Rejestry sterujące

Moduł rejestrów przechowujące sygnały sterujące/konfiguracyjne projektu.

## 2.2. AXI\_main

AXI\_main to będzie top module – do testów z COCOTB, a w nim poszczególne moduły.

### 2.2.1. AXI

Ten moduł pozwala na komunikację między zewnętrznymi modułami/elementami? A pamięcią RAM dla próbek wejściowych i próbek wyjściowych.

### 2.2.2. MUX\_AXI\_wej

Multiplexer określający źródło adresu dla pamięci RAM próbek wejściowych.

### 2.2.3. RAM wej

Moduł pamięci RAM przechowujący próbki wejściowe.

### 2.2.4. MUX\_AXI\_wyj

Multiplexer określający źródło adresu dla pamięci RAM próbek wyjściowych.

### 2.2.5. RAM wyj

Moduł pamięci RAM przechowujący próbki wyjściowe.

## 2.3. FIR\_main

FIR\_main to będzie top module – do testów z COCOTB, a w nim poszczególne moduły.

### 2.3.1. FSM

Moduł sterujący pracą całego projektu.

- IDLE: czeka na start(narastające zbocze chyba). Pracuje, DONE = 0. MUX ustawione na AXI i APB.

- START: jest sygnał start, załaduj liczniki wartościami (ile\_próbek i ile\_wsp),reset wszystkiego, pracuje = 1. MUX ustawione na FIR.

- Obliczenia:

A) nowa próbka do shift R(FSM\_nowa\_shift). . Licznik pętla reset.(do zera)

B) przemnożenie współczynników przez shift R (licznik pętla ++)

FSM\_petla\_en = 1. Jeśli petla\_full to przejdź do C). ACC\_en = 1.

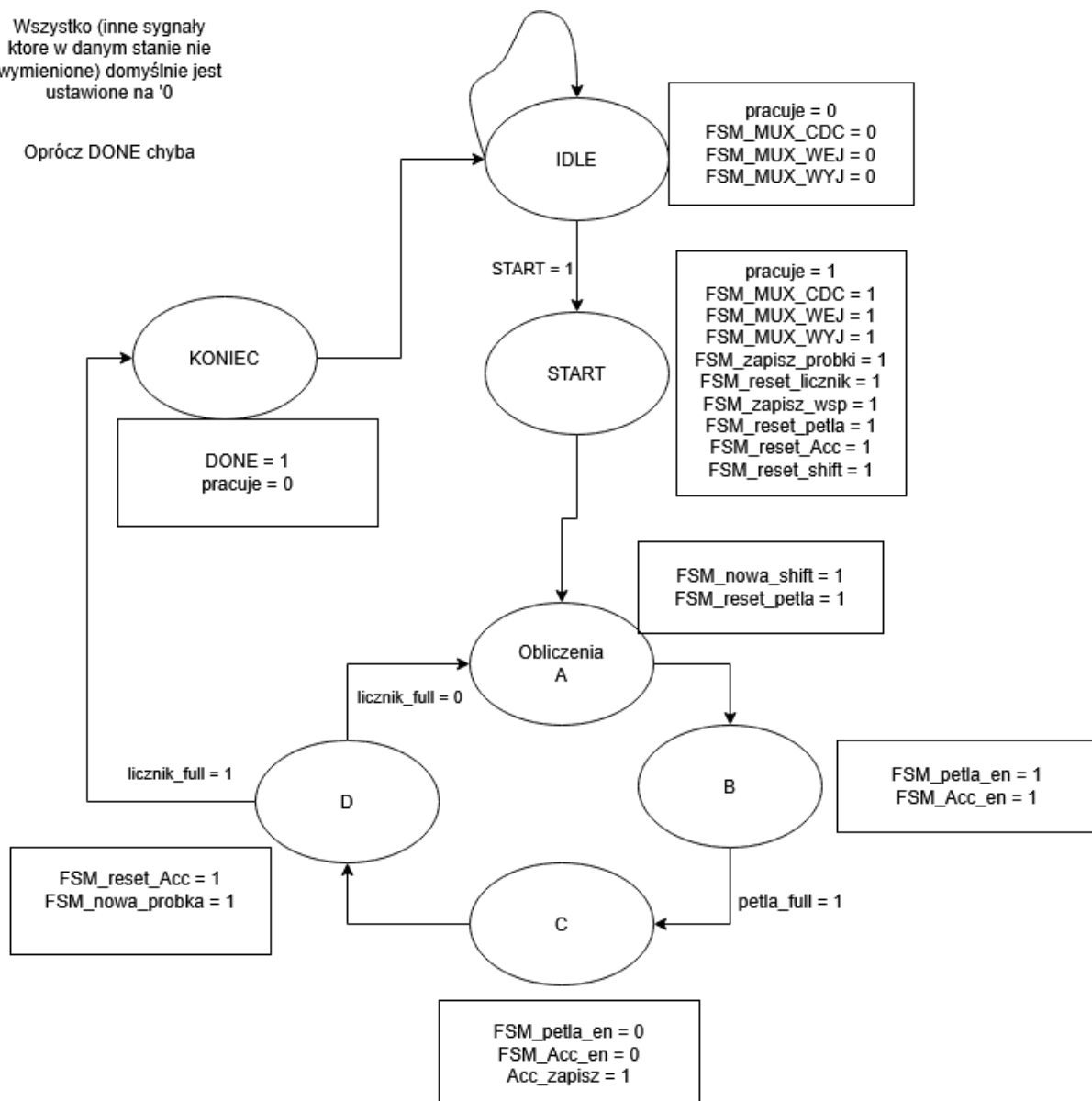
C) FSM\_petla\_en = 0. zapisz próbkę wynikową z ACC. ACC\_en = 0.  
ACC\_zapisz =1.

D) czy licznik == ile próbek(licznik\_full) -> nie to do A) i  
licznik++(FSM\_nowa\_probka). Tak to koniec. Wyzerowac ACC.

- KONIEC: DONE=1, pracuje = 0.

Wszystko (inne sygnały które w danym stanie nie wymienione) domyślnie jest ustawione na '0'

Oprócz DONE chyba



### 2.3.2. Licznik

Moduł licznika, który zlicza liczbę próbek.

### 2.3.3. Licznik pętli

Moduł licznika, który zlicza liczbę współczynników.

### 2.3.4. Shift R

Moduł rejestru przechowujący poprzednie próbki wejściowe.

#### 2.3.5. Acc

Moduł przechowujący wynik próbki wyjściowej podczas obliczeń.

#### 2.3.6. mnożenie

Moduł odpowiedzialny za wykonywanie mnożenia.

#### 2.3.7. sumowanie

Moduł odpowiedzialny za wykonywanie dodawania.

### 3. Sygnały.

Opis sygnałów w każdym module.



## 3.1. APB\_main

### 3.1.1. APB (APB3)

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
PCLK	1	IN	Sygnał zegarowy.	A
PRESETn	1	IN	Sygnał resetu.	A
PADDR	32	IN	Adres	A
PSELx	1	IN	Sygnał jest generowany dla każdego Completera i informuje, że został on wybrany oraz że ma zostać wykonana operacja transferu danych.	A
PENABLE	1	IN	Wskazuje na drugą i kolejne fazy (cykle) transferu na magistrali APB.	A
PWRITE	1	IN	Sygnalizuje zapis do APB, gdy jest w stanie wysokim, a odczyt — gdy w stanie niskim.	A
PWDATA	32	IN	Szyna danych, jest sterowana przez Requester mostka APB podczas cykli zapisu, gdy PWRITE jest w stanie wysokim.	A
PREADY	1	OUT	Służy do przedłużenia transferu APB przez Completer.	A
PRDATA	32	OUT	Szyna danych odczytu jest sterowana przez wybranego Completera podczas cykli odczytu, gdy PWRITE jest w stanie niskim.	A
PSLVERR	1	OUT	Opcjonalny sygnał, który Completer może ustawić w stan wysoki, aby wskazać błąd podczas transferu APB.	A

p_address	6	OUT	Skrócony adres (tylko potrzebna ilość bitów) do pamięci RAM i Rejestrów kontrolnych.	A
p_data	16	OUT	Dane zawierające współczynnik albo konkretny rejestr kontrolny.	A
p_wr	1	OUT	Kiedy '1' oznacza, że dane na p_data są przeznaczone do zapisu pod wskazany adres.	A
p_data_back	16	IN	Wartość odczytana z podanego adresu.	A

### 3.1.2. CDC

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
p_address	6	IN	Adres wskazujący pod konkretny współczynnik w pamięci RAM albo konkretny rejestr kontrolny.	A
p_data	16	IN	Dane zawierające współczynnik albo konkretny rejestr kontrolny.	A
p_wr	1	IN	Kiedy '1' oznacza, że dane na p_data są przeznaczone do zapisu pod wskazany adres.	A
p_data_back	16	OUT	Wartość odczytana z podanego adresu.	A
CDC_A	6	OUT	Adres wskazujący pod konkretny współczynnik w pamięci RAM albo konkretny rejestr kontrolny.	B
CDC_data	16	OUT	Dane zawierające współczynnik albo konkretny rejestr kontrolny.	B
CDC_wr	1	OUT	Kiedy '1' oznacza, że dane na p_data są	B

			przeznaczone do zapisu pod wskazany adres.	
data_back	16	IN	Wartość odczytana z podanego adresu.	B

### 3.1.3. MUX\_DEKODER

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
wsp_data	16	IN	Wartość Współczynnika odczytana z podanego adresu.	B
Rej_out	16	IN	Wartość rejestru kontrolnego odczytana z podanego adresu.	B
Dekoder_MUX	1	IN	Kiedy '0' oznacza dane współczynników, kiedy '1' oznacza rejestr kontrolny.	B
data_back	16	OUT	Wartość odczytana z podanego adresu.	B

### 3.1.4. Dekoder

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
CDC_A	6	IN	Adres wskazujący pod konkretny współczynnik w pamięci RAM albo konkretny rejestr kontrolny.	B
CDC_wr	1	IN	Kiedy '1' oznacza, że dane na p_data są przeznaczone do zapisu pod wskazany adres.	B
Dekoder_MUX	1	OUT	Kiedy '0' oznacza dane współczynników, kiedy '1' oznacza rejestr kontrolny.	B
address_RAM	5	OUT	Adres przeznaczony do pamięci RAM współczynników.	B
wr_RAM	1	OUT	Kiedy '1' oznacza, że dane na CDC_data są	B

			przeznaczone do zapisu pod wskazany adres dla współczynników.	
nr_Rejestru	3	OUT	Adres (numer Rej.) przeznaczony do Rejestrów kontrolnych.	B
wr_Rej	1	OUT	Kiedy '1' oznacza, że dane na CDC_data są przeznaczone do zapisu pod wskazany adres dla rejestrów kontrolnych.	B

### 3.1.5. MUX\_CDC\_wsp

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
address_FIR	5	IN	Adres wskazujący pod konkretny współczynnik w pamięci RAM, pochodzący z licznika petli.	B
address_RAM	5	IN	Adres wskazujący pod konkretny współczynnik w pamięci RAM, pochodzący z APB.	B
FSM_MUX_CDC	1	IN	Kiedy '0' oznacza adres z APB(przez CDC), kiedy '1' oznacza adres z licznika pętli.	B
Wsp_address_in	5	OUT	Adres wskazujący pod konkretny współczynnik w pamięci RAM.	B

### 3.1.6. RAM współczynników

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
wsp_address_in	5	IN	Adres do zapisu/odczytu.	B
CDC_data	16	IN	Dane do zapisu.	B
wr	1	IN	Kiedy '1' oznacza zapis do pamięci. Sygnał wypracowany przez AND(CDC_wr z ~pracuje).	B

Data_out	16	OUT	Dane wyjściowe - konkretny współczynnik.	B
----------	----	-----	--	---

### 3.1.7. Rejestry sterujące

- 000: START
- 001: DONE
- 010: PRACUJE
- 011: ile\_wsp
- 100: ile\_probek

Sygnal	Szerokość	Kierunek	Opis	Domena zegarowa
Rej_out	16	OUT	Wartość rejestru kontrolnego odczytana z podanego adresu.	B
CDC_data	16	IN	Dane zawierające konkretny rejestr kontrolny.	B
nr_Rejestru	3	IN	Adres (numer Rej.) przeznaczony do Rejestrów kontrolnych.	B
wr_Rej	1	IN	Kiedy '1' oznacza, że dane na CDC_data są przeznaczone do zapisu pod wskazany adres dla rejestrów kontrolnych.	B
Start	1	OUT	Kiedy '1' oznacza rozpoczęcie pracy	B
Pracuje	1	IN	Kiedy '1' oznacza, że FIR wykonuje obliczenia.	B
DONE	1	IN	Kiedy '1' oznacza, że FIR zakończył pracę.	B
Ile_wsp	6	OUT	Oznacza ilość współczynników	B
Ile_probek	14	OUT	Oznacza ilość próbek	B

## 3.2. AXI\_main

### 3.2.1. AXI

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
AWADDR	[31:0]	IN	Adres zapisu	B
AWVALID	1	IN	Adres ważny	B
AWREADY	1	OUT	Slave gotowy przyjąć adres	B
AWLEN	[3:0] axi3 [7:0] axi4	IN	Liczba transferów w <b>burst</b>	B
AWSIZE	[2:0]	IN	rozmiar pojedynczego transferu dla <b>burst</b> (np. 3'b010 = 4 bajty)	B
AWBURST	[1:0]	IN	typ <b>bursta</b> (INCR, FIXED, WRAP)	B
WVALID	1	IN	Dane Ważne	B
WREADY	1	OUT	Slave gotowy na dane	B
WLAST	1	IN	1 gdy ostatni transfer w burst	B
WDATA	[63:0]	IN	Dane do zapisu	B
WSTRB	[7:0]	IN	Bajty aktywne (np. 4'b1111 dla 32-bit)	B
BVALID	1	OUT	Odpowiedź ważna	B
BREADY	1	IN	Master gotowy odebrać odpowiedź	B
BRESP	[1:0]	OUT	Kod statusu (OKAY, SLVERR, itd.)	B
ARVALID	1	IN	Adres ważny	B
ARREADY	1	OUT	Slave gotowy na adres	B
ARADDR	[31:0]	IN	Adres odczytu	B
ARSIZE	[2:0]	IN	Rozmiar <b>bursta</b>	B
ARBURST	[1:0]	IN	Typ <b>bursta</b>	B
ARLEN	[3:0] axi3 [7:0] axi4	IN	Długość <b>bursta</b>	B
RVALID	1	OUT	Odpowiedź ważna	B

RREADY	1	IN	Master gotowy na odpowiedź	B
RLAST	1	OUT	Ostatnia próbka w <b>burst</b>	B
RDATA	[63:0]	OUT	Odczytane dane	B
RRESP	[1:0]	OUT?	Kod odpowiedzi	B
a_address_wr	13	OUT	Adres zapisu	B
a_data_out	16	OUT	Dane do zapisu	B
a_wr	1	OUT	Kiedy '1', oznacza zapis do pamięci	B
probka	16	IN	Dana z RAM wej, zawrócona do odczytu.	B
a_address_rd	13	OUT	Adres odczytu	B
a_data_in	21	IN	Dana do odczytu	B

### 3.2.2. MUX\_AXI\_wej

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
A_probki_FIR	13	IN	Adres wskazujący konkretną próbkę w pamięci RAM wej, pochodzący z licznika.	B
A_address_wr	13	IN	Adres wskazujący konkretną próbkę w pamięci RAM wej z AXI.	B
FSM_MUX_WEJ	1	IN	Kiedy '0' oznacza adres z AXI, kiedy '1' oznacza adres z licznika.	B
Probka_address_in	13	OUT	Adres wskazujący pod konkretną próbkę w pamięci RAM wej.	B

### 3.2.3. RAM wej

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
probka_address_in	13	IN	Oznacza adres próbki	B

a_data_out	16	IN	Oznacza dane wejściowe	B
a_wr	1	IN	Kiedy '1' oznacza zapis do pamięci	B
probka	16	OUT	Oznacza próbkę wyjściową	B

### 3.2.4. MUX\_AXI\_wyj

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
A_probki_FIR	13	IN	Adres wskazujący konkretną próbkę w pamięci RAM wej, pochodzący z licznika.	B
a_address_rd	13	IN	Adres wskazujący konkretną próbkę w pamięci RAM wej z AXI.	B
FSM_MUX_WYJ	1	IN	Kiedy '0' oznacza adres z AXI, kiedy '1' oznacza adres z licznika.	B
probka_address_out	13	OUT	Adres wskazujący pod konkretną próbkę w pamięci RAM wej.	B

### 3.2.5. RAM\_wyj

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
a_data_in	21	OUT	Oznacza dane wyjściowa(próbka) do AXI	B
probka_address_out	13	IN	Oznacza adres próbki.	B
FIR_probka_wynik	21	IN	Nowa próbka obliczona w FIR.	B
FSM_wyj_wr	1	IN	Kiedy '1' oznacza zapis do pamięci	B

## 3.3. FIR\_main



### 3.3.1. FSM

Sygnal	Szerokość	Kierunek	Opis	Domena zegarowa
START	1	IN	Kiedy '1' oznacza rozpoczęcie pracy.	B
pracuje	1	OUT	Kiedy '1' oznacza, że wykonuje obliczenia FIR.	B
DONE	1	OUT	Kiedy '1' oznacza, że FIR skończył obliczenia i można odczytać próbki wynikowe (RAM_wyj)	B
FSM_MUX_wyj	1	OUT	Steruje MUX do adresu dla RAM_wyj. Kiedy '0' oznacza adres z AXI, kiedy '1' oznacza adres z licznika.	B
FSM_MUX_wej	1	OUT	Steruje MUX do adresu dla RAM_wej. Kiedy '0' oznacza adres z AXI, kiedy '1' oznacza adres z licznika.	B
FSM_MUX_CDC	1	OUT	Steruje MUX do adresu dla RAM współczynników. Kiedy '0' oznacza adres z APB(przez CDC), kiedy '1' oznacza adres z licznika pętli.	B
FSM_zapisz_wsp	1	OUT	Kiedy '1' oznacza zapisanie do Licznika pętli wartości z ile_wsp.	B
FSM_petla_en	1	OUT	Kiedy '1' oznacza, że licznik pętli może pracować(zliczać).	B
FSM_reset_petla	1	OUT	Kiedy '1' oznacza reset wartości w liczniku pętli.	B
Petla_full	1	IN	Kiedy '1' oznacza, że licznik pętli doliczył do max wartości(ile_wsp).	B
FSM_zapisz_probki	1	OUT	Kiedy '1' oznacza zapisanie do Licznika wartości z ile_probek.	B
FSM_reset_licznik	1	OUT	Kiedy '1' oznacza reset wartości w liczniku.	B

Licznik_full	1	IN	Kiedy '1' oznacza, że licznik doliczył do max wartości(ile_probek).	B
FSM_nowa_probka	1	OUT	Kiedy '1' oznacza, że licznik może się zinkrementować.	B
FSM_nowa_shift	1	OUT	Kiedy '1' oznacza wpisanie nowej próbki.	B
FSM_reset_shift	1	OUT	Kiedy '1' oznacza reset wartosci w shift R.	B
FSM_Acc_en	1	OUT	Kiedy '1' oznacza, że Acc działa.	B
FSM_Acc_zapisz	1	OUT	Kiedy '1' oznacza przerzucenie wartości Acc na wyjście(FIR_probka_wynik).	B
FSM_reset_Acc	1	OUT	Kiedy '1' oznacza reset wartosci w Acc.	B

### 3.3.2. Licznik

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
ile_probek	14	IN	Oznacza ilość próbek.	B
FSM_zapisz_probki	1	IN	Kiedy '1' oznacza zapisanie wartości ile_probek.(jako max wartość dla licznika)	B
FSM_reset_licznik	1	IN	Kiedy '1' oznacza wyzerowanie aktualnie zliczanej wartości przez licznik.	B
licznik_full	1	OUT	Kiedy '1' oznacza, że licznik osiągnął max wartość(czyli ile_probek).	B
A_probki_FIR	13	OUT	Oznacza aktualny numer(adres) próbki.	B
FSM_nowa_probka	1	IN	Kiedy '1' oznacza, że licznik może się zinkrementować.	B

### 3.3.3. Licznik pętli

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
address_FIR	5	OUT	Adres wskazujący pod konkretny współczynnik w pamięci RAM, pochodzący z licznika petli.	B
ile_wsp	6	IN	Oznacza ilość współczynników	B
FSM_zapisz_wsp	1	IN	Kiedy '1' oznacza zapisanie do Licznika pętli wartości z ile_wsp.	B
FSM_petla_en	1	IN	Kiedy '1' oznacza, że licznik pętli może pracować(zliczać).	B
FSM_reset_petla	1	IN	Kiedy '1' oznacza reset wartości w liczniku pętli.	B
petla_full	1	OUT	Licznik pętli doszedł do końca. Przeliczono wszystkie współczynniki.	B

### 3.3.4. Shift R

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
probka	16	IN	Próbka wejściowa do zapamiętania.	B
FSM_nowa_shift	1	IN	Wpisz próbkę wejściową	B

address_FIR	5	IN	Wybranie odpowiedniej próbki do przemnożenia.	B
FSM_reset_shift	1	IN	Reset modułu. Usunięcie zapamiętanych próbek.	B
shift_out	16	OUT	Próbka do przemnożenia ze współczynnikiem	B

### 3.3.5. Acc

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
FSM_Acc_en	1	IN	Kiedy '1' oznacza, że Acc działa.	B
FSM_Acc_zapis	1	IN	Kiedy '1' oznacza przerzucenie wartości Acc na wyjście (FIR_probka_wynik).	B
FSM_reset_Acc	1	IN	Kiedy '1' oznacza reset wartości w Acc.	B
Acc_out	21	OUT	Aktualna wartość akumulatora. Do dodania z nową wartością z mnożenia.	B
suma_wynik	21	IN	Wejście do Acc. Poprzednia wartość akumulatora + wartość z mnożenia.	B
FIR_probka_wynik	21	OUT	Pojedynczy wynik działania filtra (obliczona próbka)	B

### 3.3.6. mnożenie

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
shift_out	16	IN	Wartość pierwsza do mnożenia	B
mnozenie_wynik	16	OUT	Wartość wyniku mnożenia	B

wsp_data	16	IN	Wartość druga do mnożenia	B
----------	----	----	---------------------------	---

### 3.3.7. sumowanie

Sygnał	Szerokość	Kierunek	Opis	Domena zegarowa
mnozenie_wynik	16	IN	Wartość pierwsza do dodawania	B
Acc_out	21	IN	Wartość druga do dodawania	B
suma_wynik	21	OUT	Wartość wyniku dodawania	B

## 4. Testy

Cel:

- sprawdzenie poprawności zapisywania/odczytywania danych poprzez interfejsy APB i AXI.
- Sprawdzenie poprawności wyników obliczeń dla filtru FIR.

Pliki do testów:

- APB\_main.sv
- AXI\_main.sv
- FIR\_main.sv

### 4.1. Test magistrali APB

- Zapisywanie współczynnika
- Odczyt współczynnika
- Zapisywanie/odczyt rejestrów kontrolnych ( zapis: p\_start, p\_ile\_wsp, p\_ile\_próbek; odczyt: p\_pracuje, p\_done)

### 4.2. Test magistrali AXI

- Wysyłanie pojedynczej danej wejściowej pod ustalony adres
- Wysyłanie pojedynczej danej wejściowej pod losowy adres
- Wysyłanie danych wejściowych transakcją "burst"
- Odczytywanie wyników z pamięci wyjściowej

### 4.3. Test filtra FIR

- **Test działania filtra ze współczynnikiem równym 1**
  - **Współczynniki:**  $h=[1,0,0,0,...,0]$
  - **Oczekiwane działanie:** Wyjście filtra powinno być identyczne z wejściem, z opóźnieniem o 0 próbek
- **Test filtra uśredniającego (moving average)**
  - **Współczynniki:** suma współczynników równa 1
  - **Oczekiwane działanie:** Dla sygnału stałego początkowo ( $n < 32$ ): wynik rośnie stopniowo od  $1/32$  do 1 po 32 próbkach: wynik ustala się na 1.

## 5. Struktura projektu

Doc – na dokumenty

Src - źródła sv

Src/Tb – tutaj proste tb do weryf.

CocoTB – Testy z użyciem cocoTB.

Model FIR – ten model w pythonie.

APB\_main.sv - APB, CDC, Dekoder, Rejestry sterujace, RAM .sv + mux'y

AXI\_main.sv = AXi, RAM .sv + mux'y

FIR\_main.sv - FSM, Licznik, Shift R, Acc, mnożarka, summator, Licznik petli .sv