

## **Tema 5**

# **Tecnologia de les Memòries semiconductores**

# Continguts (I)

## 1. Organització bàsica de les memòries semiconductores.

1.1. Capacitat d'emmagatzematge. Grandàries de la informació.

1.2. Connexió UCP-Memòria.

1.3. Estructura bàsica de les memòries semiconductores

## 2. Tipus de memòries semiconductores.

2.1. No volàtils:

2.1.1. ROM, PROM, EEPROM, FLASH . Cel·les elementals. Exemples

2.2. Volàtils d'accés aleatori (RAM):

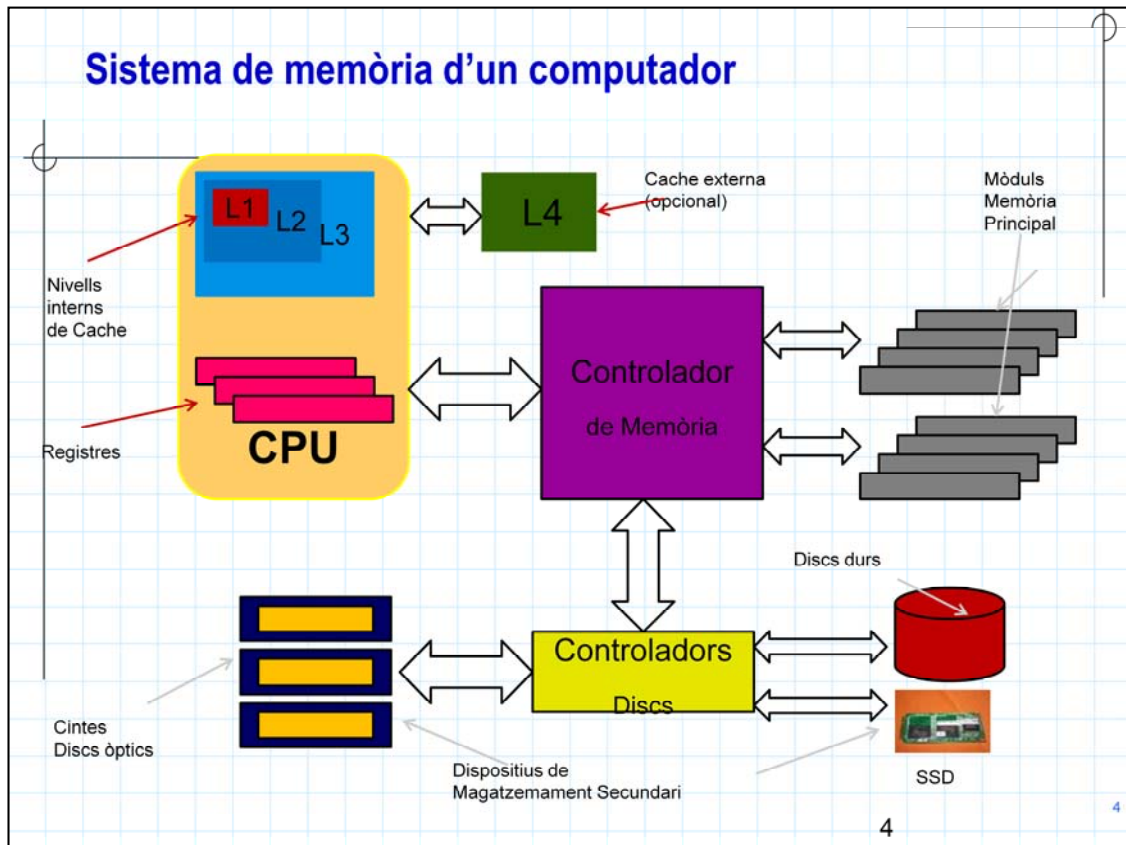
2.2.1. RAM estàtica (SRAM). Cel·les elementals. Estructura. Exemples.  
Cronogrames bàsics de lectura i escriptura.

2.2.2. RAM dinàmica (DRAM). Cel·la elemental. Concepte de refresc.

## Bibliografía del tema

- Bibliografía

- \* Floyd, T.L. Fundamentos de sistemas digitales. Ed. Prentice Hall. 1997. Caps. 12 y 14.
- \* "Diseño Digital". Wakerly. Ed. Prentice-Hall. 2006.
- \* Prince, B. Semiconductor memories. A handbook of design manufacture and application. Ed. Wiley. 1991
- \* Electrónica digital, principios y aplicaciones (Roger Tokheim). 2010. Cap. 11: Memorias.
- \* Jan M. Rabaey. Circuitos Integrados Digitales. Pearson Prentice Hall. 2004.
- \* "International Technology Roadmap for Semiconductors – ITRS"
- \* "International Roadmap for Devices and Systems – IRDS"



Nos centraremos en las memorias semiconductoras, y más concretamente en:

-SRAM, usadas en la Cache, con una estructura de celda basada en la de los latches

-DRAM, usadas en los módulos de memoria principal

-No volátiles, sobre todo FLASH, usada en discos SSD, ROM BIOS, pendrives, etc.

Aparte de su uso en dispositivos con baterías, como teléfonos móviles, cámaras digitales, reproductores de audio, etc.

En segundo curso (asignatura ETC), se profundizará en la memoria DRAM y en los discos magnéticos.

# 1. Organització Bàsica.

## 1.1. Capacitat d'emmagatzematge

- Quantitat d'informació emmagatzemada: bits o bytes
  - \* Nomenclatura: B = 1 byte, b = 1 bit
- Com s'expressa la capacitat?
  - \* Capacitat total: en bytes o múltiples de byte
- Prefixos
  - \* Segons el context, són de tipus  $2^n$  o del tipus  $10^n$ 
    - Exemple: la capacitat de la memòria principal sempre s'expressa en unitats del tipus  $2^n$

Prefixe	Valor ( $2^n$ )	Valor ( $10^n$ )
Kilo (K)	$2^{10}$	$10^3$
Mega (M)	$2^{20}$	$10^6$
Giga (G)	$2^{30}$	$10^9$
Tera (T)	$2^{40}$	$10^{12}$
Peta (P)	$2^{50}$	$10^{15}$

5

1Byte (B) = 8 bits (b)

La CAPACIDAD de la memoria se expresa en potencias de 2, al contrario de otras magnitudes de la memoria, que se expresan en potencias de 10 (frecuencia, ancho de banda, ...)

## 1.1. Exemples de capacitat d'emmagatzemament

- Capacitat total expressada en bytes
  - \*  $1024 \text{ bytes} = 2^{10} \text{ bytes} = 1 \text{ KB}$
- La memòria té 128K posicions de 16 bits cadascuna
  - \*  $128\text{K} \times 16 \text{ bits} = 128\text{K} \times 2^4 \text{ bits} = 128\text{K} \times 2^1 \text{ bytes} = 256 \text{ KB}$
- La memòria té 8 MB en paraules de 32 bits
  - \*  $8 \text{ MB} = 2^3 \times 2^{20} \times 2^3 \text{ bits} = 2^1 \times 2^{20} \times 2^5 \text{ bits} = 2\text{M} \times 32 \text{ bits}$
- Altres exemples
  - \*  $64 \text{ Kbits} = 64\text{K} \times 1 \text{ bits} = 2^{16} \text{ bits} = 2^{13} \times 2^3 \text{ bits} = 2^{13} \text{ bytes}$
  - \*  $256 \text{ Mbits} = 2^8 \times 2^{20} \text{ bits} = 2^5 \times 2^{20} \times 2^3 \text{ bits} = 32 \text{ MB}$

6

Capacidad = Número de palabras x Tamaño de la palabra

Se puede dar en múltiplos de bit (b) o de Byte (B)

## 1.1. Grandàries de la informació

- Paraula

- \* Unitat màxima de transferència en un accés
- \* La longitud en bytes sol ser una potència entera de 2 (1, 2, 4, 8, 16, ...)
- \* Exemple
  - Transferències entre memòria principal i processador sense memòria cache

- Bloc

- \* Conjunt de paraules accedides en una mateixa petició
- \* Exemples
  - Transferències entre discos i memòria principal
  - Transferències entre memòria cache i memòria principal

7

Tamaños típicos de palabra: 1B, 2B, 4B, 8B

En los procesadores actuales el tamaño más usado es 8B = 64 bits

Los bloques son conjuntos de palabras consecutivas, que se acceden en una misma petición de lectura o escritura

Ejemplo: entre la memoria principal y la cache se intercambia información por bloques de 4 o 8 palabras. consecutivas

La CPU accede a la cache por palabras individuales, no por bloques.

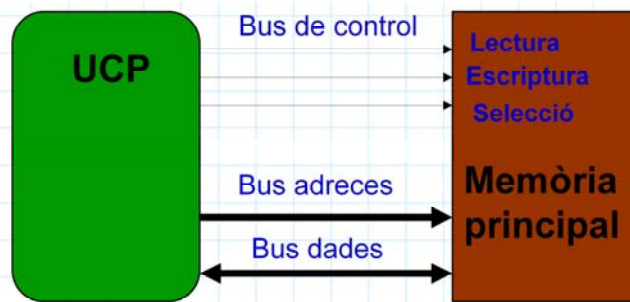
El tema de la cache se verá en la asignatura ETC de segundo.



## 1.2. Connexió UCP-Memòria

- Línies del bus

- \* **Control:** La UCP selecciona la memòria i determina l'operació (lectura o escriptura)
- \* **Adreces:** La UCP determina la direcció
- \* **Dades:** Segons l'operació, les dades van:
  - En el cas de la lectura: de la memòria a la UCP
  - En el cas de l'escriptura: de la UCP a la memòria



8

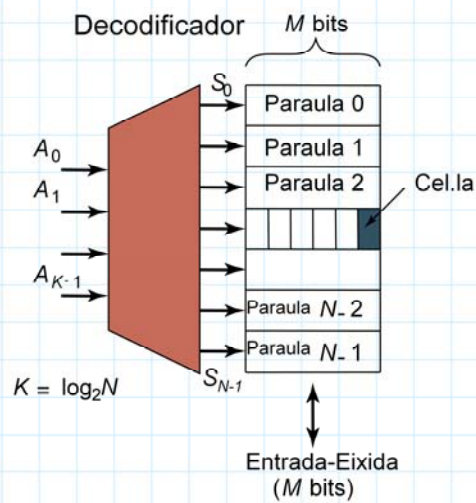
UCP: Unidad Central de Proceso (CPU), es el microprocesador

Observe que las señales de control y dirección son unidireccionales

Las señales del bus de datos son bidireccionales (lectura o escritura)



### 1.3. Estructura bàsica de les memòries semiconductores



El decodificador redueix el nombre de senyals de selecció  
 $K = \log_2 N$

9

Estructura 2D, array de  $N$  paraules

Selecció de les paraules per files, mitjançant un decodificador.

Depenent del valor del codi de direccions ( $A_0: A_{K-1}$ ), el decodificador selecciona una de les  $N$  paraules.

Cada paraula conté  $M$  bits, que són llegits o escrits simultàniament.

O sea, se llegeix o s'escriu al mateix temps les  $M$  cel·les d'una paraula.

## 2. Tipus de memòries semiconductores

Memòria de lectura/escritura		Memòria de Lectura/escript. No volàtil	Memòria de sols Lectura No volàtil
<b>Accés aleatori</b>	<b>Accés no aleatori</b>	EPROM E <sup>2</sup> PROM FLASH	Programada per màscara ROM ROM Programable (PROM)
SRAM	FIFO		
DRAM	LIFO		
	Shift Register		
	CAM		

10

La transparencia muestra una clasificación de las memorias semiconductoras, dependiendo de si son de lectura y/o escritura, o si son volátiles/no volátiles

FIFO: First In First Out (Queue)

LIFO: Last In First Out (Stack)

CAM: Content-Addressable Memory, o memoria de contenido direccionable

## 2.1. Memòries no volàtils: ROM/PROM/EPROM/FLASH

Memòria de lectura/escriptura		No Volàtils	
Accés aleatori	Accés no aleatori	Memòria de Lectura/escript. No volàtil	Memòria de sols Lectura No volàtil
SRAM	FIFO	EPROM	Programada per màscara ROM
DRAM	LIFO	E <sup>2</sup> PROM	ROM Programable (PROM)
	Shift Register	FLASH	
	CAM		

Comenzaremos por las No Volátiles. Mantienen los datos aunque se desconecte la alimentación.

Unas son de Sólo-lectura: ROM (Read-Only Memories) y PROM (ROM programables)

Otras son de lectura-escritura: EPROM, EEPROM, FLASH

### 2.1.1. Memòries de sols lectura (ROM)

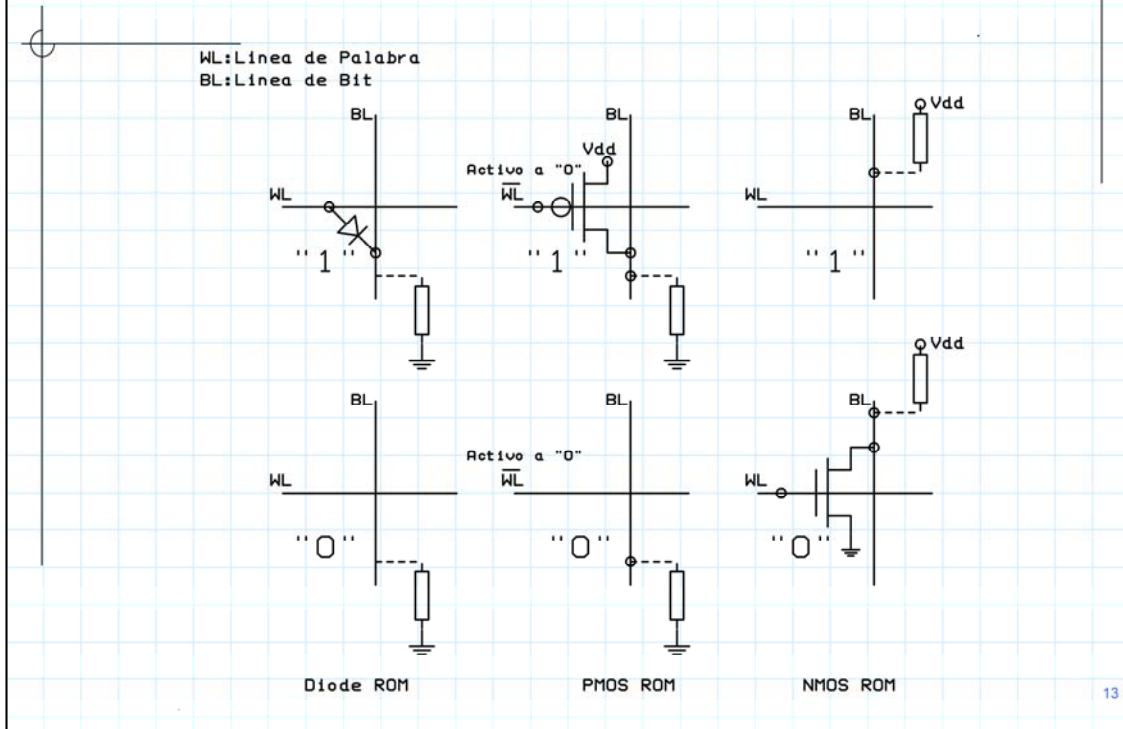
- Les ROM programades per màscara utilitzen un transistor per bit
  - \* Es programen durant la fabricació
  - \* La presència o absència del transistor determina el '1' o '0'
- Són d'accés aleatori
- Són no volàtils
  - \* Retenen els seus continguts quan s'elimina l'alimentació

12

Las memorias de solo lectura almacenan la información como parte de la topología del circuito, por ejemplo añadiendo o eliminando transistores. Puesto que esta topología está prefijada en hardware en tiempo de fabricación (*mask-programmed*), los datos no pueden modificarse, sino que solo pueden ser leídos.

Además la desconexión de la tensión de alimentación no provoca la pérdida de los datos almacenados.

## 2.1.1. Cel.les ROM



En la figura se representan diferentes tipos de celdas de memoria ROM, dependiendo del componente que se coloque en la unión fila/columna.

La información de la celda dependerá de la existencia o no del elemento en la unión.

En la fila de arriba, la información almacenada en las celdas es un "1". Al seleccionar la fila con WL, en la línea de bit BL se leerá una tensión alta ("1").

En la fila de abajo, la información almacenada en las celdas es un "0". Al seleccionar la fila con WL, en la columna BL se obtendrá una tensión baja ("0").

La celda más simple es la basada en un diodo situado en la intersección entre la línea de palabra (WL) y la línea de bit (BL).

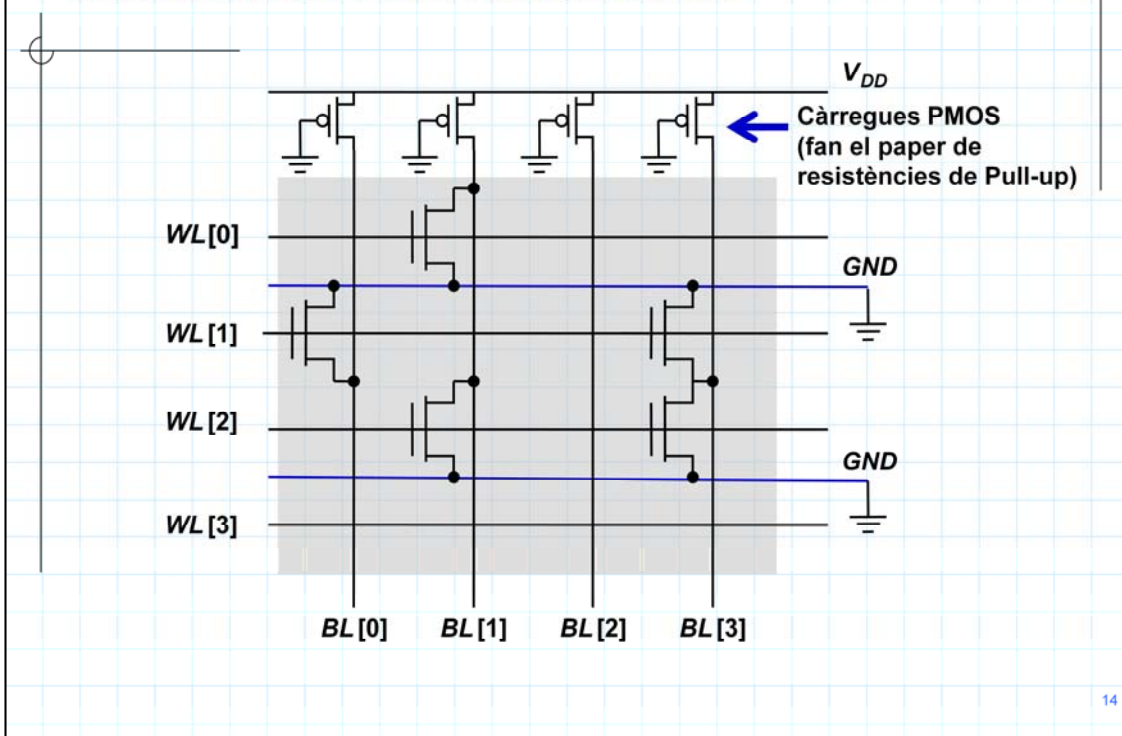
Suponiendo que BL se conecta con la masa a través de una resistencia, la ausencia del diodo pone un nivel bajo en BL, independientemente del valor de WL. Es un 0 almacenado. Por el contrario, la presencia del diodo hace que, cuando  $WL=1$  ( $V_{WL}$  es un nivel alto de tensión), el diodo conduzca y en la línea de bit aparezca un nivel alto igual a  $V_{WL} - V_{D(on)}$ , es decir, un "1" lógico. Si  $WL=0$  el diodo no conduce y no afecta a BL.

La alternativa es usar transistores MOSFET en vez de diodos. La operación es idéntica a la de la celda basada en diodo, pero ahora el transistor proporciona mayor corriente de salida para cargar la línea de bit. De este modo se aísla la línea de bit de la línea de palabra y se pueden diseñar ROM de mayor capacidad.

El precio a pagar es que la celda es más compleja y ocupa mayor espacio, debido al contacto adicional con  $V_{DD}$  o GND.

La figura muestra 2 posibilidades (PMOS ROM o NMOS ROM), dependiendo de si se usan transistores PMOS o NMOS como elementos de conexión. (En el caso de PMOS ROM, la línea de palabra se activaría con nivel bajo.)

### 2.1.1. ROM NMOS amb estructura NOR



La figura muestra una estructura NOR, usando en las celdas transistores MOS conectados a masa (NMOS ROM en la transparencia anterior).

Cuando WL = “1”, los transistores de la palabra conducen y sus correspondientes líneas de bit se conectan a GND (“0”). En caso de que en la celda no exista el transistor, la línea de bit permanece a “1” por defecto, gracias a las cargas PMOS conectadas a VDD. Estas funcionan como resistencias “activas”, que tienen un valor mayor que la  $R_{on}$  de los transistores NMOS, para garantizar un nivel bajo adecuado (ya que forman un divisor resistivo). En condiciones normales de operación, sólo una de las líneas de palabra estará a “1”.

Cuando WL = “0”, todos los transistores de la palabra están cortados y no influyen en las líneas de bit.

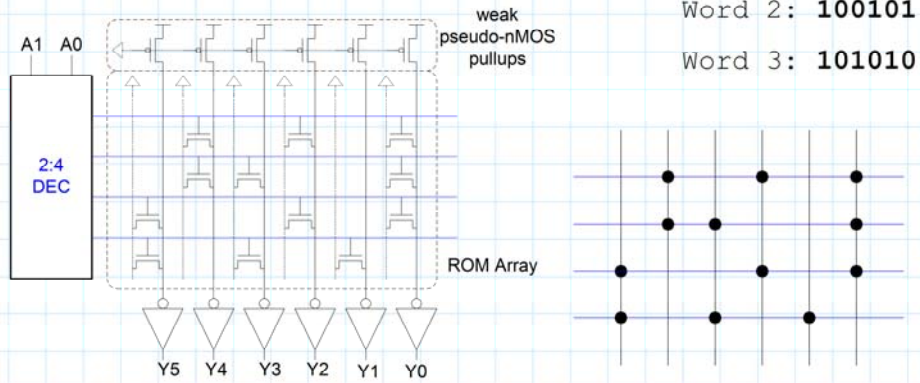
La estructura NOR se refiere al conjunto de transistores conectados en paralelo a una misma línea de bit, junto con la carga pull-up. Funciona como una puerta NOR NMOS con las líneas de palabra como entradas.

Obsérvese que las conexiones de GND se comparten entre celdas vecinas, reflejando las celdas de las palabras impares respecto al eje horizontal. Así se reduce el cableado ligado a las conexiones metálicas con GND.

### 2.1.1. ROM-Exemple

- 4-word x 6-bit ROM

- \* Representació amb diagrama de punts
- \* Els punts indiquen "1's" en ROM



15

Un ejemplo de ROM NOR, formada por 4 palabras de 6 bits cada una. Las palabras están numeradas desde la fila de arriba (word 0) a la de abajo (word 3).

El diagrama de puntos indica dónde se sitúan los transistores en cada intersección.

La salida se invierte mediante los inversores Y5-Y0

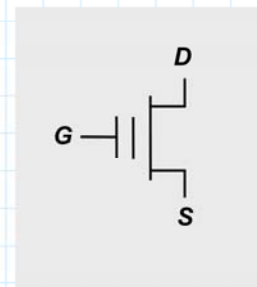
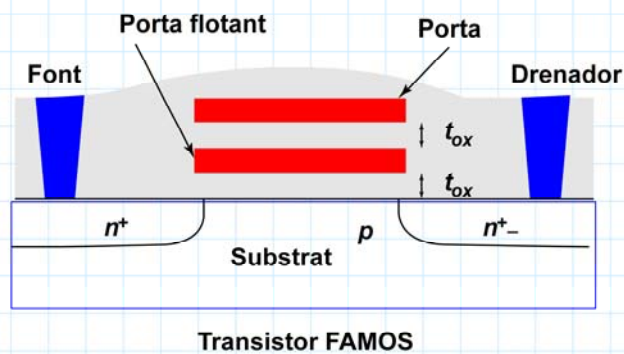
Obsérvese la No-volatilidad de la ROM: si se desconectara la alimentación, el contenido de la memoria no se perdería. El contenido viene dado por la presencia ("1") o ausencia ("0") de los transistores de intersección. Y esto está fijado desde el momento de la fabricación, y no depende de la alimentación.



## 2.1.1. Memòries no volàtils reprogramables

### • Electrically Programmable ROMs

- \* Utilitzen una porta flotant per a tallar els transistors no desitjats
- \* EPROM, EEPROM, Flash



Símbol

16

Recordemos que las PROM (y derivados como las PLA y PAL) solo se pueden programar 1 vez.

Para poder REPROGRAMAR varias veces, sin perder la no-volatilidad, surgen nuevas tecnologías:

EPROM, EEPROM, FLASH. Son memorias no volátiles de lectura-escritura (NVRWM), pues además de leerse pueden programarse (escribirse) tras un borrado previo. La programación de la memoria es normalmente más lenta que la operación de lectura.

La celda es una variante del transistor MOS: un transistor MOS de puerta flotante (**transistor FAMOS** (Floating-gate Avalanche-injection MOS)).

Además de la puerta de control (gate) habitual, tiene otra puerta rodeada de aislante.

Almacenando electrones en la puerta flotante se impide la formación del canal y el transistor está en corte independientemente de la tensión de la puerta normal.

Eliminando los electrones de la puerta flotante, el transistor funciona normalmente.

La celda se puede reprogramar efectuando un borrado seguido de una escritura.

La memoria es No volátil porque la carga se almacena en la puerta flotante, rodeada de aislante. Aunque se elimine la alimentación, la carga no se pierde.

Dependiendo de la forma en que se efectúa el borrado (eliminación de la carga de la puerta flotante), hay diferentes tipos de memorias.

La EPROM (Erasable PROM) se borra haciendo incidir luz ultravioleta sobre las celdas de memoria a través de una ventana de cuarzo transparente integrada en el encapsulado. Se generan pares electrón-hueco que descargan la puerta flotante. El proceso es lento, pudiendo tardar entre unos segundos y varios minutos, dependiendo de la intensidad de la fuente UV. El borrado es global. La programación requiere una tensión elevada (12V aprox.) para atraer los electrones a la puerta flotante. La programación es selectiva, por palabras. Tanto el borrado como la programación se realizan fuera del funcionamiento normal, mediante un dispositivo programador especial.

Una vez se ha programado la EPROM, se utiliza como memoria de sólo lectura en el funcionamiento normal, hasta el siguiente borrado-reprogramación.

Las memorias EPROM fueron bastante usadas en aplicaciones que no requerían una reprogramación regular. Posteriormente se substituyeron por las EEPROM y las Flash, que permiten programar eléctricamente durante el funcionamiento normal, sin necesidad de un dispositivo externo.

### 2.1.1. Memòries Flash

- Memòries **no volàtils** de lectura/escriptura, semiconductores
- Aplicacions
  - \* *Pendrives*
  - \* Targetes de memòria en càmares digitals
  - \* Reproductors portàtils d'audio (MP3)
  - \* Telèfons mòbils
  - \* Discs durs d'estat sòlid
  - \* ...
- Característiques
  - \* Petites, barates, baix consum i flexibles
  - \* Basades en les EEPROM, però permeten l'esborrat bloc a bloc
  - \* Nombre limitat d'escriptures i esborrats
  - \* Tipus: NAND Flash, NOR Flash

17

Toshiba inventó la memòria Flash en 1980, com a una nova tecnologia de memòria no volàtil semiconductora

Des de llavors, s'ha convertit en una tecnologia d'emmagatzematge molt usada en diversos dispositius de consum i industrials.

Són successores de les EEPROM

Consueixen més densitat d'integració (bits/chip)

Permeten el borrado por bloques (més ràpid, d'aquí el nom de Flash)

Sin embargo hay un problema de fiabilidad: la escritura y el borrado provocan la degradación progresiva del aislante de puerta, apareciendo corrientes de fuga y modificándose la tensión  $V_T$  de los transistores.

Esto limita el número de escrituras/borrados (entre 10.000 y 100.000) dependiendo de la precisión del proceso de fabricación y del voltaje necesario para su borrado.

Otras ventajas:

-Al ser memorias semiconductoras, no tienen partes móviles y en consecuencia no tienen problemas de averías en elementos mecánicos, como ocurre en los discos duros mecánicos

-Al ser no volátiles, no requieren alimentación para mantener los datos. El bajo consumo aumenta la vida de las baterías.

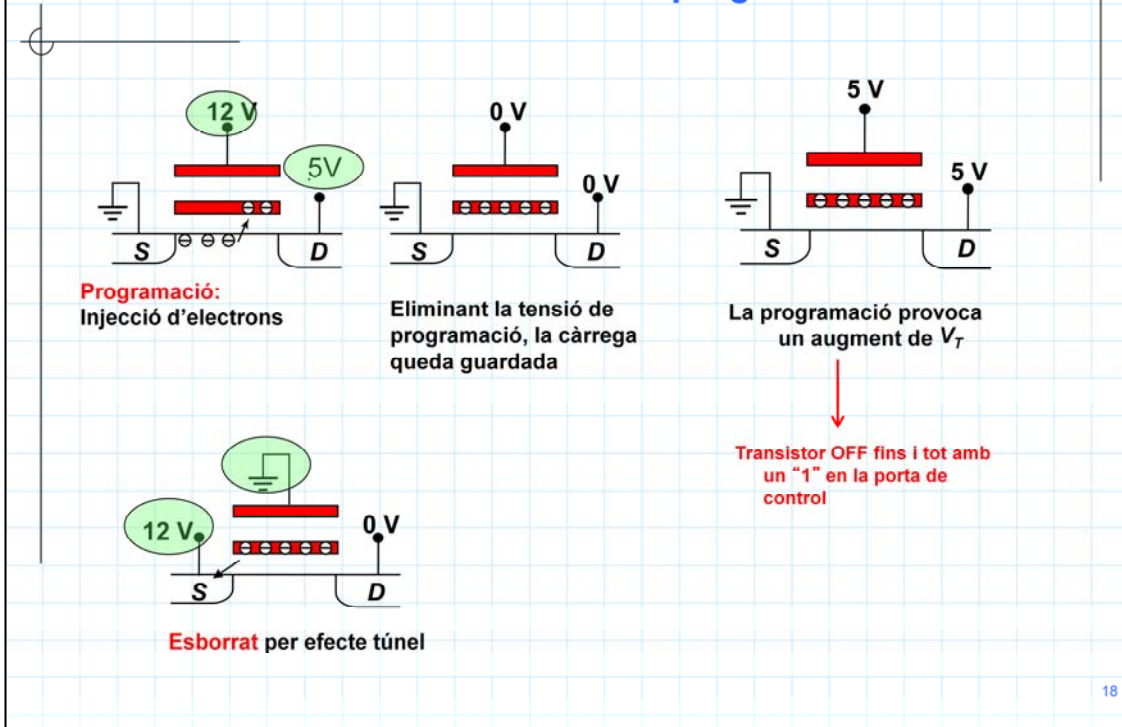
-Más rápidas (tiempo de acceso del orden de microsegundos) que los discos magnéticos (tiempo de acceso del orden de milisegundos).

Tipos:

-Nand Flash. Las celdas se disponen con una estructura Nand. Tienen mayor capacidad, y se usan para almacenar datos no volátiles. Ej: pendrive, datos en móviles, cámaras digitales, discos de estado sólido (SSD)...

-Nor Flash. Las celdas se disponen con una estructura Nor. Tienen menor capacidad, y se acceden por palabras. Ej: S.O en móviles, ROM BIOS en los computadores...

### 2.1.1. Cel·la Flash: mecanismes de programació i esborrat



Celda básica = **transistor FAMOS (Floating-gate Avalanche-injection MOS)**

Tiene una **puerta flotante**, entre la puerta de control y el sustrato

Ambas puertas rodeadas por aislante muy fino

La idea es almacenar electrones en la puerta flotante, aplicando una tensión positiva elevada (mayor de lo normal, típicamente unos 12V) en la puerta de control.

Esto, junto a la estrechez de la capa de aislante,

genera un campo eléctrico muy intenso que consigue que los electrones atraviesen

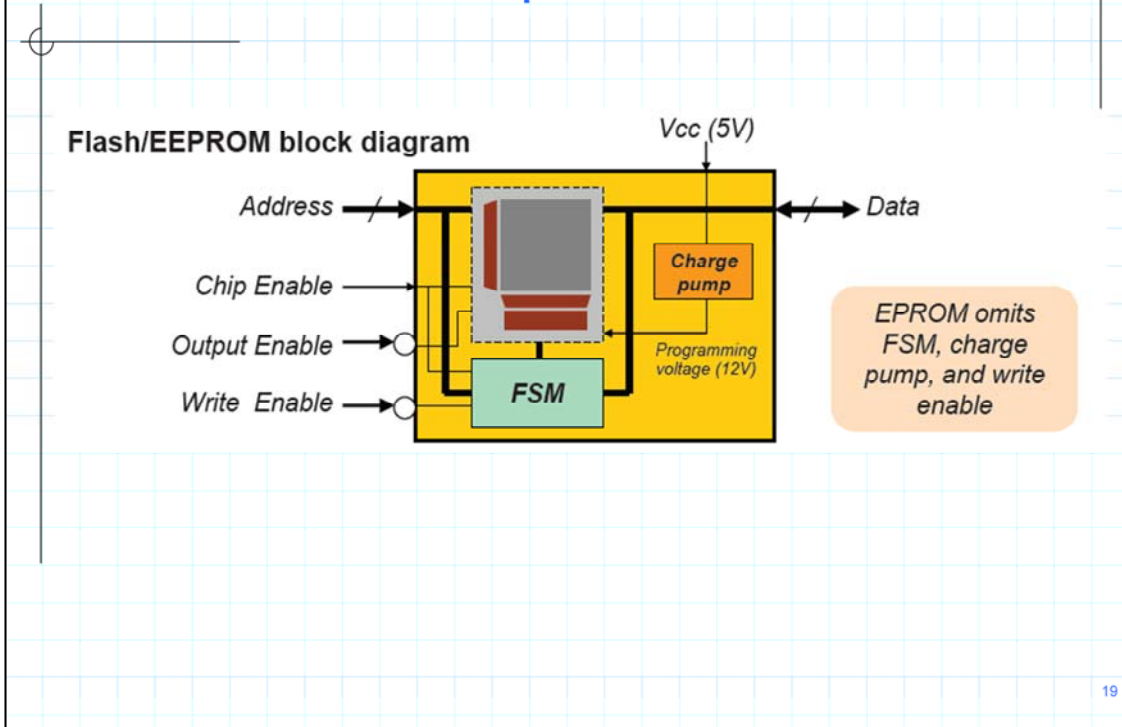
la fina capa de aislante. Al recuperar las tensiones normales, la carga almacenada no se pierde, pues la puerta flotante está rodeada de aislante. De ahí la **no-volatilidad**.

Si se quiere descargar la puerta flotante, se aplica la tensión con la polaridad inversa, lo que provoca el vaciado de la puerta flotante.

2 mecanismos físicos parecidos:

- Escritura (programación) mediante *hot-electron injection*: los e- pasan desde el sustrato a la puerta flotante.
- Borrado mediante *efecto túnel Fowler-Nordheim*: los e- abandonan la puerta flotante hacia la zona de fuente del transistor.

### 2.1.1. Estructura interna xips memòria Flash



- La lectura de flash (E)EPROM o Flash es igual que la de SRAM
- Vpp: entrada para el voltaje de programación (12V)
- EPROM: Vpp es proporcionada por una máquina externa de programación
- Los chips flash/EEPROM generan 12V mediante un circuito especial interno (charge pump-bomba de carga), encargado de generar tensiones superiores a la tensión de alimentación, sin consumir mucha corriente.
- EPROM no tiene write enable: se borra y se programa entera en programador externo.
- En la flash y EEPROM, la secuencia de escritura es controlada por un FSM (Finite State Machine-Autómata de Estados Finitos) interno
- En las escrituras se envían señales al FSM
- Aunque se usan las mismas señales, el cronograma de escritura en flash/EEPROM es diferente a SRAM. En flash/EEPROM, un ciclo de programación (escritura) incluye un ciclo de borrado previo, que puede incorporar a su vez varios pasos de monitorización para comprobar que todas las celdas del bloque han sido borradas. Esto es necesario porque los diferentes  $V_T$  iniciales de las celdas, así como las variaciones en el espesor del óxido, pueden provocar diferencias en el  $V_T$  de las celdas al final del borrado.

## 2.2. Memòries volàtils d'accés aleatori: RAM

Memòria de lectura/escriptura		Memòria de Lectura/escript. No volàtil	Memòria de sols Lectura No volàtil
Accés aleatori	Accés no aleatori	EPROM E <sup>2</sup> PROM	Programada per màscara ROM
SRAM	FIFO	FLASH	ROM Programable (PROM)
DRAM	LIFO		
	Shift Register		
	CAM		
Volàtils RAM			

20

Estudiaremos ahora las memorias volátiles de acceso aleatorio.

Tradicionalmente se llaman memorias RAM (Random Acces Memory)

Pierden los datos si se desconectar la alimentación.

## 2.2. Característiques de les memòries RAM

### Memòria RAM: (*Random Access Memory*)

- Memòries volàtils
- Operacions de lectura i escriptura
- Accés aleatori

Depenent de la cel·la bàsica

{ RAM estàtiques (**SRAM**)  
RAM dinàmiques (**DRAM**)

21

Son de lectura/escriptura

Se clasifcan en SRAM o DRAM



## 2.2. Classificació: Memòries SRAM i DRAM

- Estàtiques (Static RAM = SRAM)
  - \* Basades en biestables
  - \* Dades emmagatzemades mentre hi ha alimentació
  - \* Tamany de cel·la gran (6 transistors/cel·la)
  - \* Ràpides (mem. cache)
- Dinàmiques (Dynamic RAM = DRAM)
  - \* Basades en la carrega/descarrega de capacitat estructural
  - \* Requereixen un refresc periòdic
  - \* Tamany de cel·la menut (1 transistor + 1 condensador)
    - Més bits/xip
  - \* Més lentes (memòria principal)

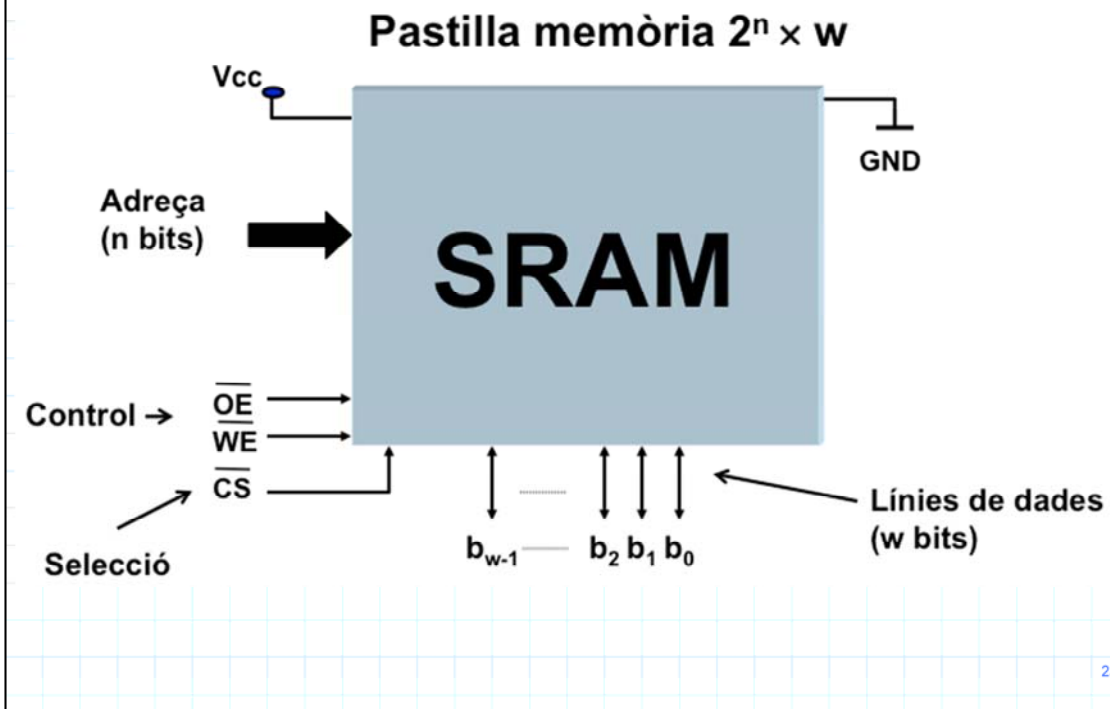
22

SRAM se usen en la Cache, que suele estar integrada en la CPU. Son más rápidas, pero tienen menor capacidad (del orden de MB). La celda es un biestable (latch).

DRAM se usa en la Memoria Principal, externa a la CPU. Son más lentas, pero tienen mayor capacidad (del orden de GB). La celda es un condensador integrado y un transistor de paso. Necesita refresco periódico (del orden de ms), pues en caso contrario el dato se pierde por la descarga del condensador debido a corrientes de fuga. Por ello se llaman dinámicas.



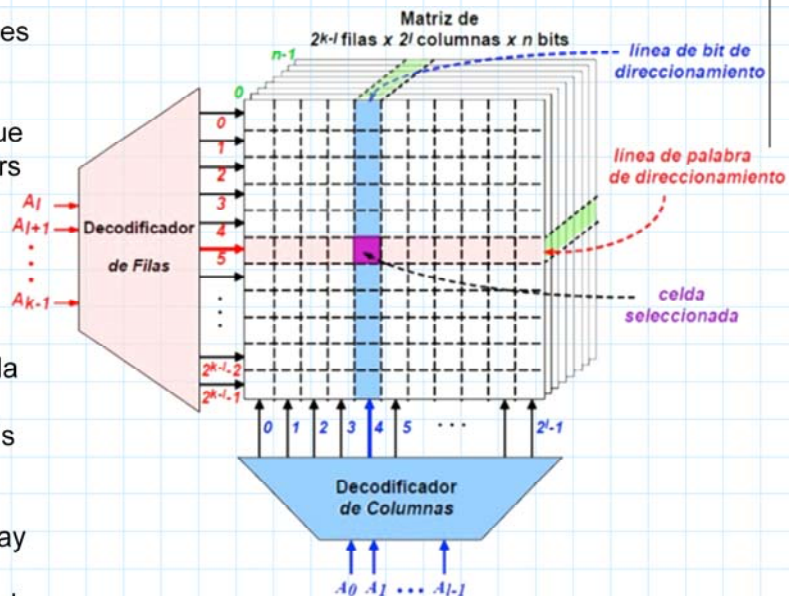
### 2.2.1. RAM estàtica. Línies externes de una SRAM



Empezamos por la SRAM. Patillas típicas de un chip SRAM.

## 2.2.1. RAM estàtica. Estructura en ARRAY

- Les línies de direcció es divideixen, aproximadament en dues meitats, per a que els dos decodificadors de filera i columna siguin similars en complexitat.
- Cada direcció selecciona una paraula completa, que es distribueix en  $n$  plànols semblants.
- La memòria es un array de  $2^{k-1}$  fileres x  $2^l$  columnes x  $n$  bits (cada bit està en un plànol diferent)



(Imatge amb llicència de creative commons. Obtinguda de: <http://es.slideshare.net/manuelbarcell/tema08-37160685> )

24

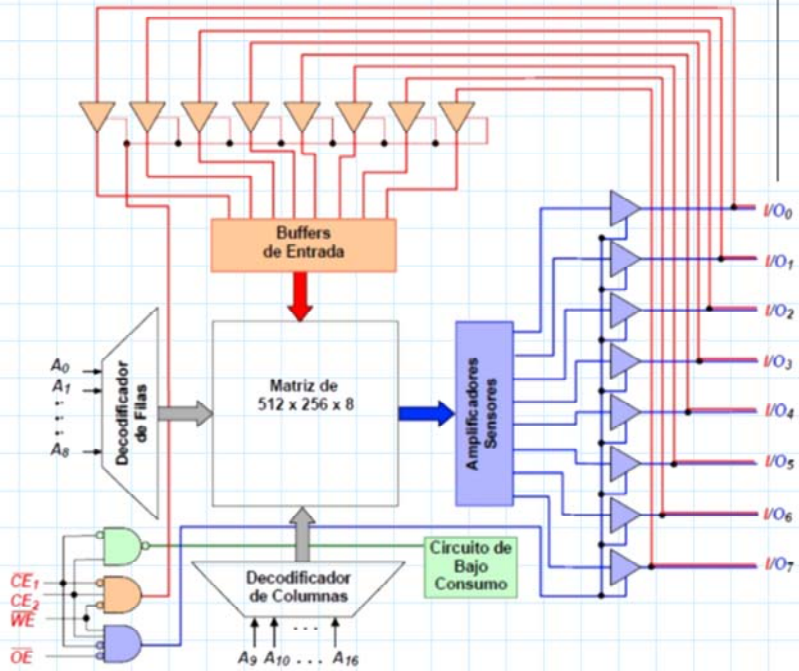
Selección de la palabra por filas y columnas. ( $K-1$  líneas para las filas,  $l$  líneas para las columnas)

Permite disminuir el tamaño de los decodificadores, cuando el número de palabras es muy grande.

El decodificador de filas activa una de sus salidas. Lo mismo hace el decodificador de columnas. Se selecciona aquella palabra correspondiente a la intersección de las dos salidas de los decodificadores.

## 2.2.1. RAM estàtica. Estructura en ARRAY

- L'entrada i l'eixida de cada bit utilitza amplificadors i buffers triestat.
- Les línies de control gestionen l'entrada/eixida:
  - CS: selecció de xip.
  - OE: habilitació de l'eixida (lectura).
  - WE: habilitació d'escriptura.



(Imatge amb llicència de creative commons. Obtinguda de: <http://es.slideshare.net/manuelbarcell/tema08-37160685> )

25

La gestión de la entrada o la salida de la información utiliza buffers con tri-estado que permiten habilitar la salida para lectura (OE), o la entrada, para la escritura(WE).

El ejemplo de la figura corresponde a una memoria de 128KBytes.

Se distribuye en 9 líneas para filas, 8 líneas para columnas, y 8 planos de bit.

Observe los circuitos de salida y las señales de control típicas:

-Buffers triestado de entrada/salida para conectarse al bus de datos bidireccional común, compartido por otros chips (memoria, E/S, etc.)

-Lógica de control de escritura que activa los buffers de entrada

-Lógica de control de lectura que activa los buffers de salida

-Varias señales de control típicas:

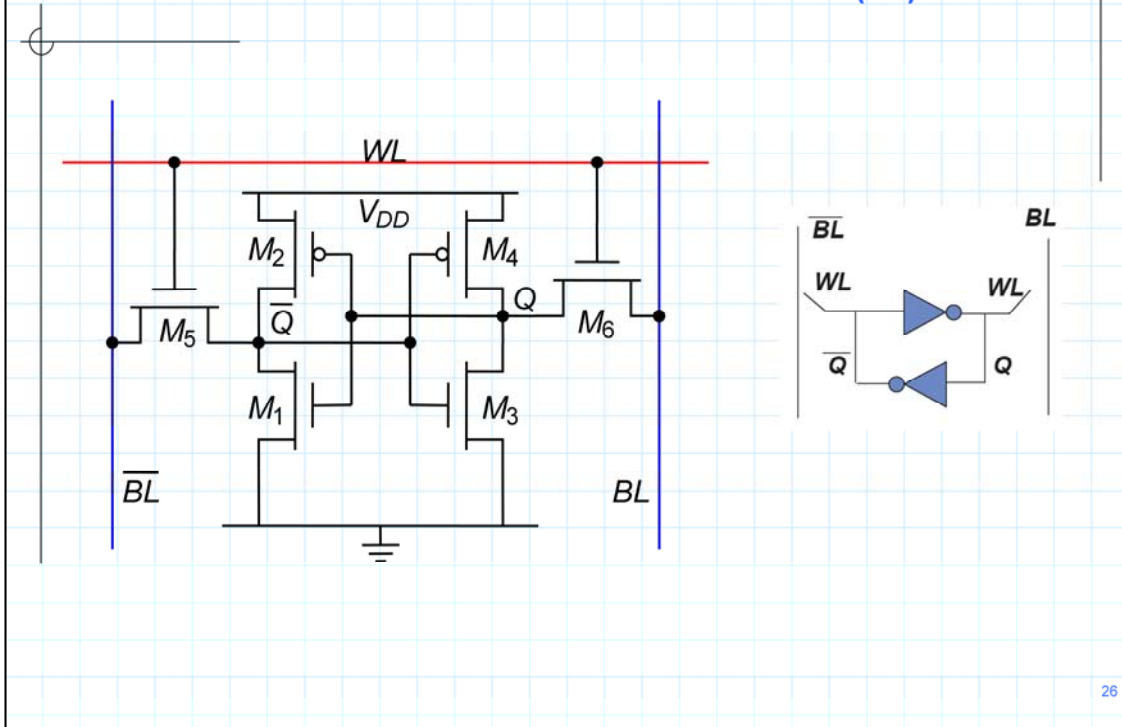
(/CE<sub>1</sub> y CE<sub>2</sub>):Chip enable: activan o desactivan los buffers.

En caso de desactivación, la salida queda en alta impedancia y el chip está desconectado del bus de datos y entra en modo de bajo consumo.

(/WE):Write enable: da paso a los datos externos para que sean escritos.

(OE): Output enable: da paso a los datos internos para que salgan al exterior

### 2.2.1. RAM estàtica. Cel·la de memòria SRAM (6T)



#### Estructura:

$M_5$  y  $M_6$  son dos puertas de transmisión NMOS para acceder (en lectura o escritura) al ***latch (flip-flop) interno***.

$M_1$ - $M_2$ ,  $M_3$ - $M_4$  son dos inversores CMOS realimentados para formar el ***latch***, que almacena el estado de la celda.

$BL$  y  $\bar{BL}$  son las **líneas de bit complementarias**, donde se sitúan los datos para escribir, o se leen los datos.

$WL$  es la **línea de selección de palabra**. Su cometido es seleccionar las celdas de una misma palabra para lectura o escritura.

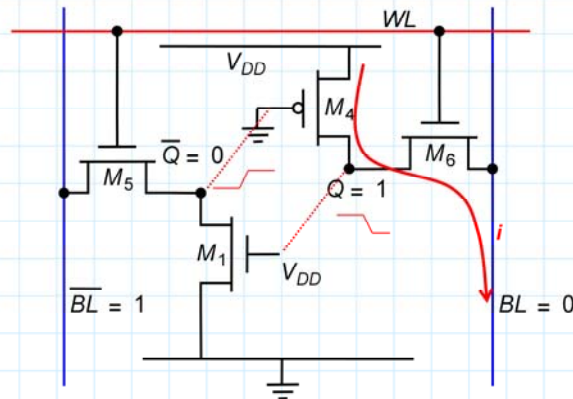
Cuando  $WL = "1"$  los transistores de paso  $M_5$  y  $M_6$  se cierran y se accede a la celda.

Cuando  $WL = "0"$ ,  $M_5$  y  $M_6$  se abren y la celda está aislada, manteniendo el estado mientras se mantenga la alimentación,

gracias a la **realimentación** entre los dos inversores.

Obsérvese que la celda es un **latch asíncrono**. No se usa un Flip-flop porque ocuparía el doble de transistores. La sincronización con una señal de reloj se puede hacer externamente a las celdas, introduciendo registros síncronos para las direcciones, datos y control. Así se consigue una mayor velocidad en el acceso por parte de la CPU. Se trata de las SSRAM (SRAM síncronas).

### 2.2.1. RAM estàtica. Cel·la de memòria SRAM (6T). Operació de Escriptura



Suposem que  $Q = "1"$ ,  $/Q = "0"$ , i volem escriure un "0"

- 1) Es situen les dades complementàries en BL y /BL
- 2) Es selecciona la cel·la:  $WL = "1"$
- 3) El biestable canvia d'estat :  
És suficient amb que Q quedi per baix de  $V_{DD}/2$   
La realimentació fa que /Q passe a "1" i Q a "0"

27

#### Escriptura:

Se sitúan los datos complementarios en BL y /BL, y se activa  $WL = "1"$ . El estado de los transistores comienza a fluctuar y la realimentación positiva del latch hace el resto.

Por ejemplo, si  $Q = "1"$  y  $/Q = "0"$ , y queremos escribir un "0", pondremos  $BL = "0"$ ,  $/BL = "1"$  y activaremos  $WL = "1"$ . Es suficiente con que Q baje de  $V_{DD}/2$  (debido a la conducción de M4 hacia BL) para que el umbral de conmutación del FF se sobrepase, /Q sobrepase  $V_{DD}/2$  y la realimentación conmute el estado.

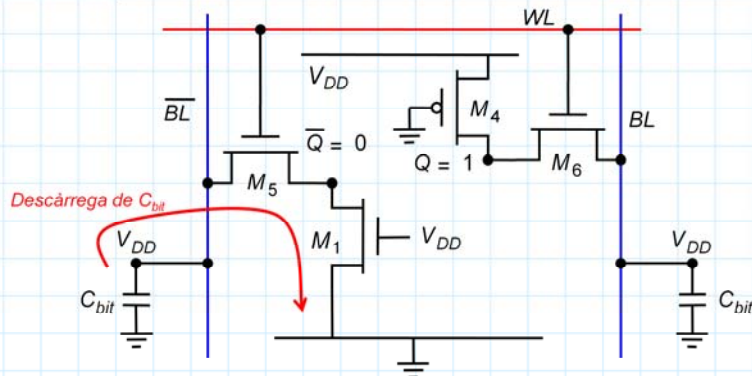
Q pasa a 0, M1 se corta y M2 conduce, con lo que /Q pasa a "1". Queda almacenado el nuevo dato.

Es importante el tamaño relativo de los transistores, que determina la resistencia relativa de los mismos. Así, debe cumplirse que:

$$R_{M6} < R_{M4} \rightarrow (W/L)_{M6} > (W/L)_{M4} \text{ para asegurar que Q pase a "0"}$$

$$R_{M5} > R_{M1} \rightarrow (W/L)_{M5} < (W/L)_{M1} \text{ para asegurar que /BL="1" no afecte al estado bajo inicial de M1}$$

## 2.2.1. RAM estàtica. Cel·la de memòria SRAM (6T). Operació de Lectura



Suposem  $Q = "1"$ ,  $/Q = "0"$

1) BL i /BL es precarreguen a  $V_{DD}$

2) Es selecciona la cel·la:  $WL = "1"$

3) /BL es descarrega per M5 y M1 i passa a "0"

BL no canvia perquè BL i Q estan a "1" i M3 està tallat

28

### Lectura:

BL y /BL se **precargan** a  $V_{DD}$  (las dos a la misma tensión!).

Se activa  $WL = "1"$ .

Si  $Q = "1"$ ,  $/Q = "0"$ :

/BL se descarga a través de M1-M5, y pasa a "0"

BL permanece sin cambios, en su valor de precarga "1", pues M3 está cortado.

Para asegurar que /Q permanece a "0" durante la descarga, y así no afectar a la pareja M3-M4, debe cumplirse que  $(W/L)_{M1} \gg (W/L)_{M5}$

Si  $Q = "0"$ ,  $/Q = "1"$ :

BL se descarga a través de M3-M6, y pasa a "0"

/BL permanece sin cambios, en su valor de precarga "1", pues M1 está cortado.

Así pues, los valores de Q y /Q son transferidos a BL y /BL

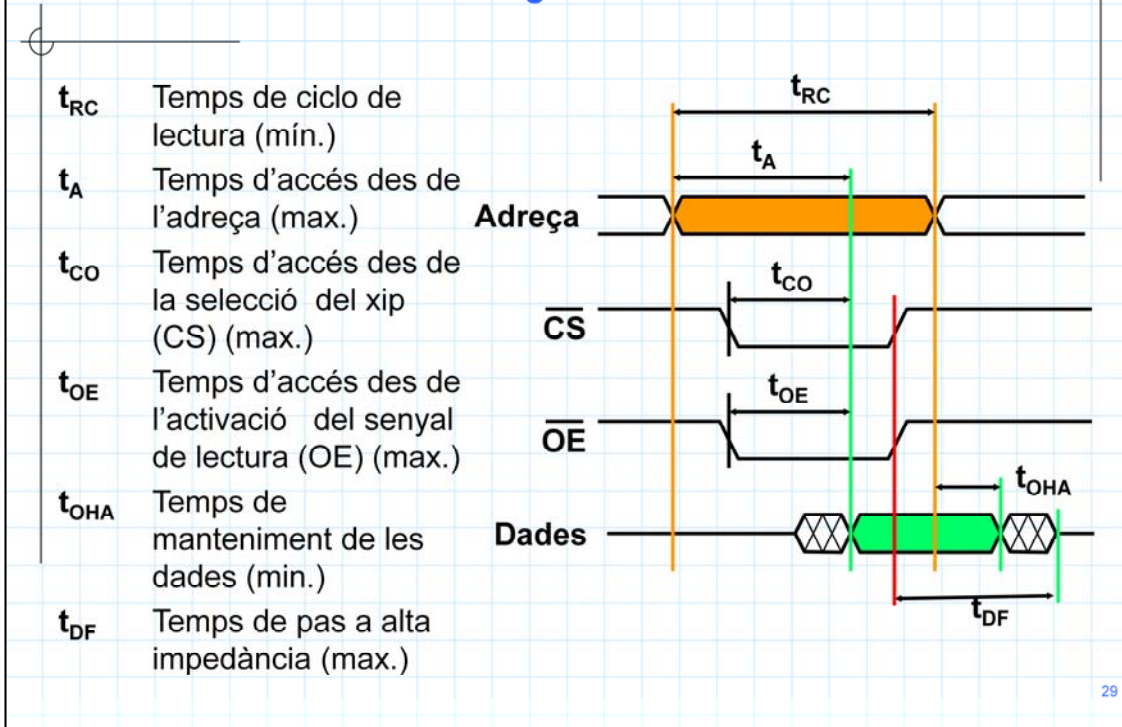
Tamaño relativo de los transistores para asegurar lecturas y escrituras correctas:

$$(W/L)_{NMOS} > (W/L)_{PASO} > (W/L)_{PMOS}$$

Ejemplo:  $(W/L)_{NMOS} = 4$ ,  $(W/L)_{PASO} = 2$ ,  $(W/L)_{PMOS} = 1$



## 2.2.1. RAM estàtica. Cronograma de lectura de una SRAM



Antes de empezar a ver cronogramas conviene explicar los tipos de líneas que aparecen en ellos.

Líneas individuales : Puede estar a nivel alto, nivel bajo, (CS o OE) o alta impedancia (Datos)

Bus : líneas paralelas que indican que contiene mas de una línea y que cada una puede estar a uno o a cero. (Dirección o Datos)

Líneas que pueden cambiar en cualquier momento (CS o Datos).

Niveles estables en buses indicados por un color opaco.

Niveles cambiando en buses (Aspas en Dirección o en datos)

Ahora ya podemos explicar el cronograma de lectura simplificado de una SRAM. Para ello conviene primero indicar que es una comunicación asíncrona entre dos elementos,

CPU y Memoria, siendo la CPU la que manda. La CPU inicia la petición de lectura dejando la dirección de dónde quiere leer en el bus de direcciones. Acto seguido la CPU activa las líneas CS y OE en cualquier orden. Cuando la línea CS sea bajada por la CPU, la memoria se dará cuenta de que se está realizando una operación sobre ella y mirará en que estado está la línea OE y WE. La línea que ese momento este a 0 indicara el tipo de operación.

Tipos de tiempos :

Tiempo de ciclo : tiempo mínimo que ha de pasar entre una operación de lectura y la siguiente.

Tiempo de acceso : tiempo máximo que tardara la memoria en proporcionar los datos a partir de :

direcciones estables:  $t_A$

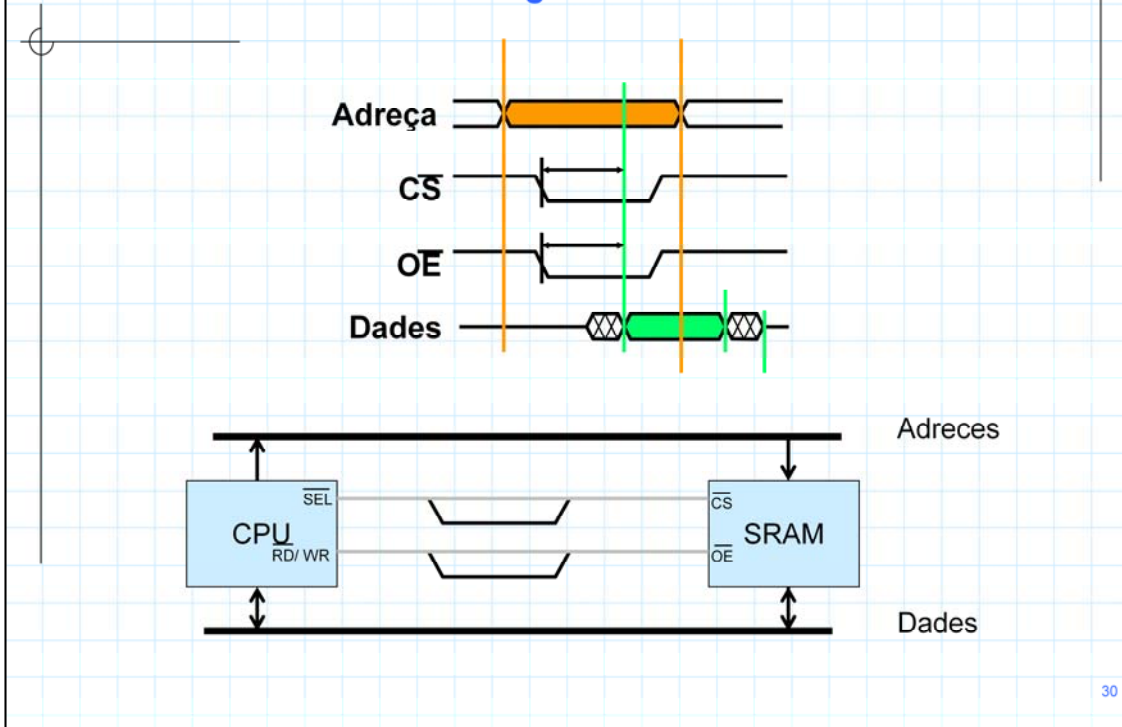
activación de CS:  $t_{CO}$

activación de lectura OE:  $t_{OE}$

Tiempo de Mantenimiento : tiempo que se mantendrán los datos estables en el bus después de que cambien las direcciones para iniciar una nueva operación



### 2.2.1. RAM estàtica. Cronograma de lectura de una SRAM



En esta figura se puede observar la relación maestro-esclavo ,  
siendo el maestro la CPU ya que  
manda de la operación y el esclavo la SRAM, ya que realiza  
la operación que la CPU le indica.

Primero, se dejan las direcciones

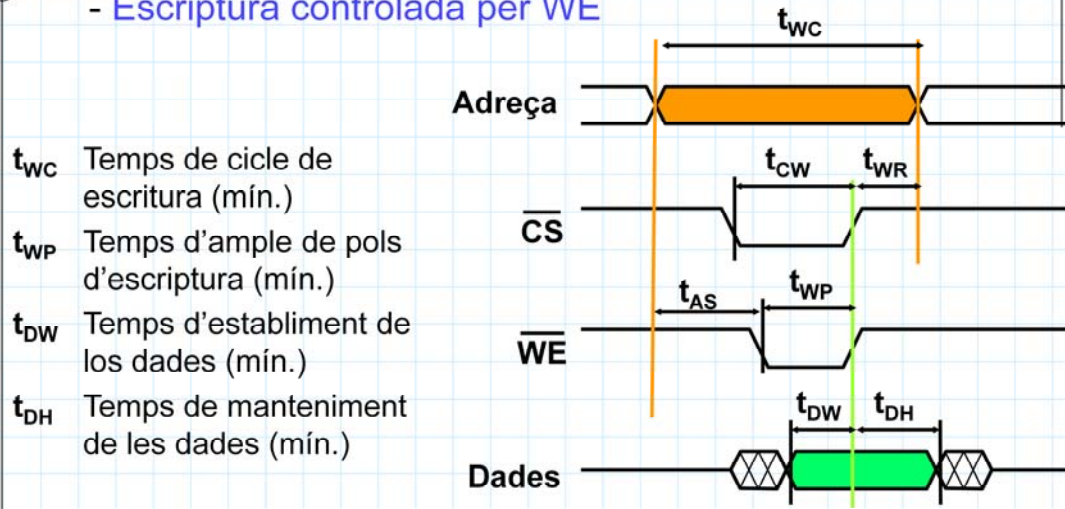
Segundo, se activa CS

Tercero, se activa el tipo de operación (lectura -> OE = 0)

Cuarto, la memoria deja los datos correspondientes a la dirección  
indicada en el bus de datos

## 2.2.1. RAM estàtica. Cronograma d'escriptura d'una SRAM

### - Escriitura controlada per WE



31

En el caso de la lectura, quien dejaba los datos en el bus de datos era la memoria, pero en esta ocasión quien deja los datos en el bus es la CPU para que la memoria los escriba en las celdas.

Puede haber dos temporizaciones diferentes :

Escriitura controlada por la línea WE o por CS. En esta ocasión veremos como ejemplo una escriptura controlada por WE.

Primero la CPU coloca las direcciones

Segundo la CPU activa CS

Tercero la CPU activa WE. A partir de este momento la memoria se prepara para la escriptura, necesitando un tiempo mínimo para almacenar correctamente el dato ( $t_{WP}$ ,  $t_{CW}$ ).

Cuarto, cuando WE vuelve a subir la memoria empieza la escriptura realmente.

Tiempo de ciclo :  $t_{WC}$  tiempo mínimo entre una operación de escriptura y la siguiente operación

Tiempo de set : tiempo que tienen que estar estables los datos en el bus antes de ...

$t_{AS}$  : direcciones estables antes de activación de CS y WE

$t_{DW}$  : datos estables antes del fin de escriptura ( subida de WE )

Tiempo de mantenimiento : mantener los datos estables en el bus después de ...

$t_{WR}$  : direcciones estables después del fin de escriptura (subida de WE) o CS

$t_{DH}$  : datos estables después del fin de escriptura (subida de WE)

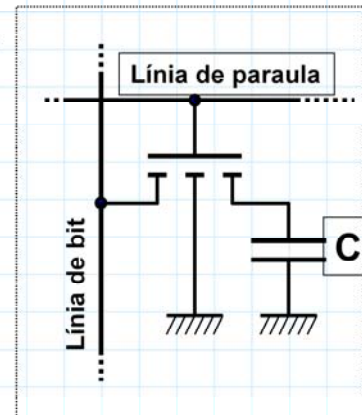
La escriptura controlada por CS es igual pero invirtiendo los pasos segundo y tercero y tomando como referencia los flancos de CS para los tiempos de mantenimiento y de set

### 2.2.2. RAM dinàmica. Cel.la bàsica DRAM 1-T

**Element bàsic: Condensador** →

**Tecnologia:**

- Requereixen refresc (ms)
- Menor velocitat
- Molt alta densitat de integració
- Barates (cost/bit emmagatzemat)
- Temps de cicle > t accés



**Capacitat chips comercials:**

**N = 1 ... 128**

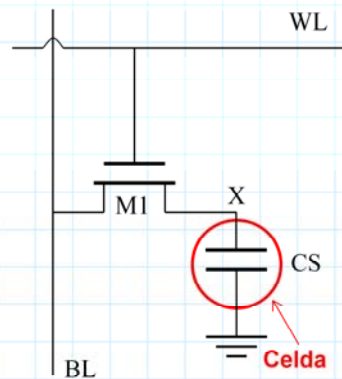
**N M x 4 bit**

**N M x 8 bit**

**N M x 16 bit**

DRAMs son de 4 a 8 veces más capaces que las SRAMs, si bien estas últimas son de 8 a 16 veces más rápidas, pero también de 8 a 16 veces más caras.

### 2.2.2. RAM dinámica. Cel·la bàsica DRAM-1T.



La informació està en l'estat de càrrega de la capacitat Cs  
Gran densitat d'integració (1T y Cs muy pequeña)  
Requereix refresc periòdic.

33

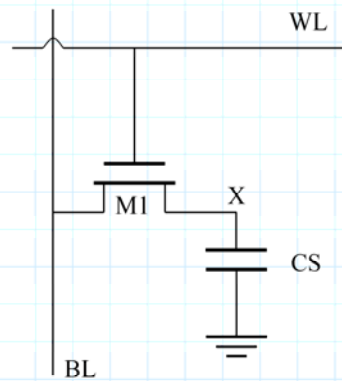
Màxima reducció de la complexitat de la celda.

El dato se almacena en una **capacidad explícitamente incluída en el diseño del transistor M1** (Cs en la transparencia). Cs del orden de fF, muy pequeña.

Necesidad de **refresco** para **evitar la pérdida de carga debido a las corrientes de fuga**. **Refresco periódico** (cada pocos milisegundos) = **lectura + escritura del contenido de las celdas**.

La denominación de **dinámica** se debe a que las celdas se basan en la **carga almacenada en una capacidad**.

## DRAM 1T- Escritura



### Esriptura:

- 1) Dada en BL
- 2) S'activa WL:

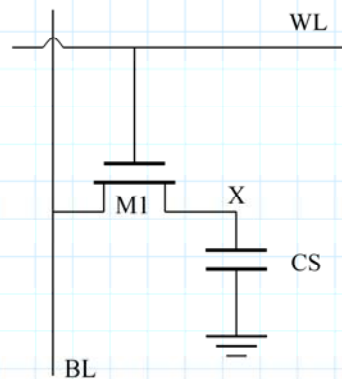
Cs es carrega o descarrega, depenent de la dada en B

34

### Escritura

El dato es situado en BL, y WL se pone a "1" ( $V_{DD}$ ), cerrando M1. Dependiendo del valor, Cs se carga o descarga.

## DRAM 1T- Lectura



### Lectura:

- 1) Precàrrega de BL
- 2) S'activa WL:

Redistribució de càrrega entre  $C_{BL}$  i  $C_s$   
 $\Delta V$  en BL, que deu amplificar-se

Lectura destructiva → es necessita re-escriptura

35

### Lectura

BL se **precarga** a  $V_{DD}/2$ . WL se pone a "1". Se produce una **redistribución de carga entre  $C_s$  y  $C_{BL}$**  (la capacidad parásita asociada a BL). Esto resulta en un **cambio de tensión en BL**, que será **positivo o negativo** dependiendo de la tensión que había en  $C_s$ . Este cambio es muy pequeño (típicamente 250mV) y es amplificado en la salida mediante una circuitería de amplificación (*sense amplifier*).

$$\Delta V = V_{BL} - V_{PRE} = (V_{BIT} - V_{PRE}) \frac{C_s}{C_s + C_{BL}}$$

$$V_{BIT} = V_X$$

$C_{BL}$  es del orden de 1pF y  $C_s$  del orden de 30fF, o sea que  $C_s \ll C_{BL}$

(1pF=10<sup>-12</sup>F, 1fF=10<sup>-15</sup>F)

La lectura en DRAM 1T es **destructiva**. El valor leído debe ser reescrito de nuevo. La lectura y el refresco están intrínsecamente entrelazados.

## Resum

En el tema 5 s'ha estudiat:

- Memòries no volàtils, centrades en ROM i Flash
- Memòries SRAM, que s'utilitzen en la memòria cache dels microprocessadors
- Cel.la bàsica DRAM. Les memòries DRAM s'utilitzen en la memòria principal dels microprocessadors.

La memòria DRAM serà estudiada en detall en l'assignatura ETC de segon curs