

分类号
U D C

TP37
UDCnumber

学校代码
密 级

10590
公开

深圳大学硕士学位论文

基于RISC-V高性能处理器的分支预测部件研究

邹江瑞

学 位 类 别 工程硕士专业学位

专 业 名 称 计算机技术

学院（系、所） 计算机与软件学院

指 导 老 师 蔡晔

深圳大学学位论文原创性声明和使用授权说明

原创性声明

本人郑重声明： 所呈交的学位论文_____是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本声明的法律结果由本人承担。

论文作者签名：

日期： 年 月 日

学位论文使用授权说明

（必须装订在印刷本首页）

本学位论文作者完全了解深圳大学关于收集、保存、使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属深圳大学。学校有权保留学位论文并向国家主管部门或其他机构送交论文的电子版和纸质版，允许论文被查阅和借阅。本人授权深圳大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（涉密学位论文在解密后适用本授权书）

论文作者签名：

日期： 年 月 日

导师签名：

日期： 年 月 日

摘 要

在现代的高性能处理器设计领域中，分支预测是一个处理器架构中必不可少的一部分，处理器为了追求更高的性能往往会往高频率，深流水线的方向设计，高频率就限制了每周期内逻辑的复杂度，而深流水线则会使分支预测错误带来的惩罚更高。关于分支预测算法的研究有很多，还有CBP (Championship Branch Prediction) 这样的分支预测赛事促进分支预测发展，TAGE预测器是目前公开设计的先进分支预测器之一，曾多次获得CBP比赛的冠军。但是分支预测研究的论文大多基于模拟器实现，而真实的硬件设计过程中会有更多的约束和细节需要考虑。本文基于香山RISC-V开源高性能处理器第一版架构的基础上，设计了第二版分支预测架构，旨在实现解耦前端的设计以达到更高的性能，同时通过减少分支预测宽度来减关键路径的延迟，达到更高的频率。另外还尝试了一些分支预测相关的优化和探索。首先我们通过添加一个FTQ (Fetch Target Queue) 来讲分支预测与取指逻辑解耦，通过FTQ来保存分支预测结果，控制分支预测恢复和更新。此外，通过改进BTB (Branch Target Buffer)，我们将取指的基本单位由第一版的32Bytes对齐的定长指令块改为了以fetch block为单位的不定长指令块，以此来限制每次取指的分支指令数量，并将所有预测器的基本单位也都修改为使用fetch block预测。通过使用Verilator进行行为级仿真，并使用checkpoint技术来运行SPEC 2006的片段来评估整体架构性能，通过性能计数器来统计（具体的性能提升数据）综上所述，本文研究了RISC-V高性能处理器的分支预测架构，以及物理实现过程中的具体问题，提出并完成了一种分支预测的具体实现。最终通过行为级仿真对齐进行了评估，实验结果表明相对于第一版架构，新的设计有xxx的提升。

关键词: RISC-V; 高性能处理器; CPU设计; 解耦前端; 分支预测

Abstract

此处是英文摘要，位于data/enabstract.tex

Key Words: keywords1; keywords2; keywords3

目 录

摘 要	I
Abstract	II
第 1 章 绪论	1
1.1 研究背景及意义	1
1.2 国内外研究现状	2
1.2.1 RISC-V发展现状	2
1.2.2 分支预测发展现状	3
1.3 本文思路及研究方法	3
1.4 论文结构	3
第 2 章 分支预测器介绍	5
2.1 分支预测整体结构	5
2.2 FTB设计介绍	6
2.3 Micro BTB设计介绍	6
2.4 RAS设计介绍	6
2.5 TAGE设计介绍	6
2.6 SC设计介绍	6
2.7 ITTAGE设计介绍	6
2.8 本章小结	6
第 3 章 分支预测限制预测宽度的改进策略	7
3.1 小节名称	7
3.2 本章小结	7
第 4 章 分支预测针对解耦前端的设计	8
4.1 小节名称	8
4.2 本章小结	8
第 5 章 分支预测性能优化方向探索	9
5.1 小节名称	9
5.2 本章小结	9

第 6 章 行为级仿真，时序分析及性能验证	10
6.1 小节名称	10
6.2 本章小结	10
第 7 章 总结与展望	11
7.1 总结	11
7.2 展望	11
参考文献	12
附录	13
致谢	14
攻读硕士学位期间的研究成果	15

第1章 绪论

1.1 研究背景及意义

CPU (Central Processing Unit) 是一台计算机最重要最核心的组成部分，CPU设计制造也一直是高精尖的技术领域。自2020年美国开始禁止向中国出口高端芯片以来，使得芯片成为了这两年的热点话题，我国更加注重处理器设计领域的发展，推出了一系列相关政策推动我国加快发展自己的芯片设计和制造产业。其中以龙芯为首的多家国内企业多年以来也一直不断地在相关领域内投入研发。

目前市场上处理器大多都是x86和ARM架构，其中x86处理器主要是Intel和AMD公司占主流，主打产品是一些高性能计算机的处理器；ARM公司主要靠指令架构的授权来盈利，ARM架构的处理器广泛的使用在各种嵌入式产品和终端中，在现在万物互联的趋势下普及到生活的各个角落中。

而RISC-V的出现打破了这一局面，RISC-V是2010年始于美国加州大学伯克利分校的一款开源指令集架构，与大多数指令集相比，RISC-V指令集没有高昂的授权费用，任何人都可以使用RISC-V设计和制造芯片，而不用支付任何费用。这极大的降低了芯片的成本，因此RISC-V一经面世，就受到了业内的关注和支持，尤其是非常适合我国的国情，我国的许多企业都加入了RISC-V基金会，如图1.1所示，在RISC-V基金会的13位高级成员中，有11位都是中国企业

但是目前RISC-V主要还是用在一些功能比较简单的嵌入式芯片设计中，使用RISC-V设计的高性能处理器仍然较少，因此中科院计算所研发了一款开源的RISC-V高性能处理器香山，希望能够通过开源香山以及香山的开发流程和工具，带动国内开发者的热情，促进处理器相关领域的发展。

而在一个高性能处理器架构里，分支预测是必不可少的一个部件。由于现代的处理器的频率都在往更高的频率，更深的流水线发展，以期待获得更高的性能。更高的频率限制了每个流水级间逻辑门级的数量，更深的流水线则造成了更大的分支误预测惩罚。因此对分支预测的设计带来了更大的挑战，如何在要求的频率下实现预测算法，并且保证较高的分支预测准确率。

香山处理器第一版的分支预测是参考了加州大学伯克利分校开发的一款开源RISC-V处理器BOOM (The Berkeley Out-of-Order Machine) 的分支预测设计。该分支预测设计有4级流水，使用混合预测器，以TAGE预测器为主。



图 1.1 RISC-V 基金会高级成员

在讨论先进的分支预测算法和设计时，现有的论文大多基于模拟器来建模研究，没有考虑到具体的硬件实现，以及针对高频的优化。在真实的物理设计中，由于硬件特性和时序要求，相对于论文中的设计，在某些地方可能需要做出针对性的修改和优化，才能够将其真正的在硬件上实现。除了BOOM以外，有先进分支预测架构的开源设计也是寥寥无几，只能够通过公司的相关产品和论文中窥到一些细节。因此本文以国内开源RISC-V高性能处理器香山为研究平台，在其第一版架构的基础上对分支预测进行了重构和优化，使其能够达到更高的性能和频率。同时，所有的设计代码都是开源的，能够给RISC-V社区中的开发者们提供借鉴和启发。

1.2 国内外研究现状

1.2.1 RISC-V发展现状

RISC-V是加州大学伯克利分校在2010年首次发布的一个开源指令集架构，这是一个年轻的指令集架构，它吸收了大量已有指令集，如x86，ARM，MIPS等指令集的设计经验，弥补了它们的不足，做出大量的改进后产生的，并且为了给体系结构领域注入新的活力，RISC-V拥抱开源，使用RISC-V无需支付任何费用，让全世界的开发者能够不受成本政治等边缘因素的影响，全新的投入到RISC-V的设计与开发中来。

除了开源免费以外，RISC-V作为一个全新的指令集架构，不需要考虑历史兼容性的问题，这也使得它能够更加精简，门槛更低，相比于x86和ARM动辄几千页的手册，RISC-V的手册只有寥寥几百页，学习门槛大大降低，开发者们能够在更短的时间内掌握RISC-V设计的基础。

由于多种因素，RISC-V一出世就收到了工业界和学术界的关注与肯定。大家都争相以RISC-V为基础进行研究与设计。大量的研究成果也不断发布，最具代表性的就是加州大学伯克利分校的Rocket和BOOM两款开源的处理器设计，其中BOOM作为开源高性能处理器的代表，更是在大量的论文中作为研究平台和对比对象。而国内也有大量的成果，例如在阿里巴巴2021年9月10日正式开源的玄铁910，就是一款使用RISC-V指令集的处理器。此外国内还有很多公司都有相关的产品，如华米科技的黄山1号、紫光展锐的春藤系列，以及兆易创新的GD32VF103等。

1.2.2 分支预测发展现状

分支预测分为静态预测和动态预测

又分为局部历史预测器和全局历史预测器^[1]

1.3 本文思路及研究方法

本文首先介绍了开源RISC-V高性能处理器在国内的研究意义，以及为什么选择使用RISC-V来设计处理器的原因，并对香山超标量乱序处理器整体的基本结构做了介绍。之后进一步介绍了其中分支预测的整体架构，并在此基础上从性能能和频率2个方面对其进行了优化。并使用Design Compiler进行时序评估，使用Verilator对设计进行行为级仿真，用于评估其改进结果

1.4 论文结构

本文分为以下几个章节，内容安排如下：

第一章的主要内容是介绍了本课题的研究背景和意义，讨论了一些国内外的研究现状，简单介绍了香山处理器的整体架构，并对本文内容做了规划

第二章的主要内容是介绍分支预测架构中的各个预测器及其设计实现细节

第三章的主要内容是提出以FTB为主的限制分支预测宽度的分支预测改进策略

第四章的主要内容是提出以FTQ为主的实现解耦前端取指单元的设计

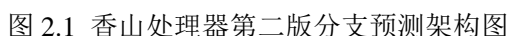
第五章的主要内容是介绍了针对改进分支预测性能做过的部分尝试及其细节

第六章的主要内容是介绍评估测试设计所用到的环境，以及相关的评估指标，统计结果及其分析

第七章的主要内容是对本文工作的一个总结，并指出目前仍然存在的一些问题，对之后的工作做出了展望

本章首先介绍香山处理器第二版分支预测的整体架构，各个预测器在流水级中的先后关系和联系。其次针对每个预测器都介绍了它们的预测原理和功能。

香山第二版分支预测架构采用的是4级流水设计，架构图如图2.1所示。在4个流水级中，S0主要负责收集S1、S2、S3流水级的预测结果，以及取指单元和流水线后端发挥的分支误预测信息，从中选择出下一周期需要进行预测的pc，然后将该pc对应的读请求发给各个预测器，不同的预测器得出预测结果的时间需要1到2周期不等。



2.2 FTB设计介绍

2.3 Micro BTB设计介绍

2.4 RAS设计介绍

2.5 TAGE设计介绍

2.6 SC设计介绍

2.7 ITTAGE设计介绍

2.8 本章小结

第3章 分支预测限制预测宽度的改进策略

本章主要介绍

3.1 小节名称

3.2 本章小结

第4章 分支预测针对解耦前端的设计

本章主要介绍

4.1 小节名称

4.2 本章小结

第5章 分支预测性能优化方向探索

本章主要介绍

5.1 小节名称

5.2 本章小结

第6章 行为级仿真，时序分析及性能验证

本章主要介绍

6.1 小节名称

6.2 本章小结

第7章 总结与展望

xxx, 本文主要工作

7.1 总结

7.2 展望

参 考 文 献

- [1] Barnes C, Shechtman E, Finkelstein A, et al. PatchMatch: A randomized correspondence algorithm for structural image editing. ACM Trans. Graph., 2009, 28(3):24

附 录

附录内容。

致 谢

致谢正文。

攻读硕士学位期间的研究成果

[1] 发的论文或者专利