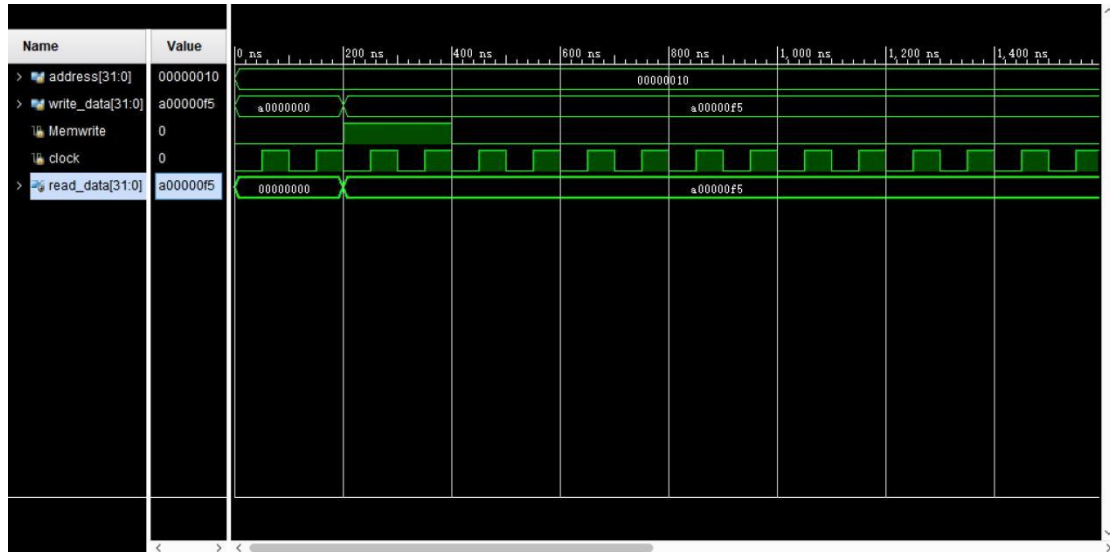


存储单元仿真时序

SEU-09019204-曹邹颖

1. 设计的存储单元的仿真波形图



2. dmemory32.v

```
`timescale 1ns / 1ps
/////////////////////////////////////////////////////////////////
module dmemory32(read_data,address,write_data,Memwrite,clock);
    output[31:0] read_data;
    input[31:0] address;    // 来自 memorio 模块, 源头是来自执行单元算出的 alu_result
    input[31:0] write_data; // 来自译码单元的 read_data2
    input  Memwrite;       // 来自控制单元
    input  clock;

    wire clk;
    assign clk = !clock;    // 因为使用 Cyclone 芯片的固有延迟, RAM 的地址线来不及在时钟上升沿准备好,使得时钟上升沿数据读出有误,所以采用反相时钟,使得读出数据比地址准备好要晚大约半个时钟,从而得到正确地址。

    //分配 64KB RAM, 编译器实际只用 64KB RAM
    ram ram(
        .clka(clk),
        .wea(Memwrite),
        .addra(address[15:2]),
        .dina(write_data),
        .douta(read_data)
    );
endmodule
```