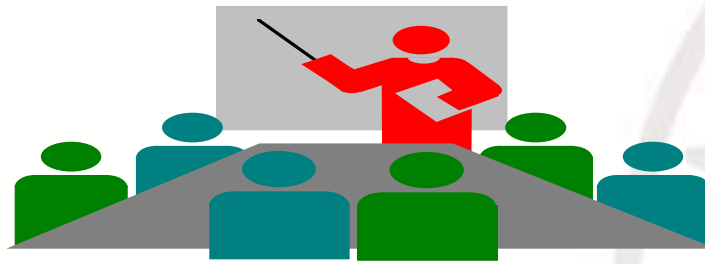




浙江大学
ZHEJIANG UNIVERSITY



数字逻辑设计

LOGIC and Computer Design Fundamentals

Say Something

施青松

Asso. Prof. Shi Qingsong

College of Computer Science and Technology, Zhejiang University

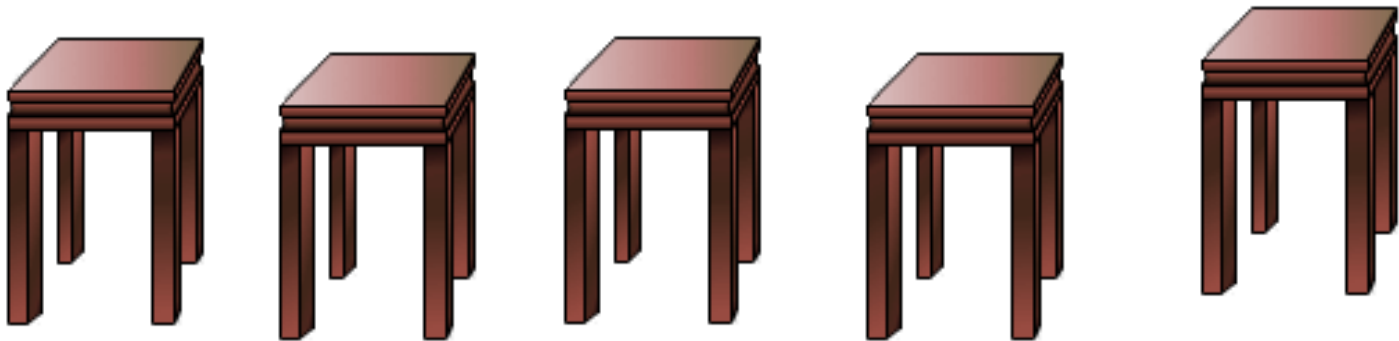
zjsqs@zju.edu.cn

Course Status

□ Hardware and software interface

- One of the courses of the Graduate Record Examination

Soft: Assembly → compile → OS → ALGOL → **Software Engineering**



HW: **digital circuits** → **Organization** → Implementation → Interface → architecture

Software Professional

Computer professionals



立足基础、加强实践、服务专业、面向国际

■ 数字逻辑设计:

基础

- 计算机组成电路设计基础和相关部件的设计
- 组合电路设计、时序电路设计

■ 计算机组成: 设计简单RISC-CPU核

核心

- ALU部件、Register Files
- 单周期实现、多周期实现简单的32位-CPU
 - RISC
 - 写入FPGA, 用实验板卡做测试验证
- 简易计算机系统 (微控制系统)

■ 计算机系统结构: 设计流水线RISC-CPU核

提高



Some information

□ TA:

- Miao Wang(王淼) 3150104650@zju.edu.cn
- Jianwen Liu(刘剑文), jianwen_liu219@163.com

□ Teaching Web :

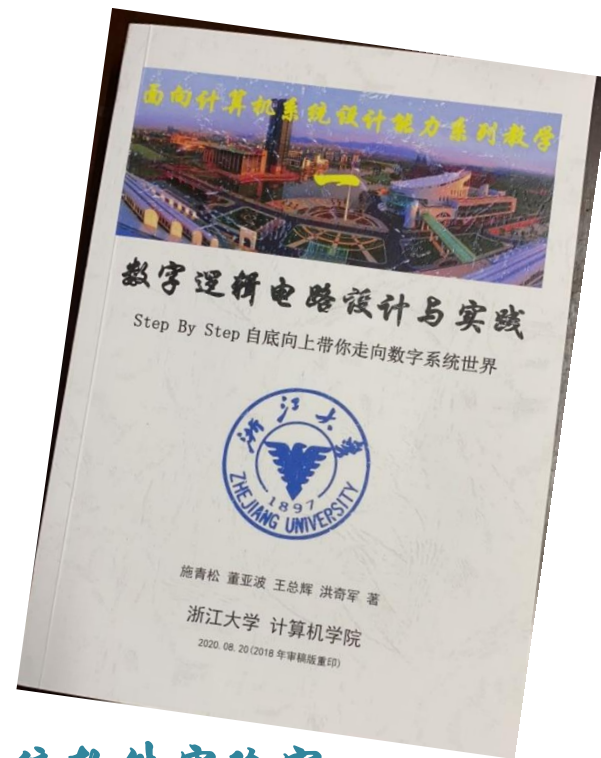
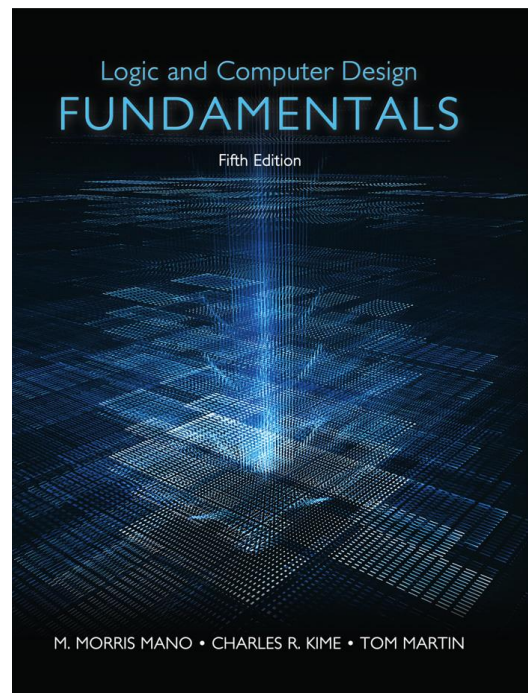
- 浙江大学：学在浙大
- <http://10.14.30.103> <http://10.214.26.108>
- <ftp://10.14.30.103:10000> <ftp://10.214.26.108:10000>

□ 交流群



□ Logic and Computer Design Fundamental

Prentice Hall, 机械出版社影印 third edition 5th?
M.Morris Mano, Charles R. Kiem





Course Objective

- ❑ **Introduce basic theory and design methods for digital logic.**
- ❑ **Give students basic skills to analysis and design electronic digital computer logic circuit**
- ❑ **Prepare for the further studies on hardware related courses, such as**
 - Computer Organization
 - Computer Architecture
 - Embedded Systems
 - Communication
 - ...



Course Contents

- ❑ **Number representation, digital codes**
- ❑ **Boolean algebra and logic minimization techniques**
- ❑ **Combinational circuits design and analysis**
 - Sources of delay in combinational circuits and effect on circuit performance
 - survey of common combinational circuit components
- ❑ **Sequential circuit design and analysis**
 - timing analysis of sequential circuits
 - Register & Register Transfers Control
- ❑ **Concept of programmable logic devices and memories**



Requirements of the Course

□ Final Score:

- Classroom Tests: 25% + Project: 15% +
Final Examination: 30% + Experiment 30%
- **And** Score of Final Examination: ≥ 50

□ Classroom Test(Quiz)

- Nonscheduled, without notification
- From textbook and home assignments

□ Project:

- Source code, source project and technical report should be submitted
- Technical report: including analysis and design process, debugging process, simulation sequential diagram
- Deadline: One week before examination



Course Grade

□ Homework

- Occasional spot checks
- analysis of typical exercises

□ Quiz

- Grades 25% of the total (Including homework)
- Range: knowledge of classroom and exercises based

□ Project (课程设计), Grades 21% of the total

□ Grade

- The final paper exam score 40% of the total score no less than 50 points for

Classrooms and Experiments =7:3

Grade = Quiz36% + Project 21% + exams 43%

70% = Quiz25% + Project 15% + exams 30%



Requirements of the Course

□ Home assignments:

- Need not submit, but Spot **checks**
- Answer sheet will be published
- Typical exercises will be analyzed and Discusses

□ should be finished in English

- **Home Assignments**, project technical report, classroom tests and **final Paper examination**



Textbook & References

□ Textbook

Logic and Computer Design Fundamentals, Third Edition

-M. Morris Mano and Charles R. Kime, Prentice Hall

数字逻辑电路设计与实践

-浙江大学计算机学院实验讲义

□ References

■ **Verilog Digital System Design Tutorial**

-Xia Yuwen, Beihang University Press

□ Slide can be download from:

浙江大学：学在浙大 [http:// 10.14.30.103](http://10.14.30.103)

<ftp://10.14.30.103:10000>



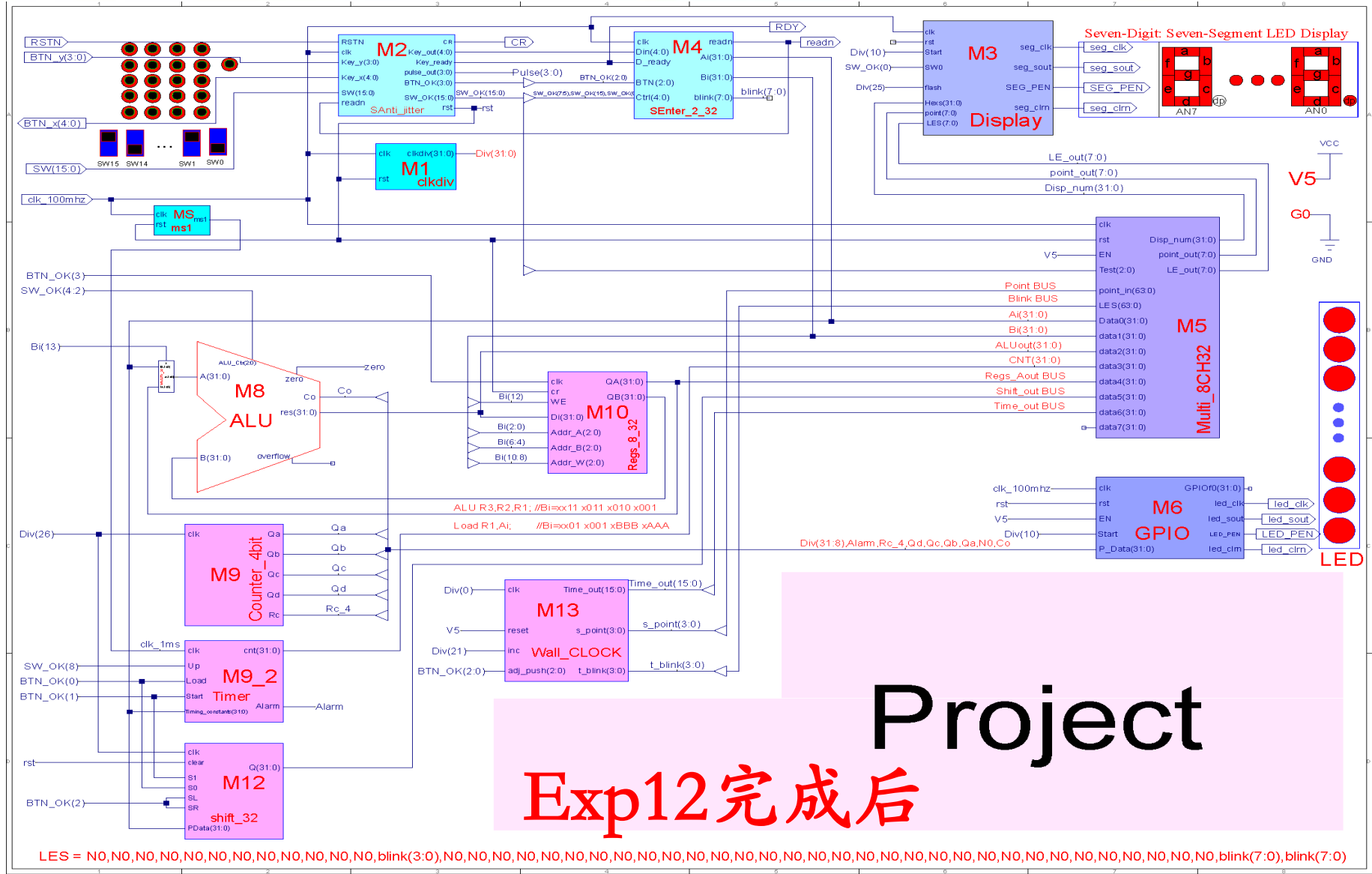
Experiment

编号	实验名称	实验方式
1	常用数字仪器的使用	硬件实验
2	二极管与三极管开关电路	硬件实验
3	集成逻辑门电路的功能及参数测试	硬件实验
4	EDA实验平台与实验环境运用	绘图实验
5	变量译码器设计与应用	绘图实验
6	7段数码管显示译码器设计与应用	绘图实验
7	多路选择器设计及应用 --实验调试测试环境搭建	绘图实验，学习模块调用，模块化使用按键 数据输入模块
8	全加器的设计实现	绘图实验，学习模块封装，模块化使用按键 数据输入模块
9	加减法器和ALU基本原理与设计	绘图实验 + Verilog结构化描述
10	锁存器与触发器基本原理	绘图实验
11	同步时序电路设计	绘图实验 + Verilog结构化描述
12	寄存器堆及寄存器传输设计	Verilog结构化描述
13	计数器/定时器设计与应用	Verilog结构化描述 + 硬件实验
14	移位寄存器设计与应用	Verilog结构化描述

FPGA数字逻辑实验内容: Bottom-Up



14个基本实验, 1个课程设计





Project: 个性化的课程设计

课程设计要求

1) 基本要求

- 实现有意义的时序**状态机**设计，必须具有：
- 存储器读写访问：RAM、ROM（可以是FPGA内，也可以是FPGA外板上的）；
- 简单的人机交互I/O接口(Switch、Button、LED和7段码)
 - 调用M1~M6模块

2) 扩展要求

- 用VGA（ $640 \times 480 \times 3\text{bit}$ ）显示。可以用但不限于VRAM(称为显示缓存，用于暂存要在VGA屏幕文字的ASCII码)、ROM（称为字符发生器，用于存放 16×16 显示字符的点阵，也可以自制 8×8 ）。
- 用PS2键盘输入交互



3) 课程设计参考案例（手指跳舞机）

不限于此，但要具有交互功能和简单实用意义，可与后续课程贯通，用程序实现同样的功能：

- ▣ 以Spartan-3上的7段码显示来指示上下左右（可以是数字或图形）；
- ▣ 以Spartan-3的按钮Button作为上、下、左、右输入反应；
- ▣ 判断显示和输入交互的正确性，并以交互响应速度设置跳舞机级别（相当于游戏级别）；
- ▣ 每一级可允许出错3次，游戏结束。如果输入正确进入下一级，加快响应速度或其他难度。



Requirements of Experiments

□ Verilog HDL language

- Study by yourself

□ Xilinx ISE IDE 14.7

- Only to arrange a experiment, and then learns deeply by yourself through the use of the Internet.

□ Before entering the laboratory

- Before of each experiment, everyone should input and debug Verilog source code, and perform behavior simulation.



逻辑与计算机设计基础的研究和教学内容

- 数学基础：布尔代数，逻辑代数基础。
- 单元电路：逻辑门电路、触发器，及其性能的分析和应用。
- 组合逻辑电路的分析、设计与应用。组合逻辑电路的输出仅取决于电路当时的输入，而与电路过去的输入无关。
- 时序逻辑电路的分析、设计与应用。时序逻辑电路的输出不仅取决于电路当时的输入信号，还与该电路过去的输入有关。该电路内部必然有记忆元件存在。
- 实践过程：每个知识点均配有实验，加强知识巩固



本课程的最基本要求

- 按时来教室，希望能认真听课。
- 布置的习题一定要先独立去思考，设法去完成，老师关心的是你做的过程，做对做错并不重要。
- 本科教学，是打基础、培养兴趣的过程。学一点硬体知识对今后学习和工作是有好处的，希望大家要有一定积极性。
- 通过本课程教学活动，掌握一些简单而实用的知识和技术，希望以此能提高你们分析问题和解决问题的能力。
- 动动手是学好此工程知识的一个重要环节。不仅仅是在实验室，要求至少60小时的课外辅助学习（平均每天0.5小时）。



学知识的方法

设计自己的人生：知识不能只局限于老师--青于蓝

- 每个人都有自己的梦想，你的梦想是什么？你的目标是什么？为了实现这个梦想如何去努力，去奋斗。
- 没有不劳而获的果实。认真预习、听讲、做习题、复习、独立思考。
- 在校要很好完成学业。不管你有千万个理由，成绩至少60分，最好80分，每次考试都90分以上是不容易，这不但要有聪明头脑（大家都已具备），又要有好的运气（不是每次都能碰到的）。重视分数，但又不能看得太重，偶尔成绩不理想，也不要紧，天不会塌下来。



改变不良性格与习惯，提高心理素质

- 不沉溺于某种不良嗜好，不良生活、工作习惯。
- 性格决定命运。要有思想，但不自以为是，独断专行。
- 资源有限，分布又是不平等的。如出生地(北京普通话，美国英语)，家庭，社会关系，朋友，行业(工作岗位，工作地点)，领导，同事
- 能力来源于学习、实践和经验。
- 世界上没有绝对的“平等”。当你在指责某种现象时是否产生了新的不平等？要重视心理调整，在任何时候**要始终保持着一颗善良、宽容的心。**
- 幸福是人们对生活满意度的一种主观感受。
- 个人的理想与国家发展的需求要保持平衡。



要掌握生存的本领，开拓生存质量

- 不沉溺于某种不良嗜好，不良生活、工作习惯。
- 对软件开发从业人员来说掌握一门或者二门计算机软件开发语言，是软件开发人员的**生存之本**。
- 计算机从业者不仅要掌握软件的体系架构，还需要了解硬件体系结构以及发展状况，这是计算机人材提高**生存质量**的根本。
- **找到正路还不算成功，堵住各种可能的漏洞才算成功。**

软件专业看得懂、分得清、提得去、用得来
科学专业分得清、提得出、想得到、用得好
工程专业想得到、提得出、做得好、性能好

Thank you!

