2019 级逻辑与计算机设计基础课程设计内容与要求

- 一、课程设计环境:
- 1. Sword Kintex7 实验平台;
- 2. Xilinx ISE14.4/7 开发环境;
- 3. 硬件描述语言采用 Verilog HDL;
- 4. 若组成团队需要 PROJECT 超过一定规模,并要求分工协作,合作完成课程设计。

二、课程设计要求

所有实验的提交结果(报告)文件名请按各任课老师的要求统一取名,提交格式: RAR 格式压缩文档,文件名: 学号 姓名 Project 题目 联系方式

- 1. 在 Sword Kintex7 (兴趣小组成员可使用 NEXYS-4 DDR, 后继移植到 Sword)实验平台上设计具有完整功能的时序电路。
- 2. 基本输入输出交互选择

输入: Sword 实验平台上的按钮输入(SW、BTN)。

输出: Sword 实验平台上的显示输出(LED、4/8 位 7-段显示器)。

扩展接口(高级要求): PS2 键盘、VGA 输出显示,可同时调用 7 段数码管显示模块配合输出。

- 3. 实验结果提交形式要求
- 1) 系统源代码(必须要有注释)
- 2) 调试通过的工程文档
- 3) 能正确运行的目标流代码: bit 文件(单独备份)
- 4) 设计报告(根据 FTP 上的 Project 模板包括设计说明、调试过程分析、核心模块模拟仿真时序图等)。
- 5) 3~5 分钟视频: 含自我介绍(10 秒左右,要露脸)、原理说明、操作说明和演示。 视频可分两段:第一段实现功能、实现方案和原理分析;第二段操作演示说明。每 段视频头部都要有自我介绍。
- 4. 最后提交日期: 1月 20日(考试时间: 2021年01月22日 (10:30-12:30; 地点: 紫金港东1B-214)。
- 5. 课程设计占总评分 20%
- 6. 作业上传学在浙大和备份 FTP 服务器: ftp:// 10.14.30.103, 用户名: LCDF, 端口: 10000, 密码: 无(备用服务器: ftp:// 10.214.26.108)。

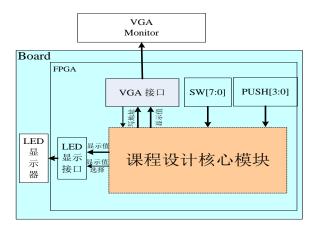
三、课程设计功能:

- 1. 基本功能要求:
- 有意义的时序状态机设计实现;
- 存储器读写访问: RAM、ROM(可以是 FPGA内,也可以是 FPGA外: 板上的);
- 寄存器读写访问:
- 适当的人机交互 I/O 接口(至少包含 7 段码、Switch、Button(非阵列模式)和 LED)。
- 2. 扩展功能要求:
 - 1) 有一个 VRAM(称为显示缓存), 用于暂存要在 VGA 屏幕文字的 ASCII 码: 640 ×480×8bit;
 - 2) 有一个 ROM (称作字符发生器,用作存放显示字符的点阵 16×16,也可以自制 8×8): 256×16×16bit;
 - 3) 与 VGA 屏幕人机交互显示。
- 3. 设计参考案例: 手指跳舞机(或选择一个有意义的屏幕交互功能):

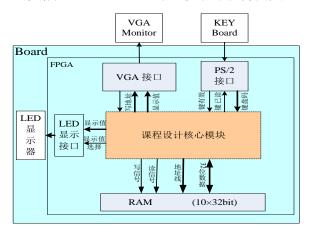
- 1) 以 Sword 上的 7 段码显示来指示上下左右 (可以是数字或图形);
- 2) 以 Sword 的按钮 BTN 作为上、下、左、右输入反应;
- 3) 判断显示和输入交互的正确性,并以交互响应速度设置跳舞机级别(相当于游戏级别);
- 4) 每一级可允许出错 3 次,游戏结束。如果输入正确进入下一级,加快响应速度或 其他难度。

四、提示:

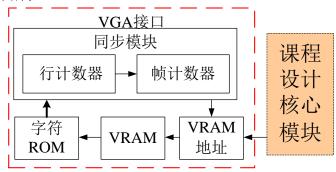
1) 简单实现方法:。数据从SW和PUSH输入,VGA显示*,实现简单介面交互



2) 复杂实现方法: 数据从 PS/2, VGA 显示, 实现丰富介面交互。



3) VGA 模块结构:



五、课程设计成绩评判标准及提示:

1. 不鼓励分组,若分组需要写方案申请批准后有效。分组人员超过2人,则实验部分

- 的得分最后按90%计。分组不支持教学班交叉。
- 2. 同组成员根据在组内贡献率得分,贡献率由组长评定,评定成绩时作为权系数。
- 3. 完成复杂的系统可以加分,设难度系数 1%~10%,实现好的创意也可以加分,设计 创意系数 5%~20%。所有加分课程总评 100 分封顶,且同时满足所设计系统功能 实现的前提下。
- 4. 按时提交所有的课程设计结果,设计开发报告规范、内容翔实,能在 SWORD 平台上正确实现所有功能,同时有方便直观的交互界面: 100 分
- 5. 按时提交所有的课程设计结果,设计开发报告规范、内容正确,能在 SWORD 平台实现所有功能: 95 分
- 6. 按时提交所有的课程设计结果,设计开发报告规范、内容正确,选择仿真实现所有 核心模块功能: 90 分
- 7. 在以上基本分基础上,根据交互界面友善、直观、难易等及 bug 情况加减分,100分封顶。
- 8. 按时提交所有的课程设计结果,设计开发报告规范、内容正确,且已经努力工作但 没有实现所有功能: 酌情给分
- 9. 虽然按时提交,但文档资料不全者,视为不及格。
- 10. 无论文档资料是否齐全、功能是否实现,没有按时提交且 24 小时内未补充完整的,按天计算,前 3 天,每迟一天扣 5%,第四天开始每迟一天扣 10%,此项记分标准累计。