

数字系统与信息

- analog signal - continuous
- digital signal - discrete
- TTL - 5V
- MOS - 1.8~15V

接收方检测到校验错误返回NAK，否则回送ACK字符

进位计数制

一种进位计数制包含一组数码符号和三个基本因素：

- 数码：一组用来表示某种数制的**符号**。例如，十进制的数码是0、1、2、3、4、5、6、7、8、9；二进制的数码是0、1。
- 基数：某数制可以使用的**数码个数**。例如，十进制的基数是10；二进制的基数是2。
- 数位：数码在一个数中所处的**位置**。
- 权：权是**基数的幂**，表示数码在不同位置上的数值。

格雷码

偶数位格雷码：

对于前半，设最高位为0，然后往右的各位由原二进制编码的每一位与它左边相邻位的偶校验构成。对于后半，将前半逆序排列，并将最高位置1。

$0 \sim 2^n - 1$ 范围格雷码：

保留原二进制的左边最高位，剩下各位由原二进制码的各位与其左边相邻位的偶校验构成



组合逻辑

逻辑完备性：与，或，非；与非；

化简有用

$$X + YZ = (X + Y)(X + Z)$$

$$X + \bar{X}Y = X + Y$$

$$\overline{X + Y} = \bar{X} \cdot \bar{Y}$$

$$\overline{X \cdot Y} = \bar{X} + \bar{Y}$$

$$XY + \bar{X}Z + YZ = XY + \bar{X}Z \text{ (Y和Z已经因为X总有一个会取到)}$$

Idempotency: 重叠律, 自己和自己

Complement: 互补律, 自己和非自己

Commutative: 交换律

Associative: 结合律

Distributive: 分配律

DeMorgan: 德摩根

covering

对偶

$$+ \rightarrow \cdot$$

$$\cdot \rightarrow +$$

$$0 \rightarrow 1$$

$$1 \rightarrow 0$$

等式两侧同时取对偶, 等号仍然成立

反函数

$$+ \rightarrow \cdot$$

$$\cdot \rightarrow +$$

$$X \rightarrow \bar{X}$$

$$\bar{X} \rightarrow X$$

注意不要改变运算顺序, 如 $F = \bar{A} + \bar{B}(C + \bar{D}E) \Rightarrow \bar{F} = A[B + \bar{C}(D + \bar{E})]$

标准形式

Sum Of Minterm

$$F = \sum m(k_i)$$

Product Of Maxterm

$$F = \prod M(2^n - 1 - k_i)$$

求法可以先用SOM表示 \bar{F} ，再取反

Sum Of Product

SOM的化简

Product Of Sum

POM的化简

成本标准

门输入成本：

- 全部文字数
 - 等式中的文字数，包括取反
 - 表示电路外部的全部门输入个数
- 除单个文字外的全部项数，或者再加上
 - 表示电路内部除inverter之外的所有门输入个数
- 不同的取反值得单个文字总数
 - 表示外部不提供反变量时需要用的inverter个数
 - 视情况决定要不要考虑

卡诺图的项

- 蕴涵项：某个乘积项的每一个minterm都为1
- 主蕴涵项：如果移去任何一个变量，所得项都不再是蕴涵项
- 质主蕴涵项：某一个1方格，只存在于该主蕴涵项中的主蕴涵项

奇偶函数

奇函数：多变量异或运算

$X \oplus Y \oplus Z$ 表示三个变量当且仅当奇数个变量为1时，函数值为1

偶函数：组成奇函数的反函数

延迟

传输延迟transport delay: 不考虑其他情况, 所有信号变化后延一个时间

惯性延迟inertial delay: 两次变化的间隔短于拒绝时间, 则第一次变化不会发生

拒绝时间rejection time: 不大于且通常等于传播延迟

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$$

属性

- 扇入系数 N_i : 门电路**允许的输入端的数目**, 称为该门电路的扇入系数。
- 扇出系数 N_o : 扇出系数是数字逻辑器件用来衡量其**输出负载能力**的一个参数, 表征器件的额定输出能力。逻辑器件是二值量化器件, 其输出负载能力可**折算成驱动多少个同类型逻辑门的数目**。在额定输出电压范围内, 器件能带动的同型号门的数目称为扇出系数。
- 低电平输入电流 I_{iL} : 指**输入端接地时流过此输入端的电流**, 也称为输入短路电流, 可衡量低电平输入电阻特性
- 关门电平 V_{OFF} : 指使输出电压刚好达到输出转折至额定电平值时的**最高输入低电平电压**
- 空载导通功耗 P_{ON} : 是指**输出端为低电平且接负载**时的器件功耗, 用于衡量器件输出导通时的器件功耗
- 空载截止功耗 P_{OFF} : 是指**输出端为高电平且接负载**时的器件功耗, 用于衡量器件输出截止时的器件功耗

噪音容限 (Noise Margin)



□ **噪音容限**是指加到正常输入值上、且不会在电路的输出产生不可预料变化的最大外部噪音电压。

□ 设额定输入高电平值为 V_{IH} , 额定输入低电平值为 V_{IL} , 则

低电平电平噪声容限

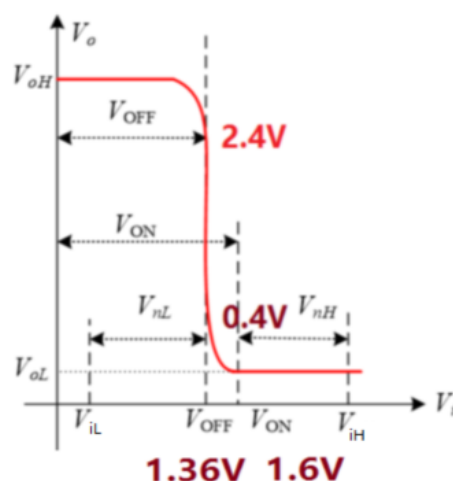
$$V_{nL} = V_{OFF} - V_{IL} = V_{OFF} - 0.8$$

$$(V_{IL} \leq 0.8) = 1.36V - 0.8V$$

高电平电平噪声容限

$$V_{nH} = V_{IH} - V_{ON} = 2.0V - V_{ON}$$

$$= 2.0V - 1.6V$$



浙江大学

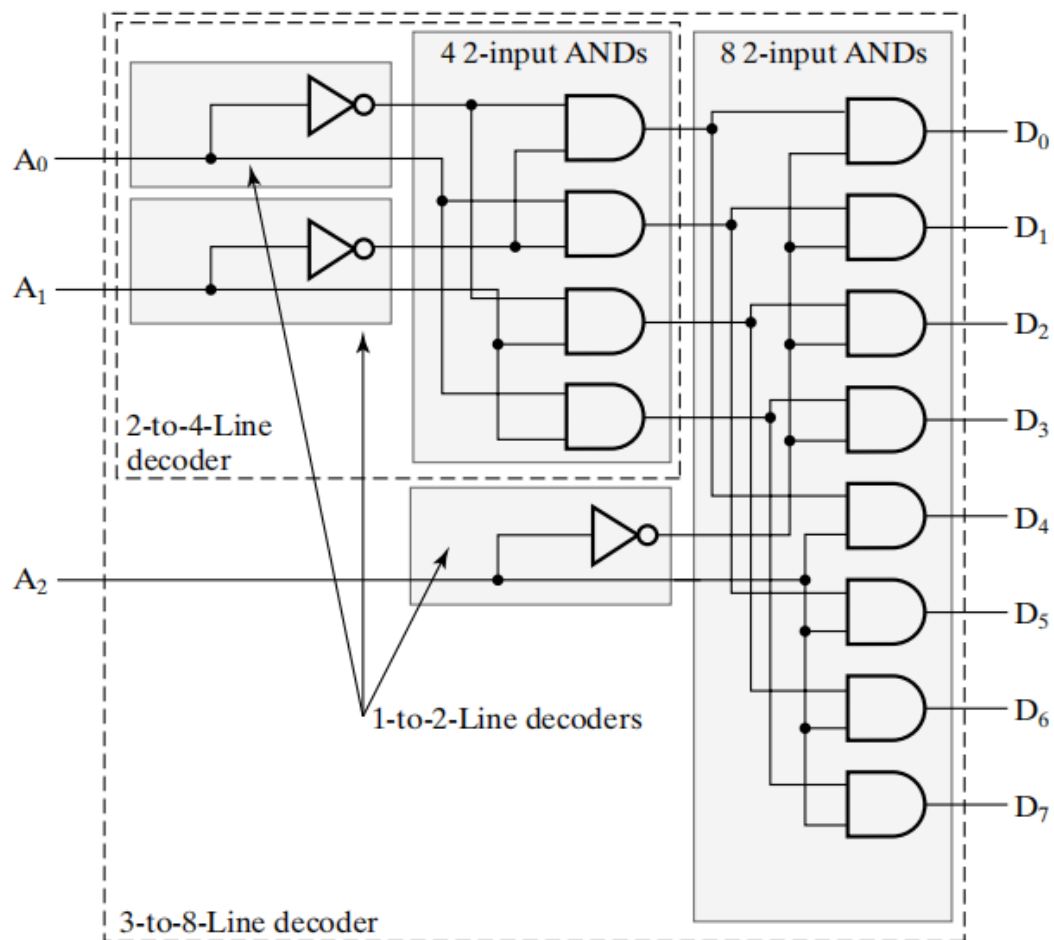
组合逻辑电路设计

一定要注意**真值表**

工艺映射

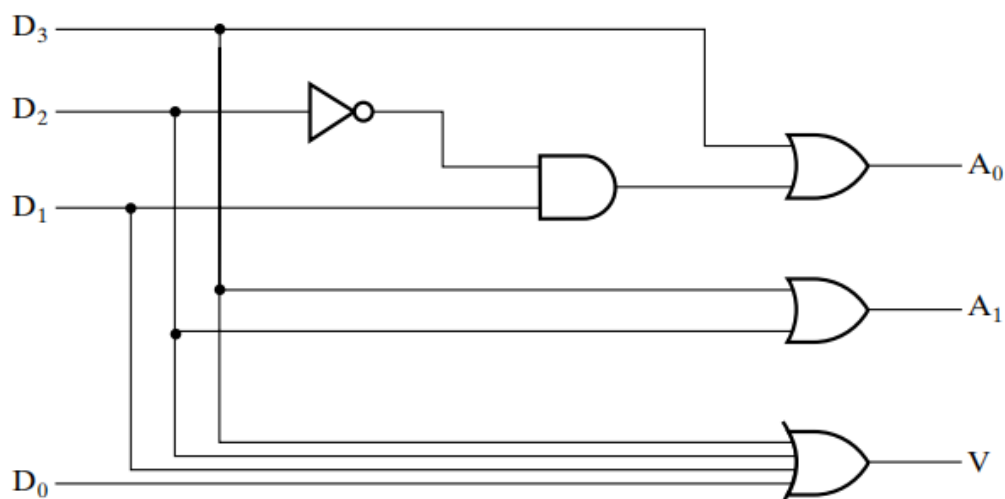
将一个多种门的电路映射为与非门/或非门+inverter

译码器



□ **FIGURE 19**
A 3-to-8-Line Decoder

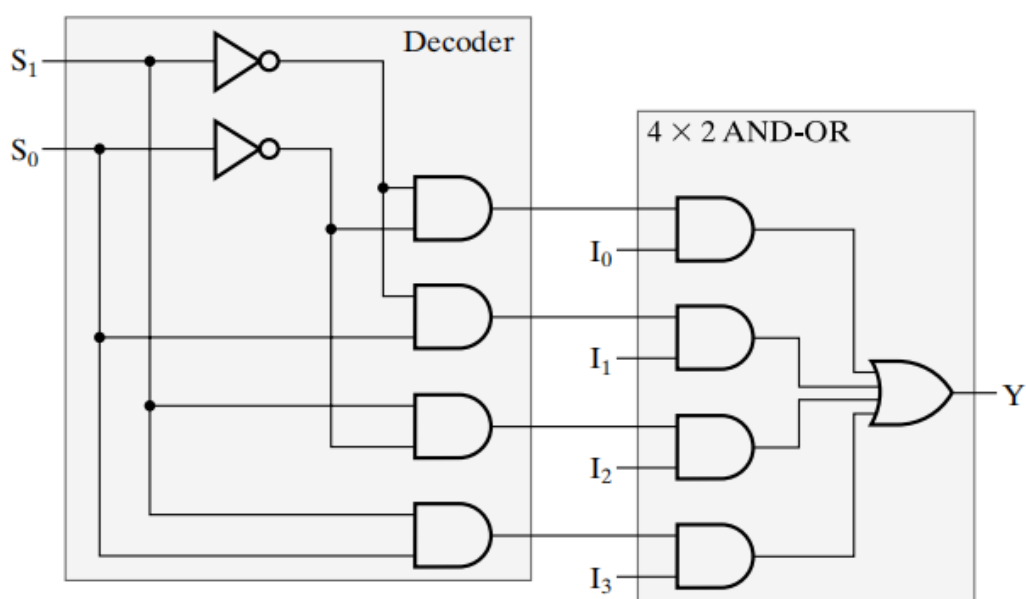
优先编码器



□ **FIGURE 24**
Logic Diagram of a 4-Input Priority Encoder

多路复用器MUX

Decoder + Enable



□ **FIGURE 26**
A Single-Bit 4-to-1-Line Multiplexer

格雷码 ABC 翻译为二进制 XYZ :

1. 写真值表, 得到 $X = C$
2. 根据真值表, 使用MUX, MUX的输入信号为真值表的值, 选择信号为 ABC , 输出为 Y/Z

超前进位加法器

- Defining the equations for the Full Adder in term of the P_i and G_i :

$$P_i = A_i \oplus B_i$$

$$G_i = A_i B_i$$

$$S_i = P_i \oplus C_i$$

$$C_{i+1} = G_i + P_i C_i$$

Carry Lookahead Development



- C_{i+1} can be removed from the cells and used to derive a set of carry equations spanning multiple cells.

- Beginning at the cell 0 with carry in C_0 :

$$C_1 = G_0 + P_0 C_0$$

$$\begin{aligned} C_2 &= G_1 + P_1 C_1 = G_1 + P_1(G_0 + P_0 C_0) \\ &= G_1 + P_1 G_0 + P_1 P_0 C_0 \end{aligned}$$

$$\begin{aligned} C_3 &= G_2 + P_2 C_2 = G_2 + P_2(G_1 + P_1 G_0 + P_1 P_0 C_0) \\ &= G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0 \end{aligned}$$

$$\begin{aligned} C_4 &= G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 \\ &\quad + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0 \end{aligned}$$

Buffer

数字电路中的buffer一般有两个作用：

1.提高驱动能力

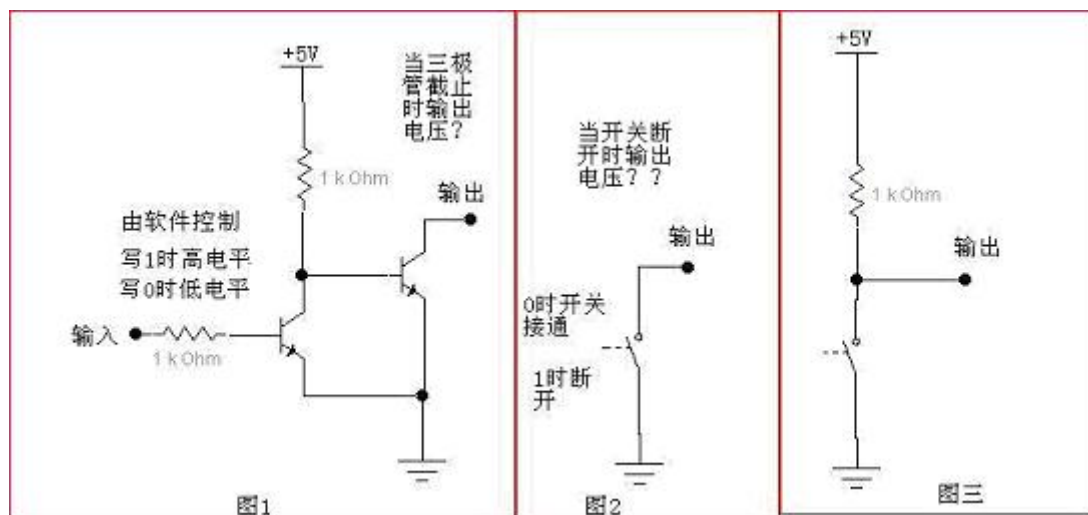
buffer是一种宽高比很大的mos管，宽高比大意味着电流大，驱动能力高。在扇出很大的wire中插入buffer可以提高带负载能力，常见于时钟树中。

2.确保信号时序正确

当一条wire很长时，延迟很大（delay正比于长度的平方，设长度为1，delay为1），这时在中间插入buffer，wire delay变为 $1/4+1/4=1/2$ ，只要buffer delay小于 $1/2$ ，则buffer的插入可以缩短wire delay。

当一条wire的延迟不大时，如果有hold violation（表现为数据到达过快，需要滞后到达），则插入buffer，利用buffer delay可以修正这个hold violation。

集电极开路



我们将图1简化成图2的样子。图2中的开关受软件控制，“1”时断开，“0”时闭合。很明显可以看出，当开关闭合时，输出直接接地，所以输出电平为0。而当开关断开时，则输出端悬空了，即高阻态。这时电平状态未知，如果后面一个电阻负载（即使很轻的负载）到地，那么输出端的电平就被这个负载拉到低电平了，所以这个电路是不能输出高电平的。

再看图3，图3中那个1k的电阻即是上拉电阻。如果开关闭合，则有电流从1k电阻及开关上流过，但由于开关闭合时电阻为0（方便我们的讨论，实际情况中开关电阻不为0，另外对于三极管还存在饱和压降），所以在开关上的电压为0，即输出电平为0。如果开关断开，则由于开关电阻为无穷大（同上，不考虑实际中的漏电流），所以流过的电流为0，因此在1k电阻上的压降也为0，所以输出端的电压就是5v了，这样就能输出高电平了。但是这个输出的内阻是比较大的（即1k ω ），如果接一个电阻为r的负载，通过分压计算，就可以算得最后的输出电压为 $5 \cdot r / (r + 1000)$ 伏，即 $5 / (1 + 1000/r)$ 伏。所以，如果要达到一定的电压的话，r就不能太小。如果r真的太小，而导致输出电压不够的话，那我们只有通过减小那个1k的上拉电阻来增加驱动能力。但是，上拉电阻又不能取得太小，因为当开关闭合时，将产生电流，由于开关能流过的电流是有限的，因此限制了上拉电阻的取值，另外还需要考虑到，当输出低电平时，负载可能还会给提供一部分电流从开关流过，因此要综合这些电流考虑来选择合适的上拉电阻。

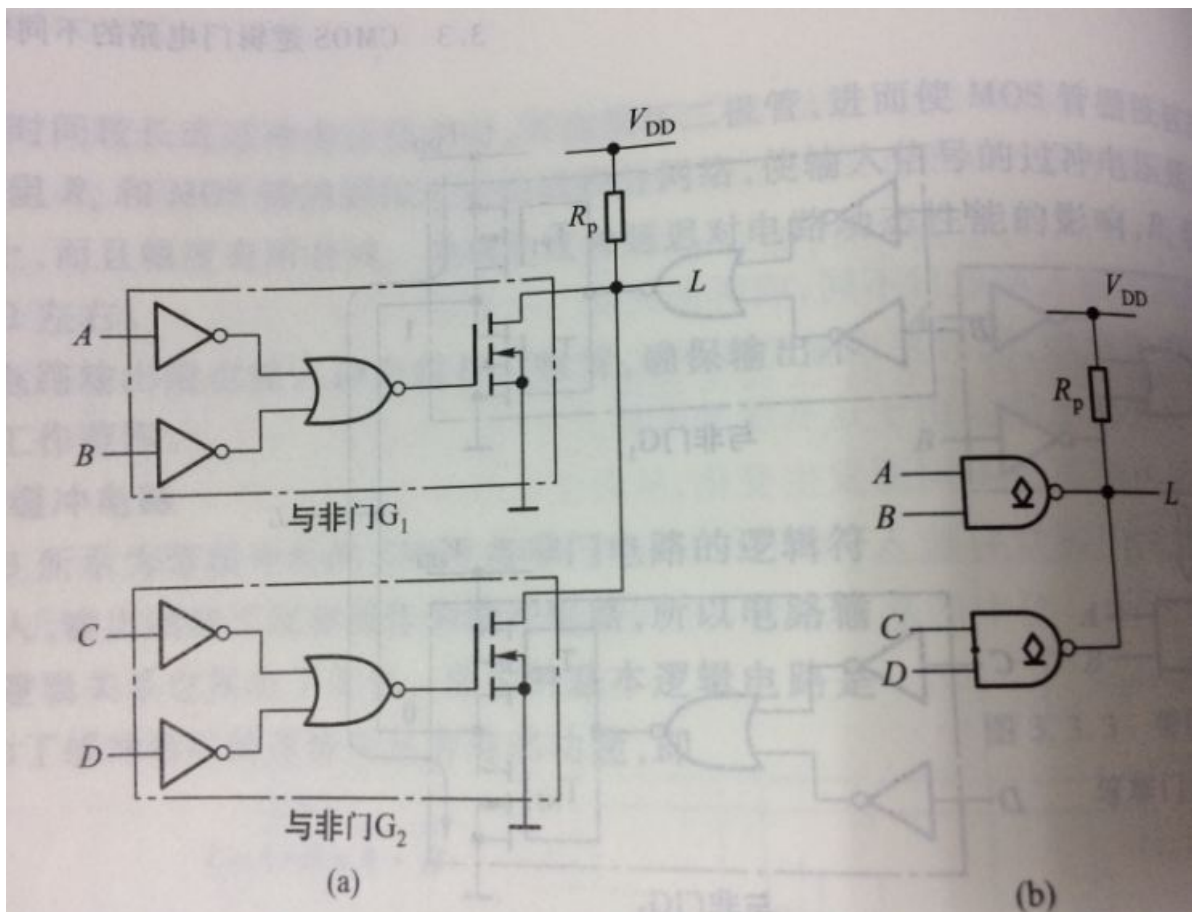
如果我们将一个读数据用的输入端接在输出端，这样就是一个io口了（51的io口就是这样的结构，其中p0口内部不带上拉，而其它三个口带内部上拉），当我们要使用输入功能时，只要将输出口设置为1即可，这样就相当于那个开关断开，而对于p0口来说，就是高阻态了。

对于漏极开路（od）输出，跟集电极开路输出是十分类似的。将上面的三极管换成场效应管即可。这样集电极就变成了漏极，oc就变成了od，原理分析是一样的。

漏极开路与线与

漏极开路即为将集电极开路中的三极管替换为MOS管

利于集电极开路或者漏极开路可以实现线与，直接将多条输出线接在一起成为一个输出：



时序电路

与组合电路最本质的区别在于时序电路具有记忆功能。

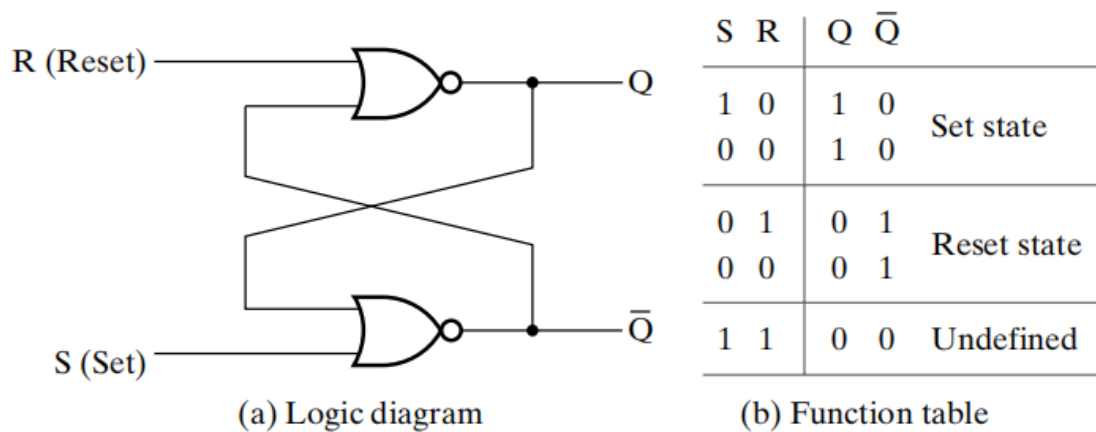
一定要注意状态表

电路分类

- Mealy: 输出依赖于**当前状态**与**输入**
- Moore: 输出只依赖于**当前状态**

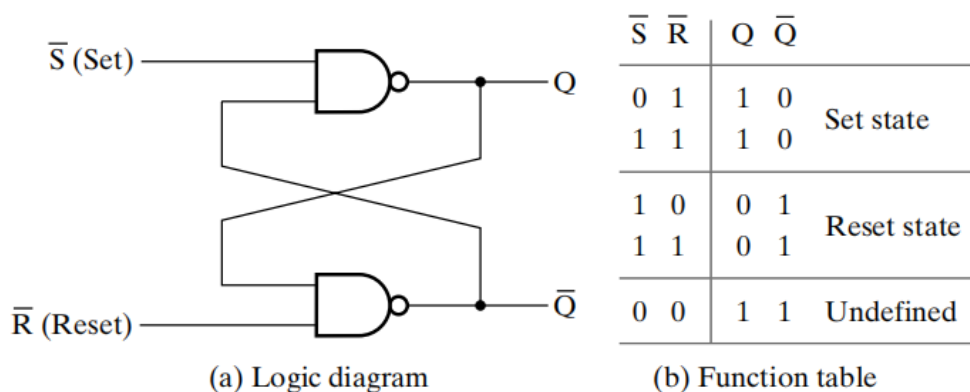
锁存器

SR :



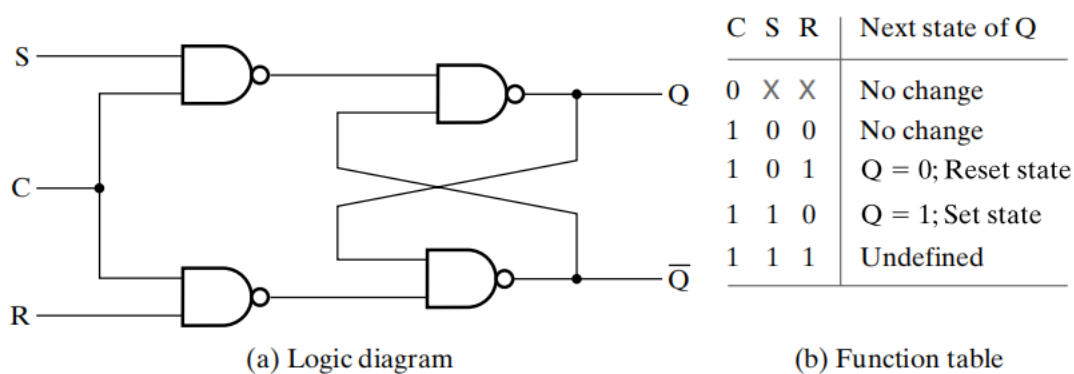
□ **FIGURE 4**
SR Latch with NOR Gates

$\bar{S}\bar{R}$:



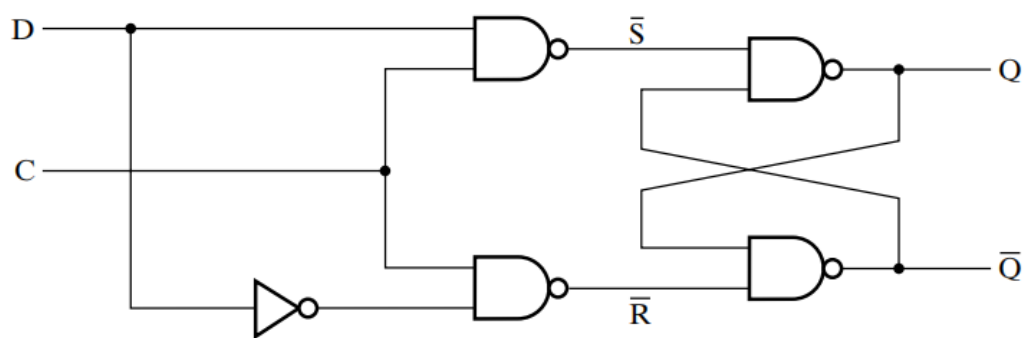
□ **FIGURE 6**
 $\bar{S}\bar{R}$ Latch with NAND Gates

带使能D的SR:



□ **FIGURE 7**
SR Latch with Control Input

D锁存器：



(a) Logic diagram

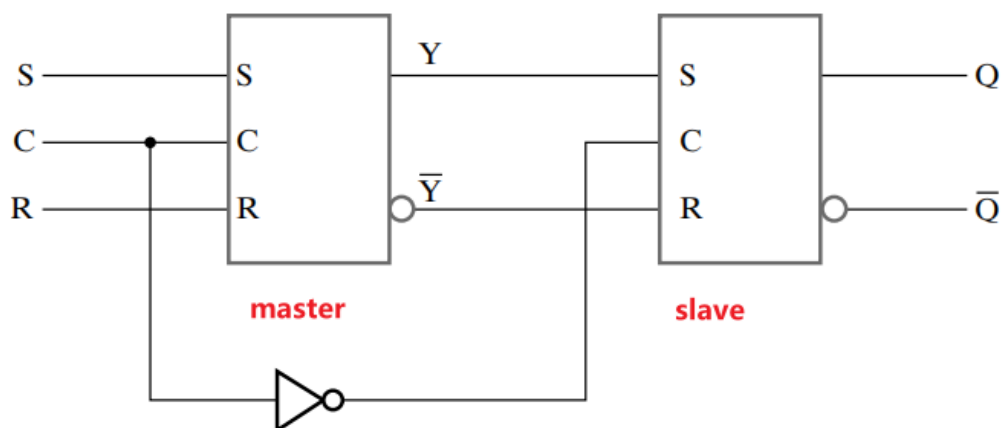
C	D	Next state of Q
0	X	No change
1	0	Q = 0; Reset state
1	1	Q = 1; Set state

(b) Function table

避免了SR同时为1的未定义状态，但是inverter带来的delay可能会导致毛刺(glitch)

触发器

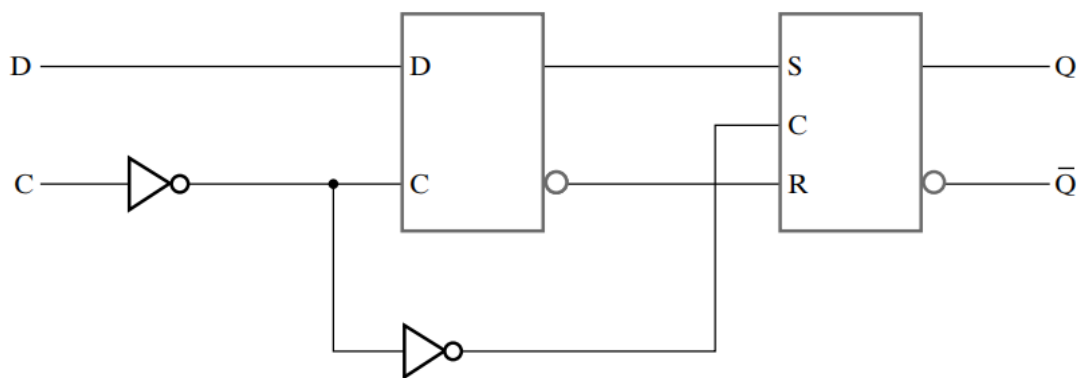
主从式：



□ **FIGURE 9**
SR Master-Slave Flip-Flop

两个SR组成，会有空翻现象

边沿触发式：



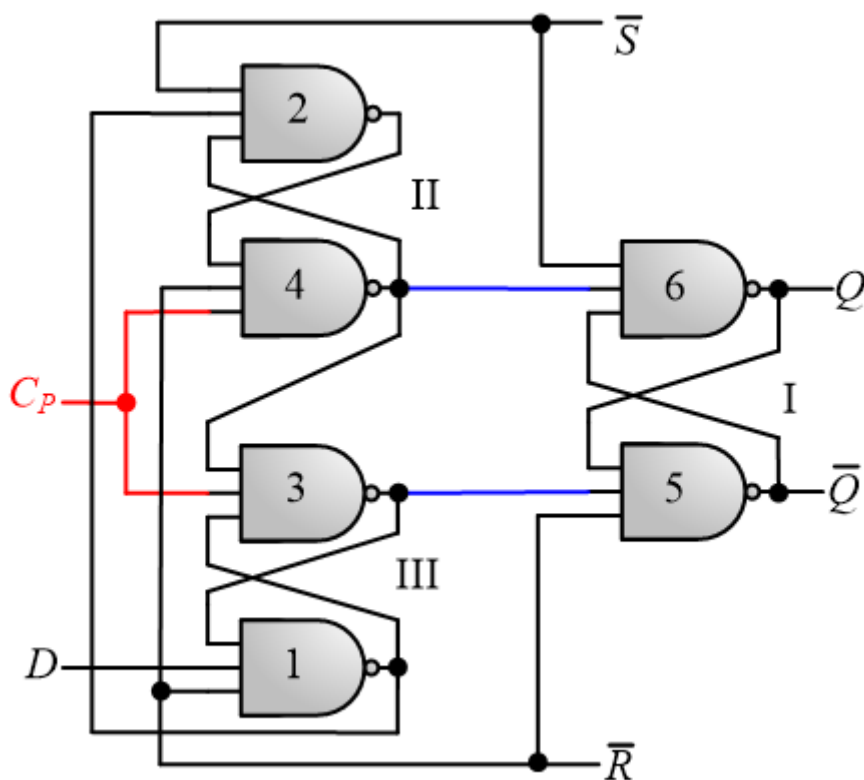
□ **FIGURE 12**
Positive-Edge-Triggered D Flip-Flop

D+SR组成，由边沿触发，防止空翻

这种触发器不能维持状态不变。需要一个MUX将其输出连接到D输入。

一般不采用门控时钟(clock gating)的方法，因为会有时钟偏移(clock skew)

正边沿维持阻塞型D触发器：

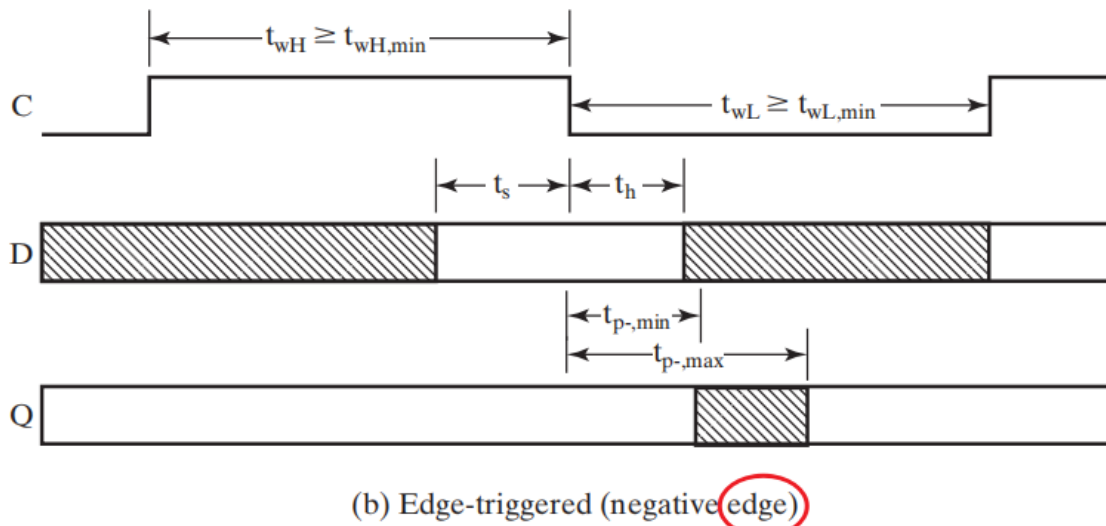
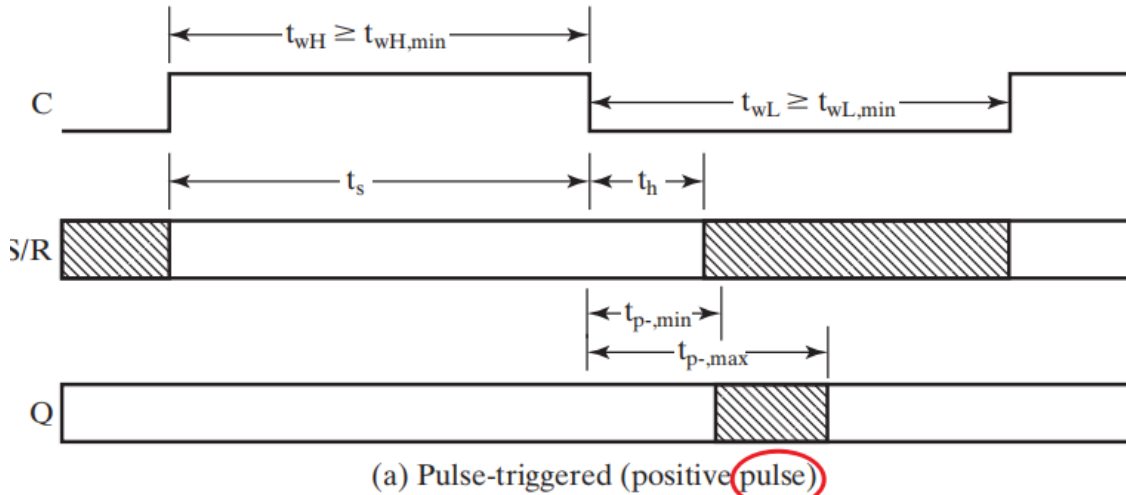


正边沿触发，无空翻，可以维持自身状态

无效状态

- 以不会带来危害的原则来定义无效状态的输出
- 用一个额外的输出或者一个未使用的输出代码来指明进入了无效状态
- 适当定义无效状态的下一状态

触发器定时



建立时间setup time：让输出发生改变的时钟变换之前，输入要保持不变的时间

保持时间hold time：让输出发生改变的时钟变换之后，输入要保持不变的时间，不然主锁存器可能会响应输入的变化

beyond that required by the path. From Figure 7-58, the following equation for a path of type $P_{FF,FF}$ results:

$$t_p = t_{\text{slack}} + (t_{\text{pd,FF}} + t_{\text{pd,COMB}} + t_s)$$

In order to guarantee that a changing value is captured by the receiving flip-flop, t_{slack} must be greater than or equal to zero for all of the paths. This requires that

$$t_p \geq \max(t_{\text{pd,FF}} + t_{\text{COMB}} + t_s) = t_{p,\text{min}}$$

应该注意的是，这个计算的delay是发生在一个时钟周期内的。时钟的最大频率也取决于：一个时钟周期内，一个触发器到另一个触发器的最长延迟

数字硬件实现

pMOS：不能接在低电平上，gate为低电平，pMOS导通

nMOS: 不能接在高电平上, gate为高电平, nMOS导通

PLA: 是由两个部分组成 一个可编程的与门阵列 + 一个可编程的或门阵列

PAL: 是由两部分组成 一个可编程的与门阵列+一个固定逻辑的或门输出阵列, 灵活性不如PLA

寄存器

并行加载移位寄存器

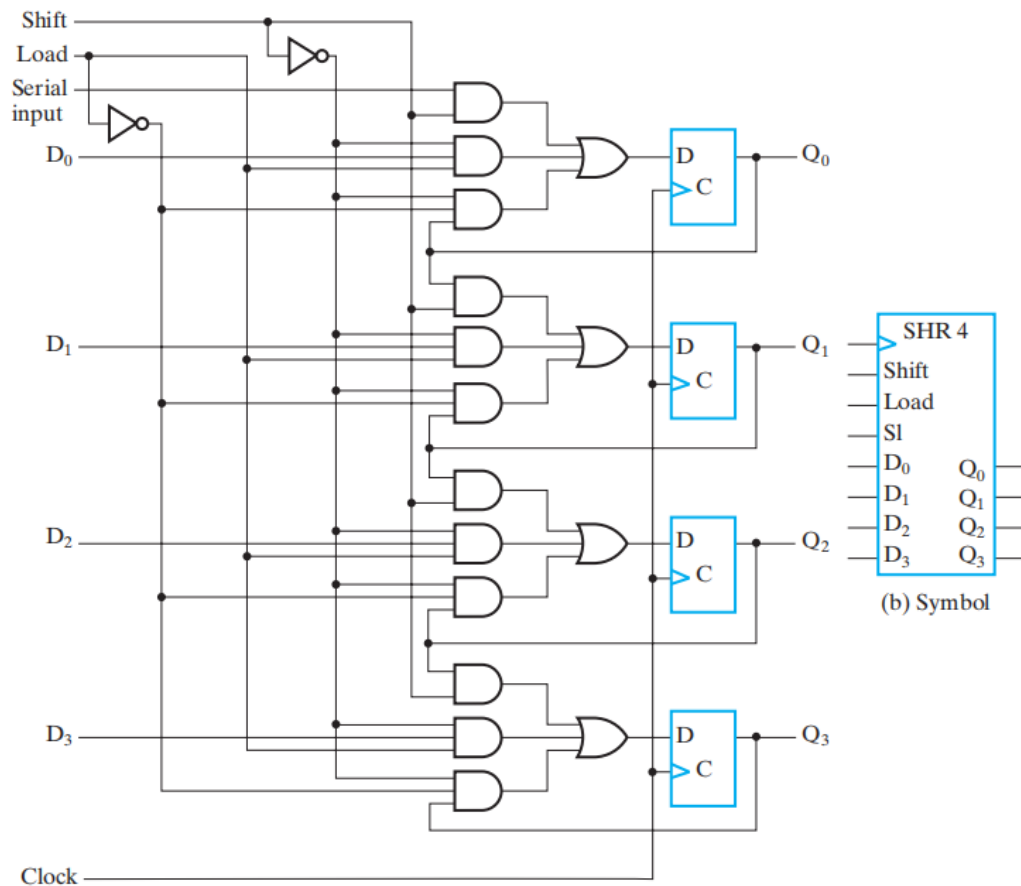
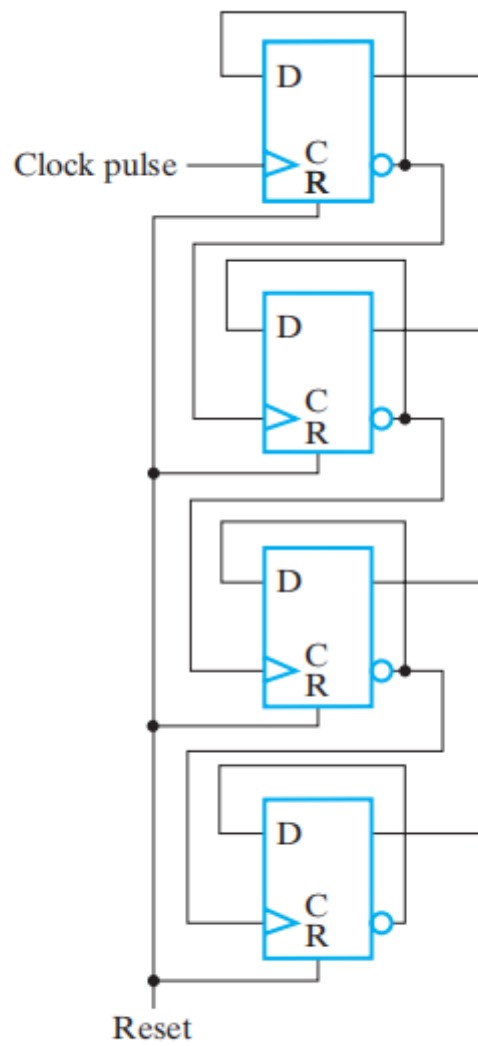


FIGURE 6-10
Shift Register with Parallel Load

行波计数器

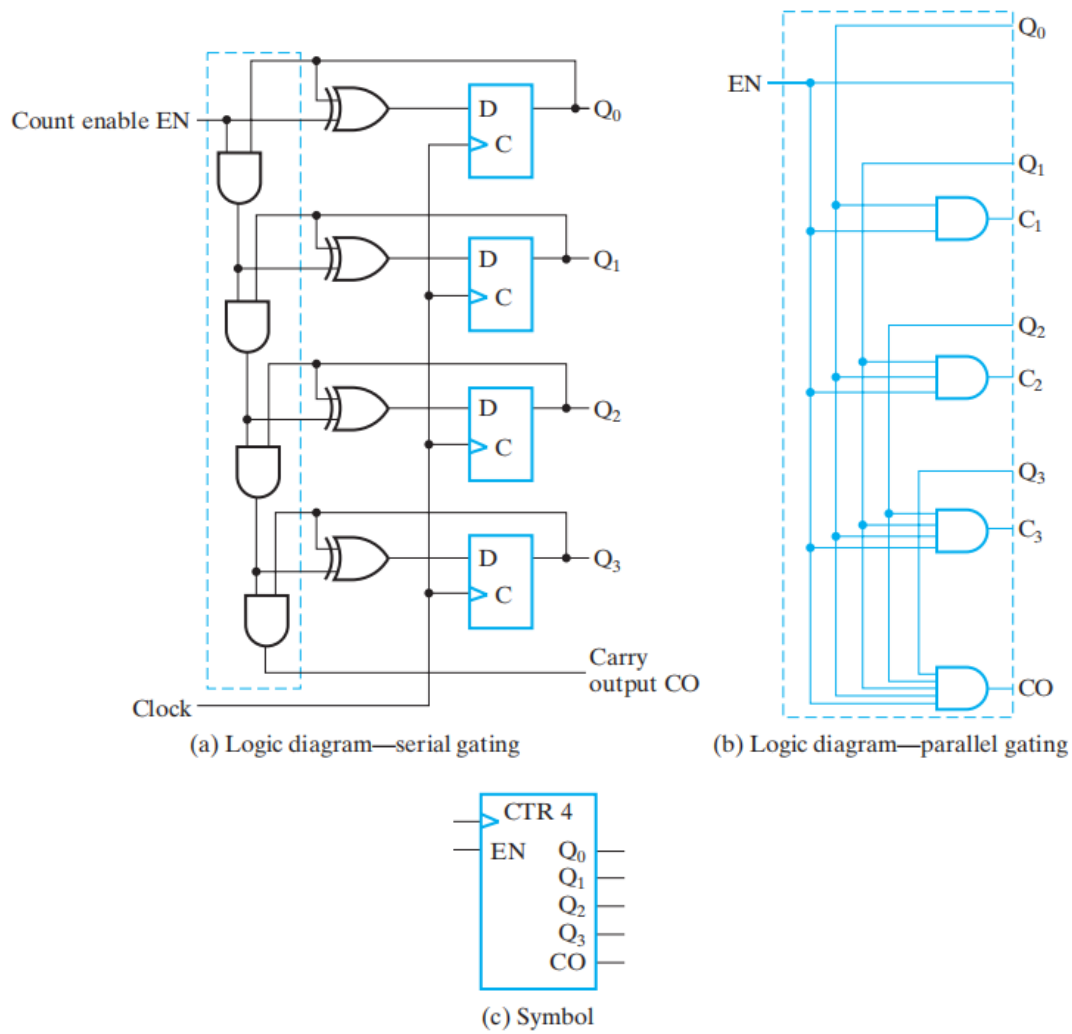


□ **FIGURE 6-12**
4-Bit Ripple Counter

异步，存在较大delay

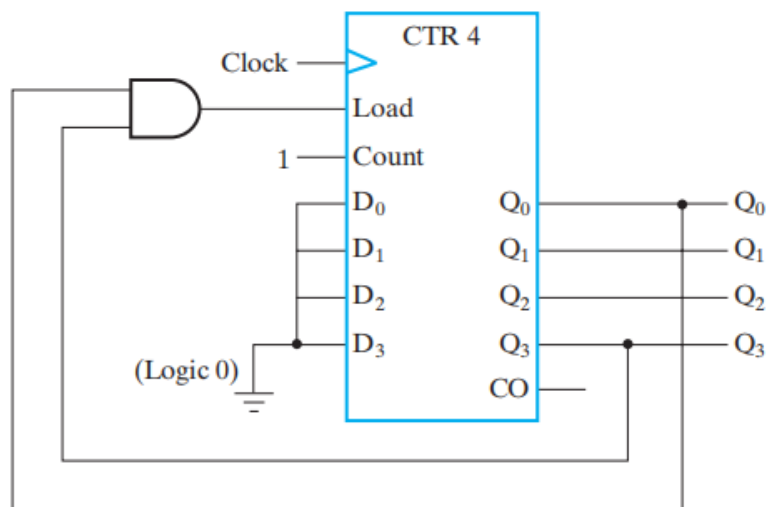
同步计数器

串行与并行计数器



BCD计数器

6-6 / Microoperations on a Single Register □ 351



□ **FIGURE 6-15**
BCD Counter

循此思想可以实现任意起点终点的计数，起点改变载入数值，终点改变载入信号

三态门Three-state Buffer

- 有高阻态Hi-Z
- 高阻态相当于断路
- 多个三态门存在时，同一时刻只能有一个输入/输出0或1(EN=1)

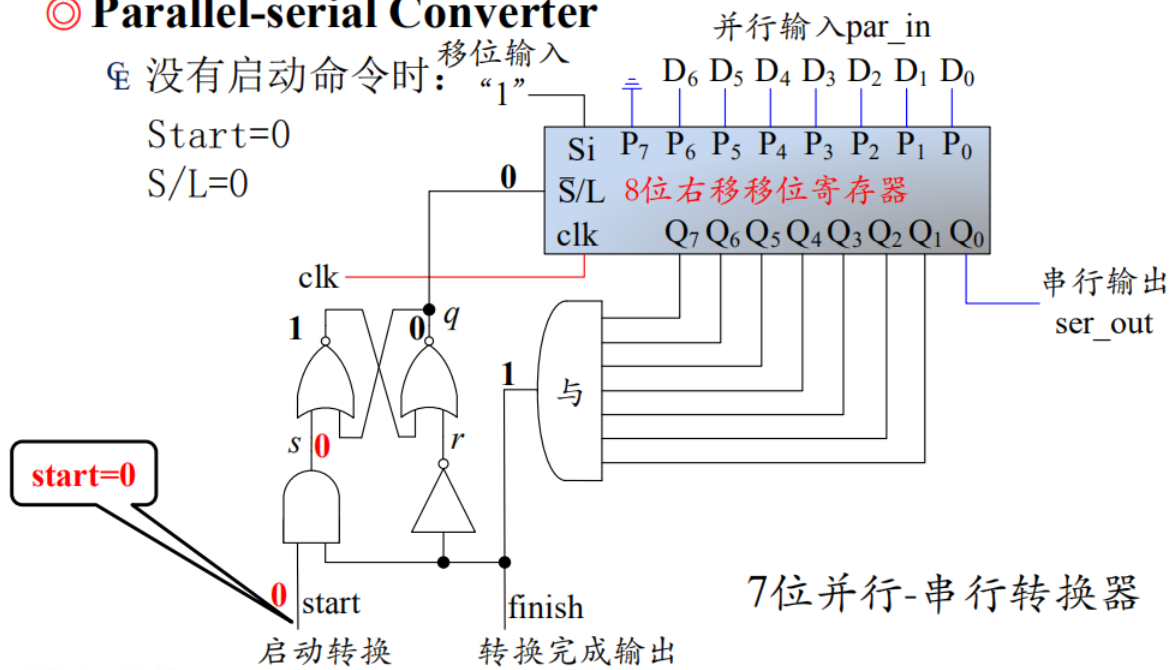
并行串行转换器

◎ Parallel-serial Converter

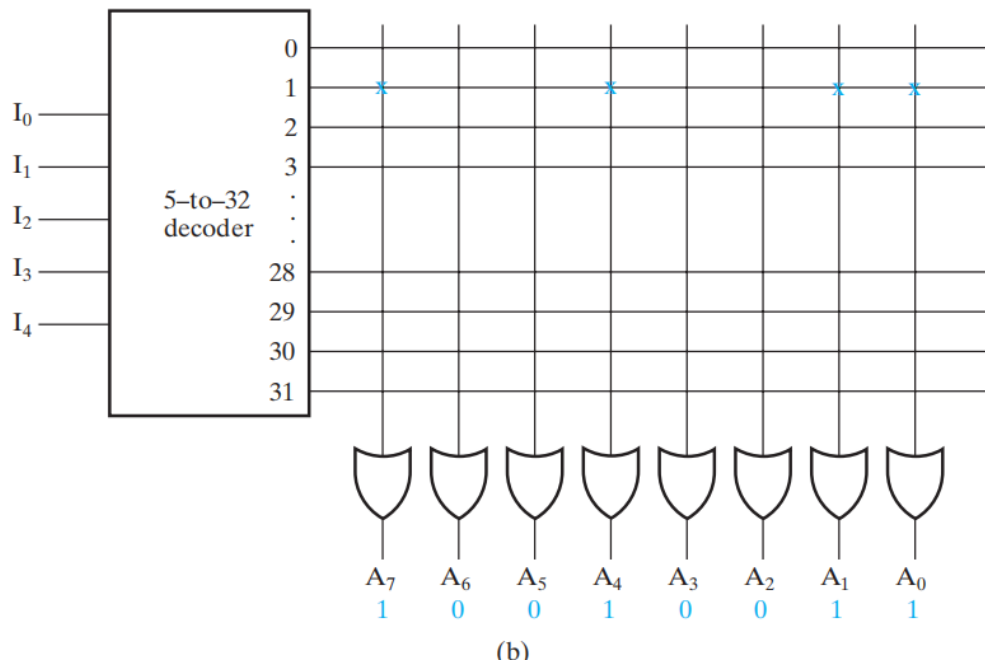
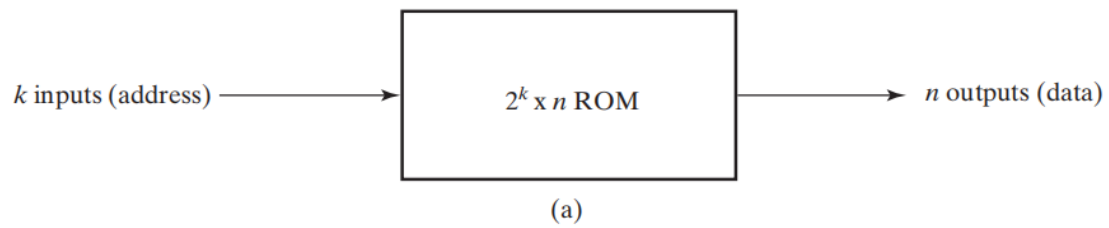
Ⓔ 没有启动命令时：移位输入

Start=0

S/L=0



ROM



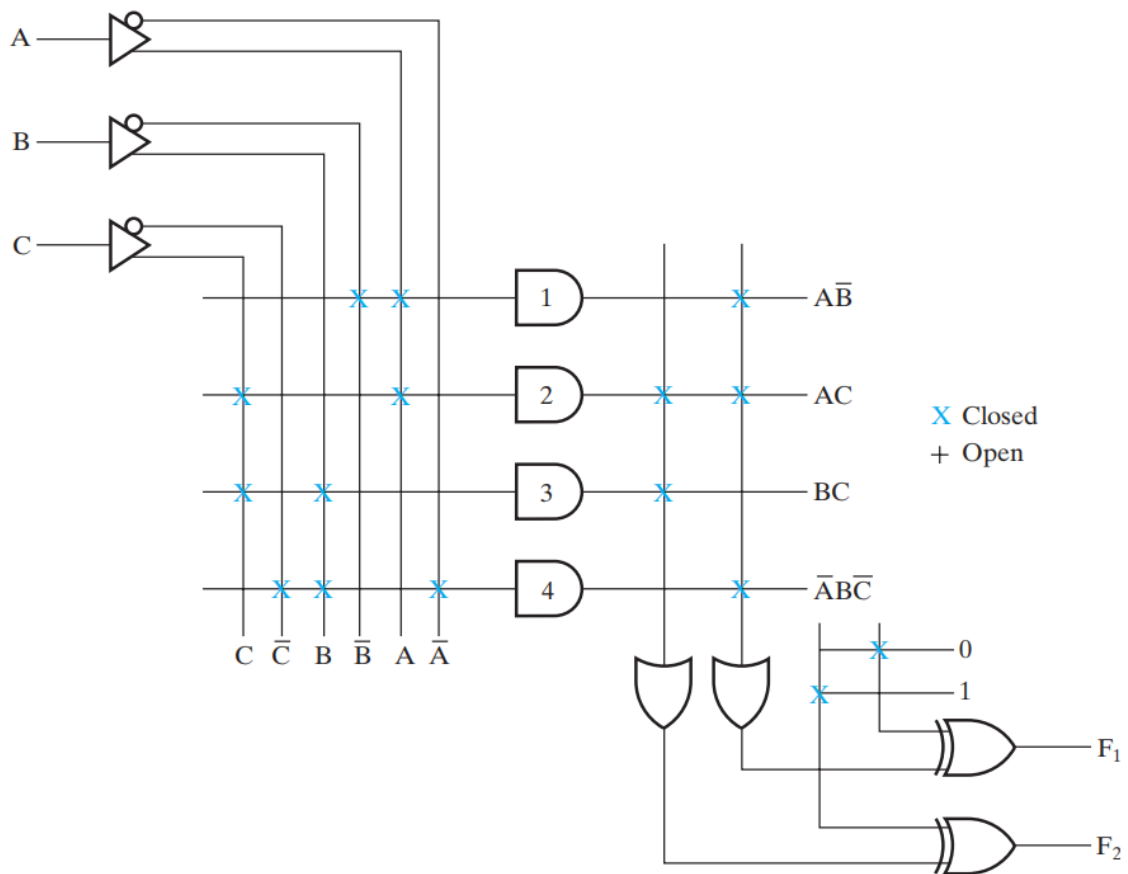
输入地址全译码，再把对应的阵列节点连上

Programmable Logic Array

与门阵列与或门阵列都是可编程的

由于两个异或门，其可以实现SOP及其反函数

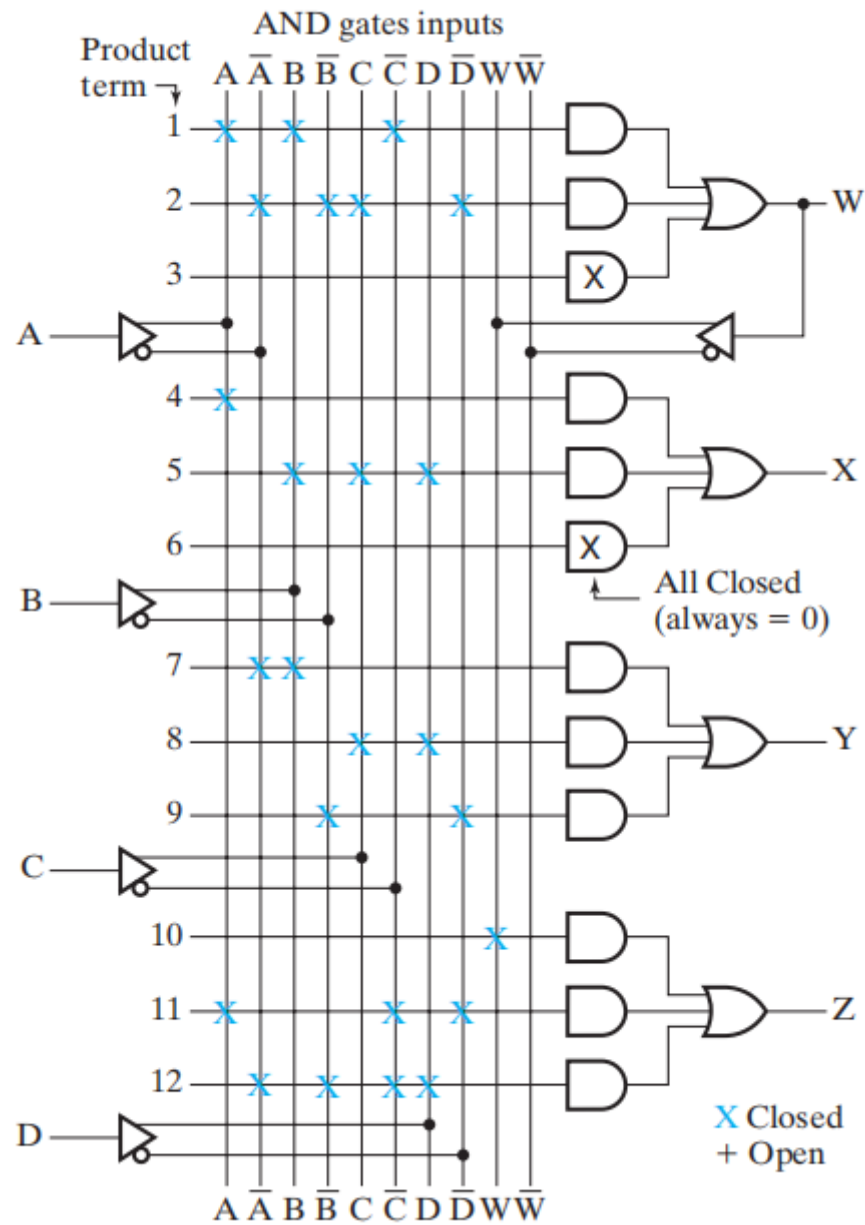
输出可以共用minterms



Programmable Array Logic

与门阵列可编程，或门阵列固定

不可共用minterms，但是一个输出可以用另外一个输出作为因子



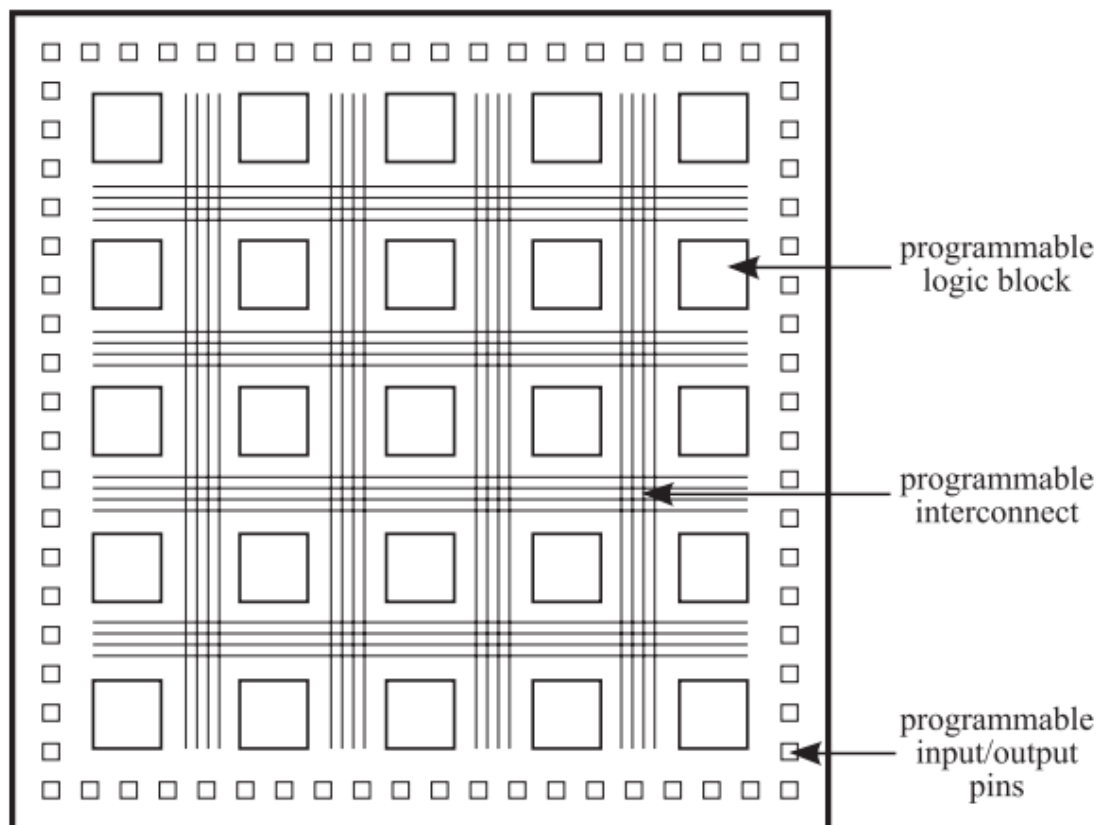
FPGA

基于LUT

多个可编程逻辑块

有可编程互联网连接多个可编程逻辑块

有可编程输入输出引脚



存储器

Static Random Access Memory

用MOS，速度快，可做Cache

模型主体为RS锁存器，实际上是4~6个transistor:

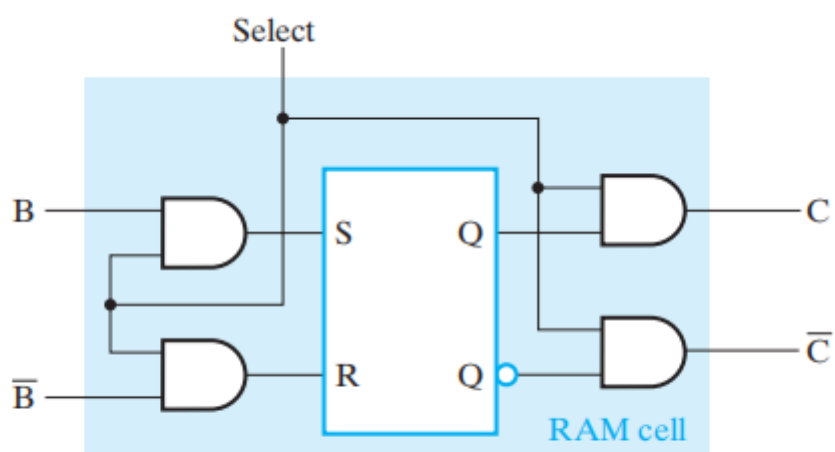
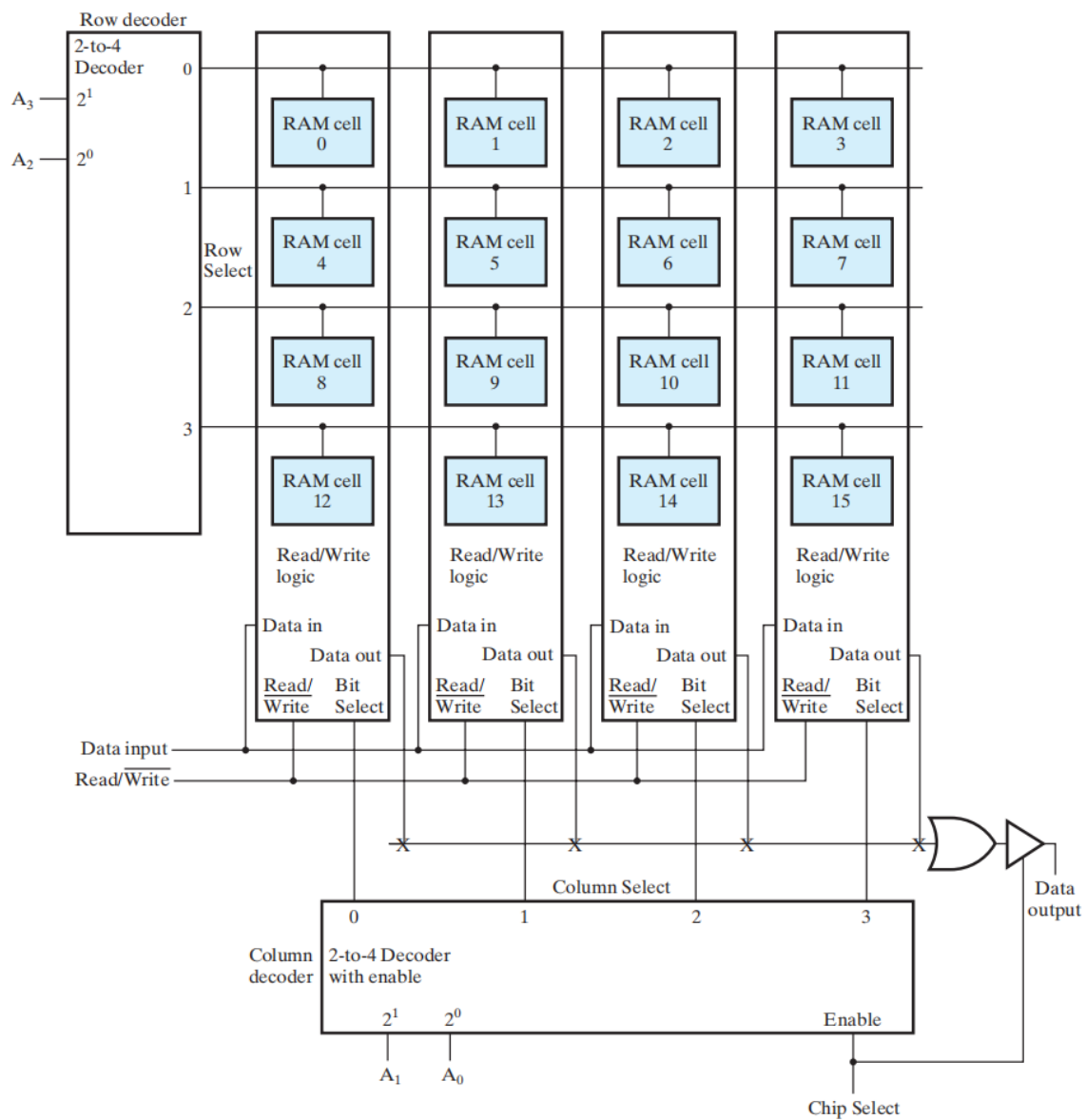


FIGURE 7-4
Static RAM Cell

采用重合选择coincident selection:



否则可能decoder太大，要求的扇出系数也太大

Dynamic Random Access Memory

结构简单，成本低，面积小而容量大，可做内存

模型为D锁存器，实际为电容+晶体管：

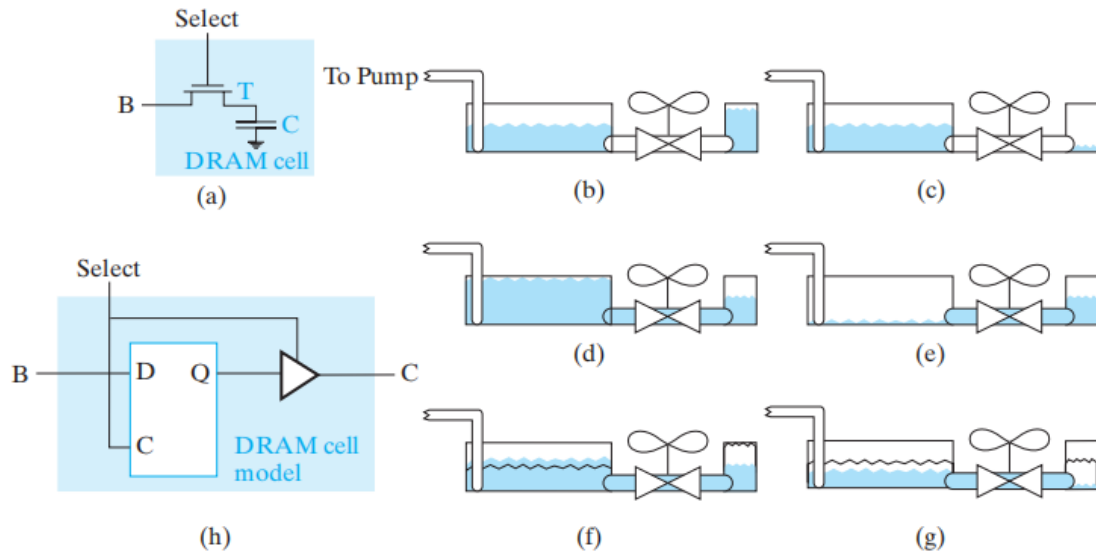


FIGURE 7-12
Dynamic RAM cell, hydraulic analogy of cell operation, and cell model

用电荷指示0/1，由于泄露，需要不断刷新

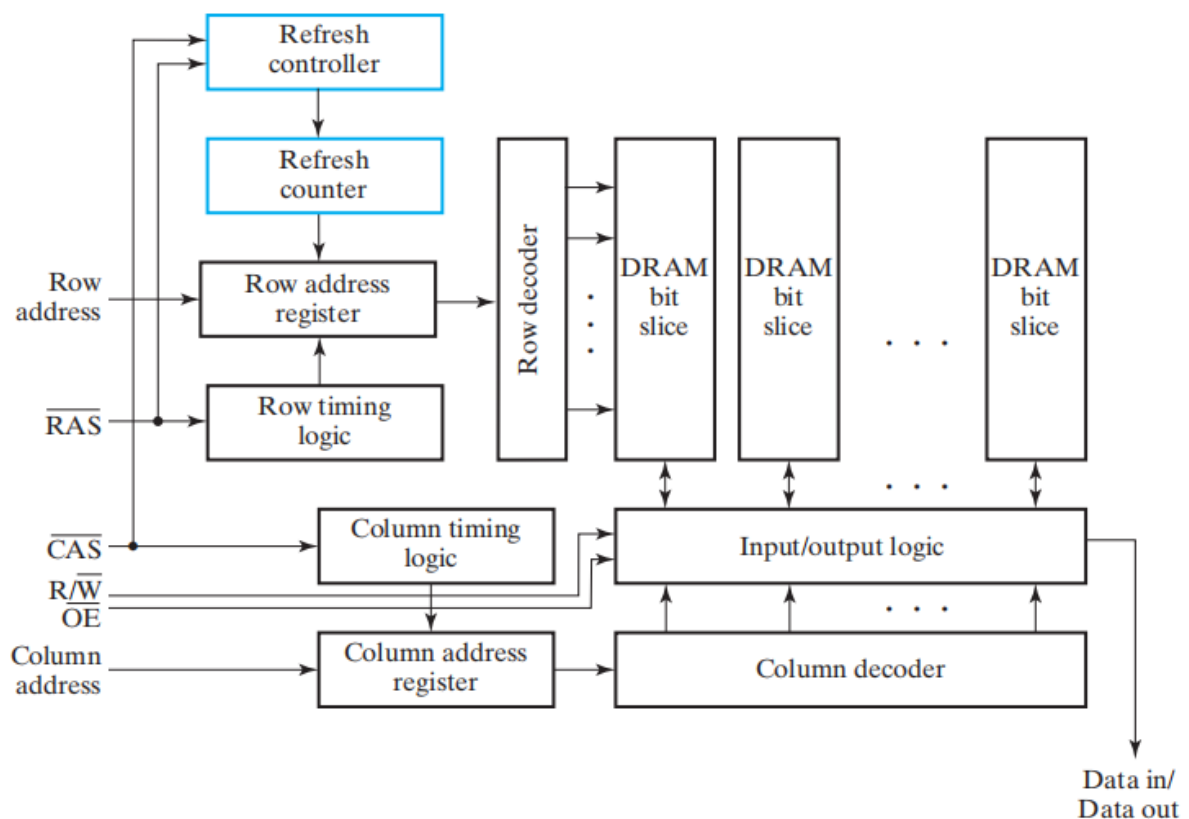


FIGURE 7-14
Block Diagram of a DRAM Including Refresh Logic

- 行地址与列地址用一条地址线
- 先加载行地址，此时信息已经在锁存器
- 再加载列地址，直接读出数据
- 选中的时候即做了一次刷新
- 写信号关闭时为了安全，地址要保持不变

128K × 8表示这个RAM有128K个存储单元，每个存储单元是一个byte(8个bit)，总共128KB或者说1M个bit

DRAM的行地址位数=地址引脚数

5-1

X	Y	Bin	Diff	Bout
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

5-2

X	A	B	A	B
0	X	X	X	X
1	0	0	0	1
1	0	1	1	1
1	1	1	1	0
1	1	0	0	0