

# CA\_Assignment9

Assign	
tag	homework
姓名	周鹏宇
学号	2019K8009929039

1. 找一台电脑，打开机箱，说明每条连线都是什么总线。(注意:一定要先切断电源。)



- 居中俯视为矩形的是DDR
- 左下角银色矩形为PCI
- 右下角阴暗处为USB

2. 说明总线包含哪些层次。

- a. 机械层。接口的外形、尺寸、信号排列、连接线的长度范围等。
- b. 电气层。信号描述、电源电压、电平标准、信号质量等。
- c. 协议层。信号时序、握手规范、命令格式、出错处理等。

d. 架构层。硬件模型、软件架构等。

不同的总线包含的内容也有所不同，有的总线包含以上所有的层级，有的总线可能只包含部分层级。

---

3. 假定一组 AXI 3.0 总线，ID 宽度为 8，数据宽度为 64，地址宽度为 32，请计算该组 AXI 总线的信号线数量。

考虑AXI总线的主要数据信号，有：

- 写请求通道：
  - 目标地址 32
  - 写请求标识号 8
  - 写请求数据宽度 3
  - 写请求数据长度 4
  - 写请求类型 2
  - 写请求有效信号 1
  - 写请求接收准备好信号 1

合计51

- 写数据通道：
  - 写数据标识号 8
  - 写数据 64
  - 写数据屏蔽信号 8
  - 写数据有效信号 1
  - 写数据接收准备好信号 1

合计82

- 写响应通道：
  - 写响应标识号 8
  - 写响应状态 2
  - 写响应有效信号 1
  - 写响应接收准备好信号 1

合计12

- 读请求通道：
  - 读请求标识号 8
  - 读请求地址 32

- 读请求数据宽度 3
- 读请求数据长度 4
- 读请求类型 2
- 读请求有效信号 1
- 读请求接收准备好信号 1

合计51

- 读数据通道：
  - 读数据标识号 8
  - 读数据 64
  - 读响应状态 2
  - 读数据有效信号 1
  - 写读数据接收准备好信号 1

合计76

以上总计为272

#### 4. 阅读 AMBA APB 总线协议并设计一个 APB 接口的 GPIO 模块。

```
module gio(
  input wire PCLK,
  input wire PRESETn,
  input wire PSEL,
  input wire[11:0] PADDR,
  input wire PENABLE,
  input wire PWRITE,
  input wire[31:0] PWDATA,
  output wire [31:0] PRDATA,
  input wire [3:0] GPIOI,
  output wire [2:0] GPIOO);

  wire read_en,write_en;
  wire [3:0] REG_00 ;
  reg [2:0] REG_01;
  assign read_en=PSEL & (~PWRITE);
  assign write_en=PSEL & (~PENABLE)&PWRITE;
  always@(posedge PCLK or negedge PRESETn)begin
    if(~PRESETn)begin
      REG_01[2:0]<=3'b0;
    end else if(write_en)begin
      case(PADDR)[11:2])
        10'b1:REG_01[2:0]=PWDATA[2:0];
        default;;
      end case
    end
  end
  always@(*)begin
    if(read_en)begin
      case(PADDR[11:2])
```

```

        10'b0:PRDATA[31:0]={28'b0,REG_00[3:0]};
        10'b1:PRDATA[31:0]={29'b0,REG_01[2:0]};
        default:PRDATA[31:0]=32'b0;
    endcase
end else begin
    PRDATA=32'b0;
end
end
end
assign REG_00[3:0]=GPIOI[3:0];
assign GPIO0[2:0]=REG_01[2:0];
endmodule

```

## 5. DRAM 的寻址包含哪几部分？

对 DRAM 的寻址是通过 bank 地址、行地址和列地址来进行的。

考虑到多组DRAM串联的情况，则包含DRAM 的片选信号、Bank 地址、行地址、列地址。

## 6. 假设一个处理器支持两个 DDR3 内存通道，每个通道为 64 位宽，内存地址线个数为 15，片选个数为 4，计算该处理器实际支持的最大内存容量。

一般内存芯片是采用行列复用技术，故其支持的最大数量为：

$$2^{\text{片选个数}} \times 2^{\text{内存地址线个数（对于行）}} \times 2^{\text{内存地址线个数（对于列）}} \times 2 \times \frac{64}{8} = 2^{38} \text{byte}$$