

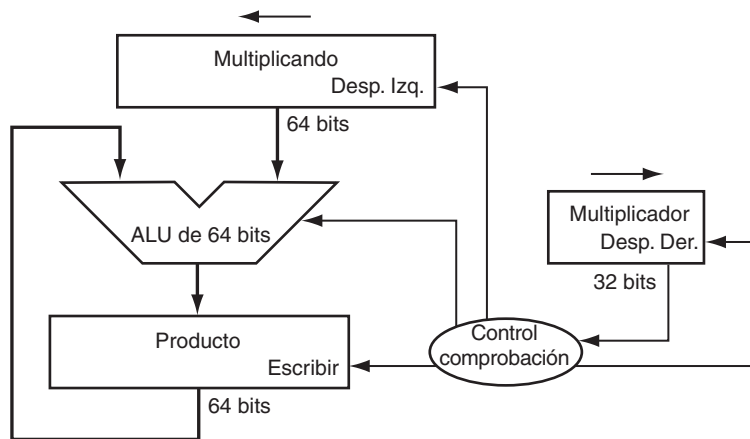
Una vez que hemos visto las bases de la multiplicación, tradicionalmente el próximo paso ha sido proporcionar el hardware de multiplicación altamente optimizado. Rompemos con la tradición, convencidos de que conseguirá un mejor entendimiento, viendo la evolución del hardware de multiplicación y el algoritmo a lo largo de múltiples generaciones. Por ahora, asumamos que estamos multiplicando sólo números positivos.

## Versión secuencial del algoritmo y el hardware de multiplicación

Este diseño imita el algoritmo que todos nosotros aprendimos en primaria; el hardware se muestra en la figura 3.4. Hemos dibujado el hardware de manera que los datos fluyan de arriba hacia abajo para que se parezca más al método de lápiz y papel.

Supongamos que el multiplicador está en el registro de 32 bits “Multiplicador” y que el registro de 64 bits “Producto” tiene un valor inicial igual a 0. Del ejemplo de lápiz y papel anterior, está claro que necesitaremos mover el multiplicando a la izquierda un dígito cada paso para que pueda ser añadido a los productos intermedios. A lo largo de 32 pasos un multiplicando de 32 bits se movería 32 bits a la izquierda. Por esto, necesitamos un registro multiplicando de 64 bits, cuyo valor inicial es el multiplicando de 32 bits a la derecha y 0s en la mitad izquierda. Este registro se desplaza un bit a la izquierda en cada paso para alinear el multiplicando con la suma que está siendo acumulada en el registro “Producto” de 64 bits.

La figura 3.5 muestra los tres pasos básicos necesarios para cada bit. El bit menos significativo del multiplicador (Multiplicador0) determina si el multiplicando se suma al registro producto. El desplazamiento a la izquierda del paso 2 tiene el efecto de mover los operandos intermedios a la izquierda, justo como cuando se multi-



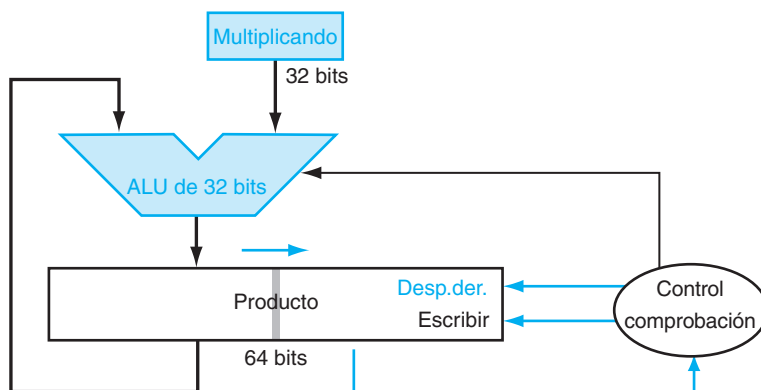
**FIGURA 3.4 Primera versión del hardware de multiplicación.** El registro multiplicando, la ALU y el registro producto tienen un ancho de 64 bits, y sólo el multiplicador contiene 32 bits. (El [apéndice C](#) describe la ALU.) El multiplicando de 32 bits empieza en la mitad derecha del registro multiplicando y se desplaza a la izquierda 1 bit en cada paso. El multiplicador se desplaza en la dirección opuesta a cada paso. El algoritmo empieza con el producto iniciado a cero. El control decide cuándo desplazar los registros multiplicando y multiplicador y cuándo escribir nuevos valores en el registro producto.

5 y 100 veces más frecuentes que la multiplicación. Consecuentemente, en muchas aplicaciones, las multiplicaciones pueden tardar varios ciclos de reloj sin afectar significativamente a las prestaciones. Sin embargo, la ley de Amdahl (véase la sección 1.8) nos recuerda que incluso una frecuencia moderada para una operación lenta puede limitar las prestaciones.

Este algoritmo y su hardware se pueden refinar fácilmente para que tarde un ciclo de reloj en cada paso. El aumento de velocidad se obtiene al realizar las operaciones en paralelo: el multiplicador y multiplicando se desplazan mientras el multiplicando se suma al producto si el bit del multiplicador es 1. El hardware sólo tiene que asegurarse de que comprueba el bit correcto del multiplicador y de que obtiene la versión del multiplicando antes del desplazamiento. El hardware se suele optimizar aún más partiendo por la mitad el tamaño del sumador y los registros al fijarse dónde hay trozos no usados de los registros y del sumador. La figura 3.6 muestra el hardware modificado.

En el caso de multiplicaciones por constantes, es posible reemplazar el cálculo aritmético por desplazamientos. Algunos compiladores reemplazan multiplicaciones por constantes cortas por una serie de desplazamientos y sumas. Puesto que en base 2 un bit a la izquierda representa un número dos veces mayor, desplazar los bits a la izquierda tiene el mismo efecto que multiplicar por una potencia de 2. Tal y como se mencionó en el capítulo 2, casi todos los compiladores implementan la optimización de reducción de esfuerzo que supone sustituir una multiplicación por una potencia de 2 por un desplazamiento a la izquierda.

## Interfaz hardware software



**FIGURA 3.6 Versión refinada del hardware de multiplicación.** Compárela con la primera versión de la figura 3.4. El registro multiplicando, la ALU y el registro multiplicador tienen un ancho de 32 bits, y sólo el registro producto sigue siendo de 64 bits. Ahora el producto se desplaza a la derecha. El registro multiplicador separado también ha desaparecido. En su lugar, el multiplicador se almacena en la mitad derecha del registro del producto. Estos cambios se destacan en color. El registro Producto debería tener, en realidad, 65 bits para almacenar el acarreo de salida del sumador, pero se muestra con sólo 64 bits para destacar la evolución de la figura 3.4.