



Objetivo: Analizar conceptos relativos al diseño de procesadores segmentados y superscalares. Comprender el funcionamiento general de una organización de memoria caché y su implicancia.

Recursos y Bibliografía:

David. Patterson, John L. Hennessy - Computer Organization and Design: The Hardware/Software Interface
Arq. MIPS Vol I, II and III.

Microarquitectura (Organización del procesador)

- Suponga una microarquitectura MIPS monociclo con un reloj de 10Mhz. Se diseña una nueva versión de la microarquitectura, pero esta vez segmentada en 9 etapas.
¿Cuál podría ser la ganancia o mejora de rendimiento teórico esperado?. ¿Qué variable de la ecuación del tiempo de ejecución de un programa se mejora, cuánto, y por qué?. ¿Qué cuestiones podrían impedir que se alcance el rendimiento teórico esperado?.
- Suponga ahora que además de la mejora anterior, se agrega al diseño 3 caminos de datos idénticos, para lograr emitir y ejecutar tres instrucciones por ciclo de reloj. ¿Qué variable de la ecuación del tiempo de ejecución de un programa se mejora, cuánto, y por qué?. ¿Qué cuestiones podrían impedir que se alcance el rendimiento teórico esperado?. ¿Cómo se llama este tipo de mejora?
- Cada vez que hay una instrucción de salto (j, beq, bne, jal, b) el programa ensamblador suele agregar una instrucción nop justo a continuación. Averigue cómo se le llama, en la arquitectura, a esa instrucción después del salto, e intente analizar por qué el ensamblador agrega esa instrucción.
- Sea el siguiente flujo de instrucciones que se ejecutan en el procesador MIPS con la microarquitectura segmentada de cinco etapas (el que vemos en la teoría):

```
addi $t3, $zero, 4
addi $t6, $zero, 5
add $t2, $t3, $t6
sub $t3, $t2, $t3
lw $t6, 100($t2)
beq $6, $t2, salir
nop
```

- ¿Existen dependencias de datos?. Indique entre qué instrucciones y registros.
¿Cómo pueden solucionarse esas dependencias?. Explique al menos 3 formas.
¿Cuántos ciclos de reloj demora en ejecutar ese programa?

Memoria

- a. Ejecute los programas m1.c y m2.c, vistos en la clase de teoría, en las PCs de laboratorio. Suponiendo que en m1 la tasa de aciertos a cache se aproxima al 90%. Realice un análisis comparando los tiempos de ejecución, y estime cuál es el tiempo medio de acceso a memoria en la PC de laboratorio en la que está trabajando.
- b. Se dispone de una caché asociativa por conjuntos de dos vías, con 512 entradas de caché. En cada línea de caché se almacena una palabra. Se realizó una acción de anular la caché, por lo que todos los bits de validez de las entradas están en cero. Se ejecuta el siguiente programa:

```
li t0, 0xF140
lw t1, 0(t0)
addi t0, t0, 1
lb t1, 0(t0)
addi t0, t0, 3
lw t2, 0(t0)
addi t0, t0, 0x400
lw t3, 0(t0)
sw t3, 40(t0)
addi t0, t0, -1028
lw t4, 0(t0)
```

Realice un diagrama de la caché, e indique:

- Qué entrada de la caché corresponde a cada dirección efectiva de carga o almacenamiento.
- Si se producen acierto o fallo de caché en cada acceso.