
Arquitecturas y Organización de Computadoras I

Subsistema de Entrada / Salida

Noviembre 2020

Programa analítico de la asignatura

UNIDAD 4: Entrada/Salida

Tipos y características de los dispositivos de E/S. Buses. Registros E/S. Direccionamiento: mapeado en memoria y mapeado aislado. E/S mediante consulta (polling). E/S mediante interrupciones. E/S mediante acceso directo a memoria(DMA).

Subsistema de entrada y salida (E/S)

Dispositivos de E/S

Controladores de dispositivos

Interconectados con CPU y Memoria

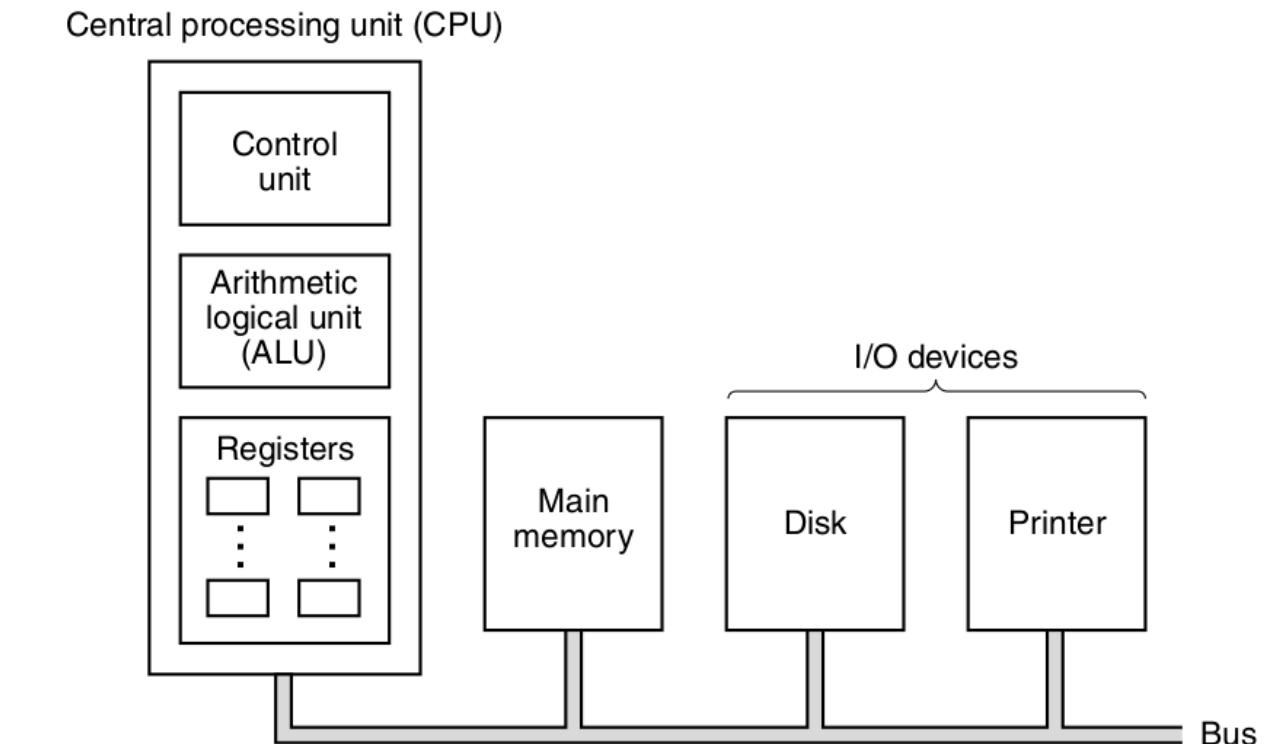


Figure 2-1. The organization of a simple computer with one CPU and two I/O devices.

Interfaz entre el Procesador y los Periféricos

- El diseño de las interfaces de E/S es afectado por muchos factores (expansión, robustez, adaptabilidad)
- Rendimiento:
 - latencia de acceso
 - productividad (throughput)
 - conexión entre los dispositivos y el sistema
 - jerarquía de memoria
 - el sistema operativo
- Variedad diferente de Usuarios (bancos, supercomputadoras, ingenieros)

Dispositivos de Entrada/Salida

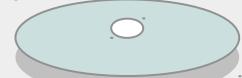
Dispositivos de Entrada / Salida



Teclado



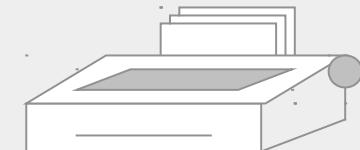
Ratón



Disco / CDROM



Monitor



Impresora

Dispositivos de Entrada/Salida

Los dispositivos mas comunes en una PC:

discos rígidos, teclado, mouse, monitor, impresora, escaner, camara, microfono, parlantes, leds, placas de red, lectoras de CD/DVD/SD, gamepads, etc.

Los dispositivos en un smartphone:

pantalla, el táctil sobre la pantalla, botones, sensores de huellas digitales, luz del flash, leds, camaras, gps, acelerometros, modem de comunicaciones, parlante, microfono, radio wireless, radio FM, lidar, sensores de proximidad, etc.

Dispositivos de Entrada/Salida

Los dispositivos mas comunes en una PC:

discos rígidos, teclado, mouse, monitor, impresora, escaner, camara, microfono, parlantes, leds, placas de red, lectoras de CD/DVD/SD, gamepads, etc.

Los dispositivos en un smartphone:

Dispositivos de Entrada/Salida

Los dispositivos mas comunes en una PC:

discos rígidos, teclado, mouse, monitor, impresora, escaner, camara, microfono, parlantes, leds, placas de red, lectoras de CD/DVD/SD, gamepads, etc.

Los dispositivos en un smartphone:

pantalla, el táctil sobre la pantalla, botones, sensores de huellas digitales, luz del flash, leds, camaras, gps, acelerometros, modem de comunicaciones, parlante, microfono, radio wireless, radio FM, etc.

¿Los dispositivos mas comunes en una computadora de un cajero de supermercado?

Dispositivos de Entrada/Salida

Los dispositivos mas comunes en una PC:

discos rígidos, teclado, mouse, monitor, impresora, escaner, camara, microfono, parlantes, leds, placas de red, lectoras de CD/DVD/SD, gamepads, etc.

Los dispositivos en un smartphone:

pantalla, el táctil sobre la pantalla, botones, sensores de huellas digitales, luz del flash, leds, camaras, gps, acelerometros, modem de comunicaciones, parlante, microfono, radio wireless, radio FM, etc.

¿Los dispositivos mas comunes en una computadora de un cajero de supermercado?

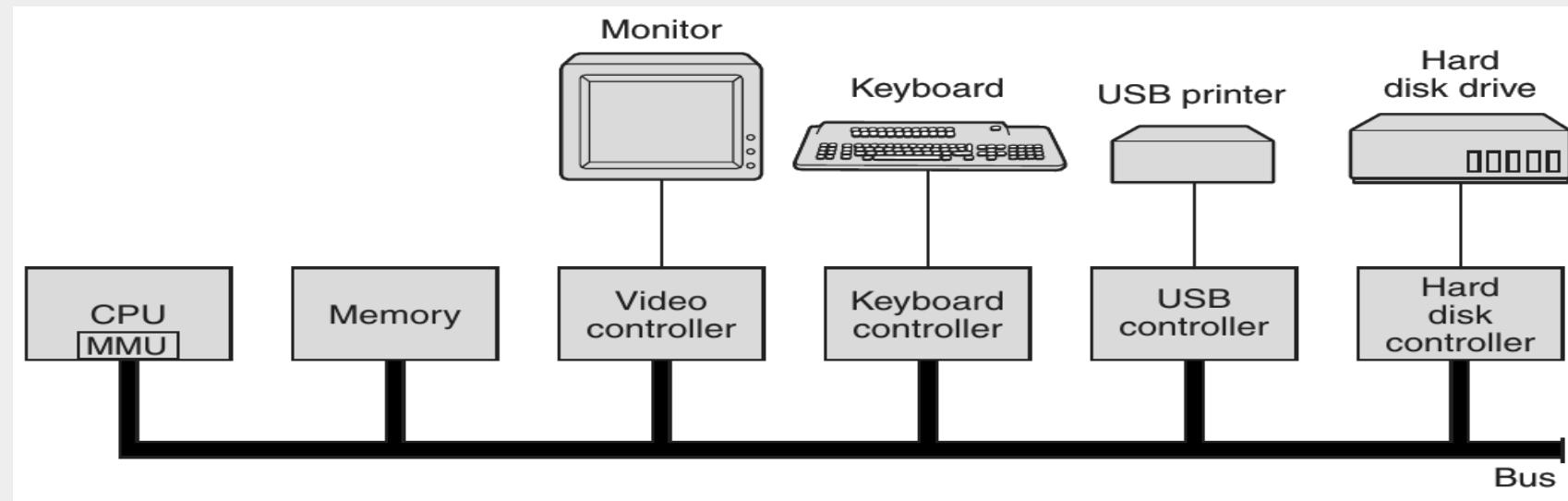
¿Que más se necesita además de CPU, memoria y E/S?

Dispositivos de Entrada/Salida

Un **medio** para conectar muchos dispositivos al Procesador-Memoria

Un **medio** para controlar los dispositivos y transferir datos

Un **medio** para que los programas de los usuarios puedan usar la E/S



BUS

Un unico bus o multiples buses (velocidad)

Dispositivos de E/S: BUS

Muchas variedades de dispositivos

- comportamiento (entrada vs. salida)
- partner (¿Quién está en el otro extremo?)
- velocidad de transferencia

Device	Data rate
Keyboard	10 bytes/sec
Mouse	100 bytes/sec
56K modem	7 KB/sec
Scanner at 300 dpi	1 MB/sec
Digital camcorder	3.5 MB/sec
4x Blu-ray disc	18 MB/sec
802.11n Wireless	37.5 MB/sec
USB 2.0	60 MB/sec
FireWire 800	100 MB/sec
Gigabit Ethernet	125 MB/sec
SATA 3 disk drive	600 MB/sec
USB 3.0	625 MB/sec
SCSI Ultra 5 bus	640 MB/sec
Single-lane PCIe 3.0 bus	985 MB/sec
Thunderbolt 2 bus	2.5 GB/sec
SONET OC-768 network	5 GB/sec

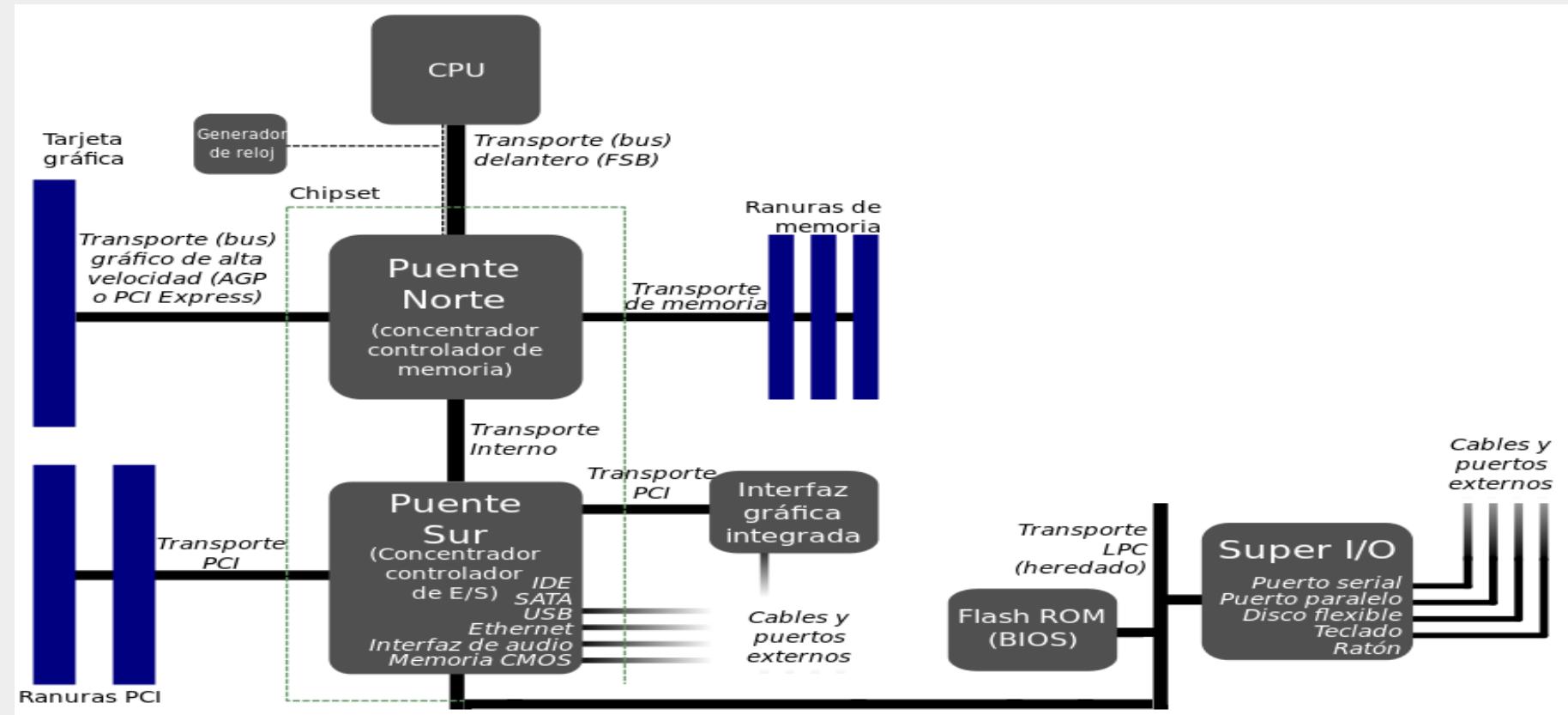
Figure 5-1. Some typical device, network, and bus data rates.

¿Es sencilla la interconexión real?

Dispositivos de E/S: BUS

Varios buses para balancear la velocidad de las interconexiones, y proveer buses específicos.

- PC (año 2000)

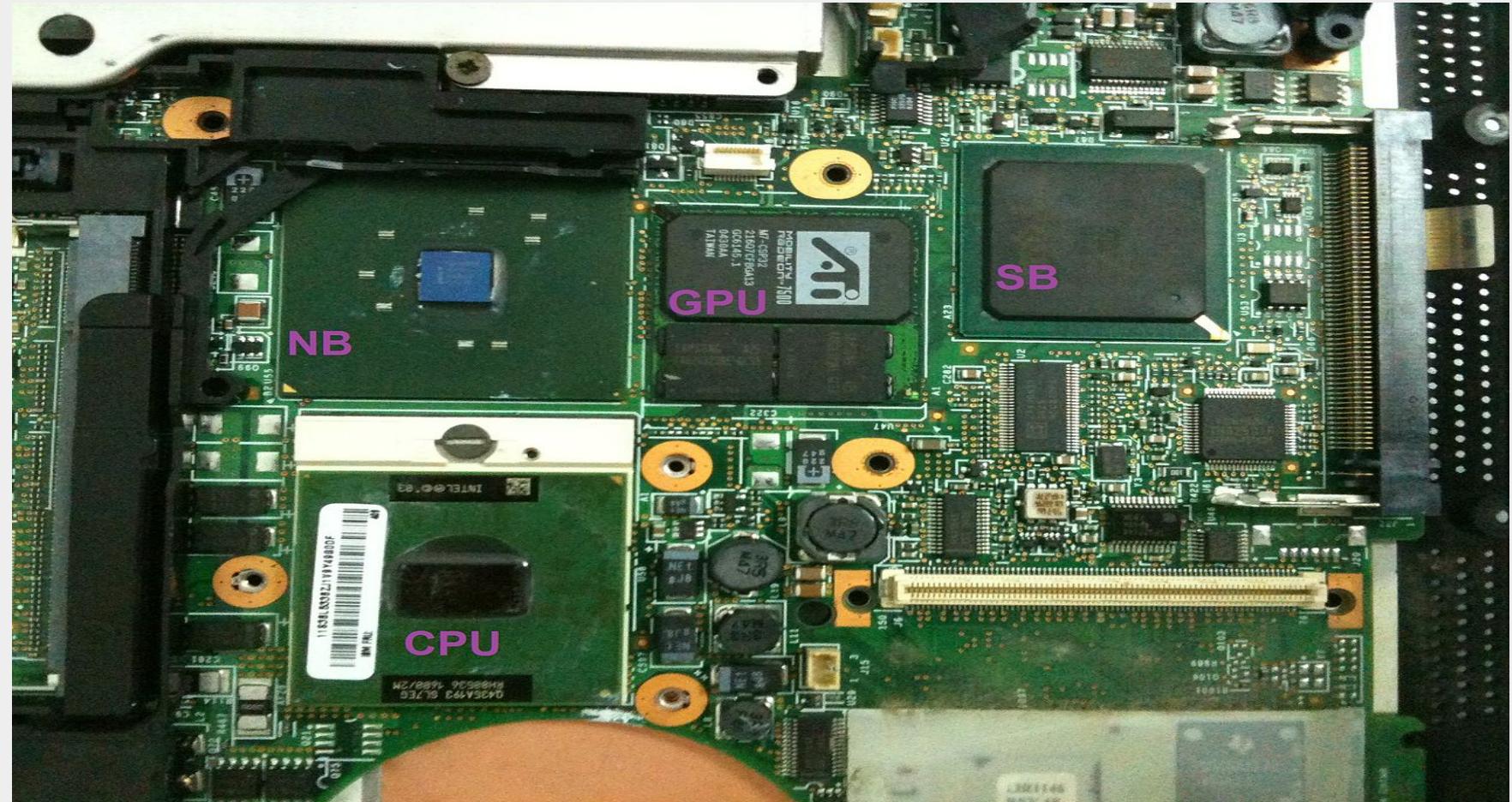


Y como luce en un hardware real....

Dispositivos de E/S: BUS

Varios buses para balancear la velocidad de las interconexiones, y proveer buses específicos.

- PC (año 2000)

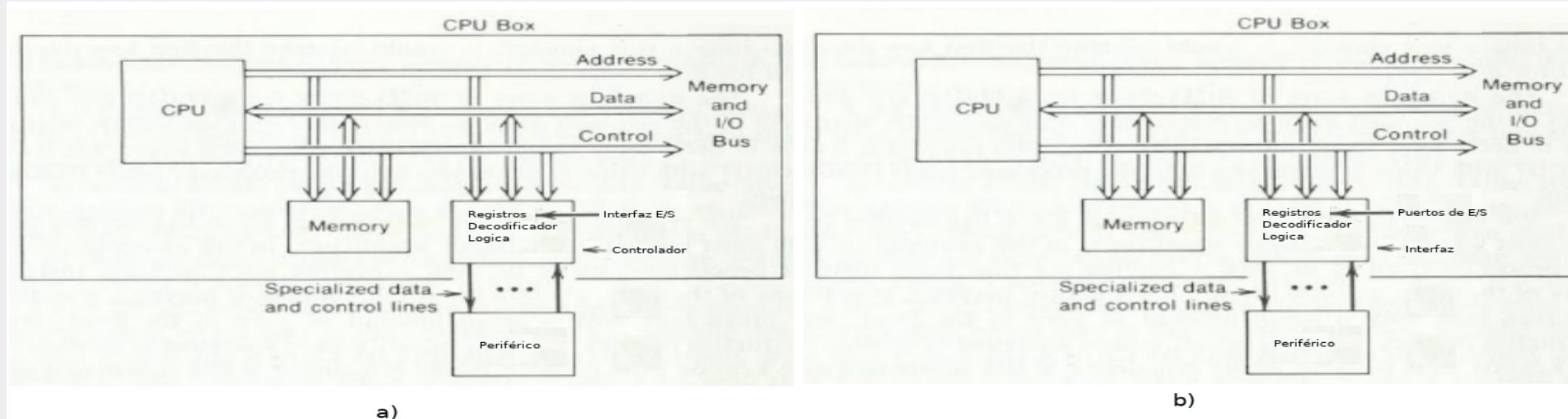


Dispositivos de E/S

Periféricos, Controladoras e Interfaces

- Un dispositivo periférico (o dispositivo de E/S) realiza alguna función para la computadora.
- Una controlador de E/S (y la interfaz del dispositivo) controla la operación de un periférico de acuerdo a comandos del procesador.

Controladora de E/S

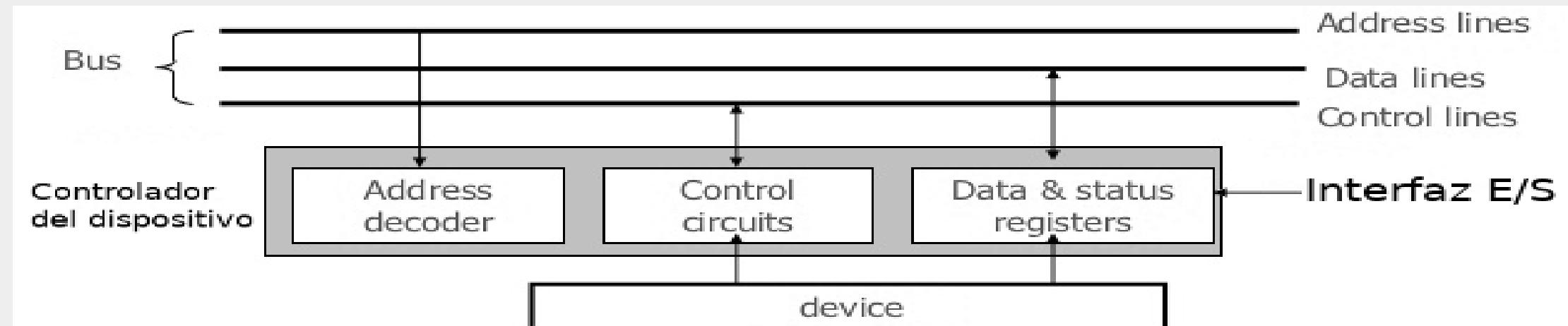


Algunas veces la ubicación del controlador es confusa
La terminología también

Dispositivos de E/S: Controladora de E/S

Periféricos, Controladoras e Interfaces

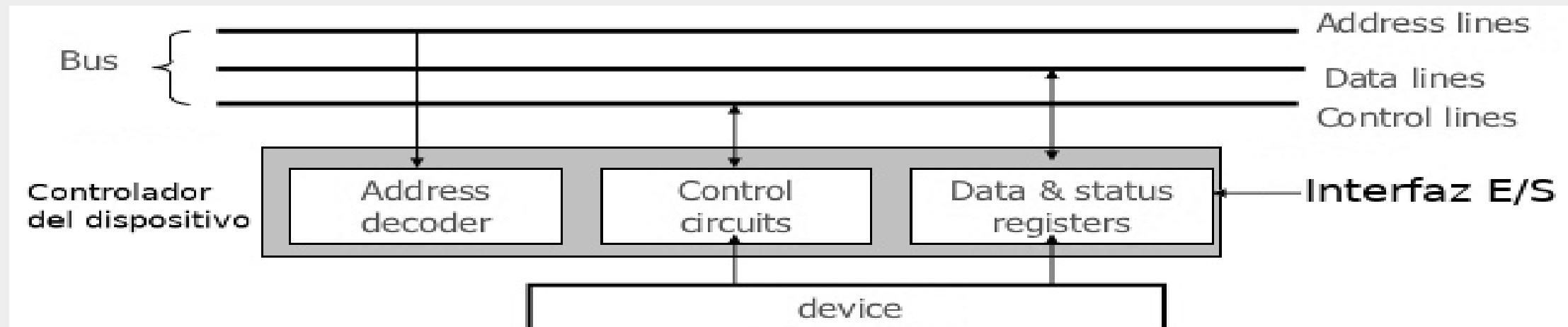
- Registros de estado, datos y control
- Algunos son de lectura-escritura, otros sólo de lectura o sólo de escritura



Dispositivos de E/S: Controladora de E/S

El caso de la impresora del cajero del supermercado

- Dispositivo orientado a caracteres
- Lento o Rápido?
- Es fácil de controlar?



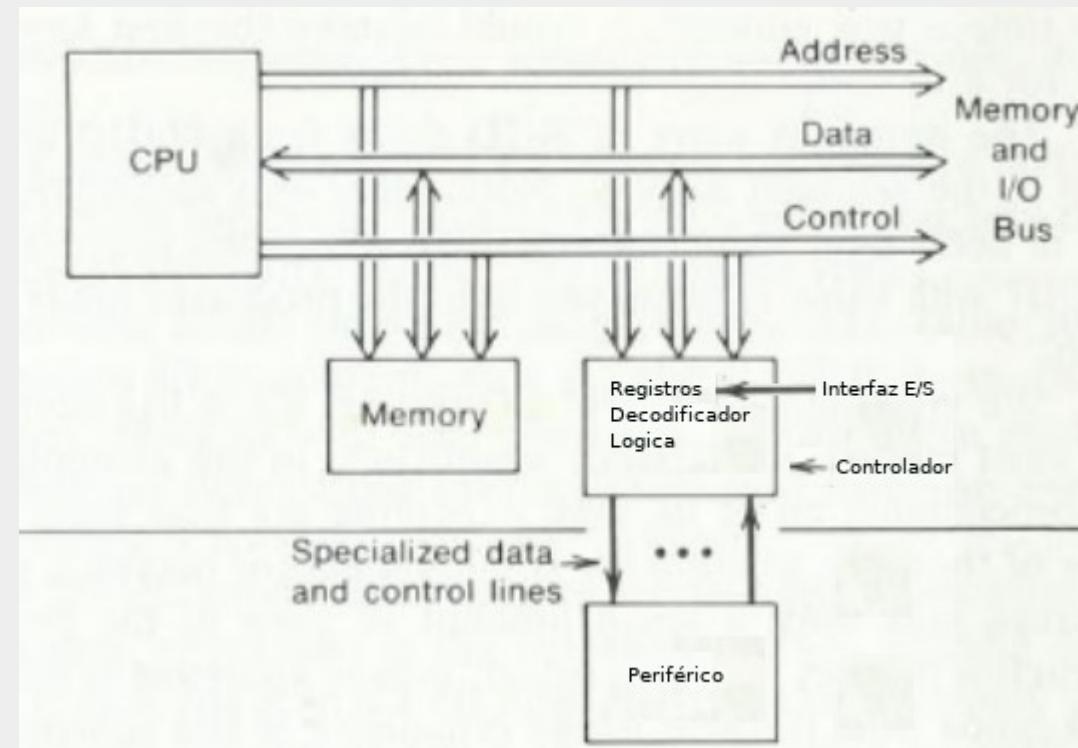
Dispositivos de E/S: Acceso a la controladora de E/S

El caso de la impresora del cajero del supermercado

Para comenzar una **operación de "salida"** el programa debe iniciar una transferencia de datos desde el dispositivo (desde su interfaz).
Ejemplo en MIPS:

```
sb $t3, 0xfffff0004($zero)      # 0xfffff0004 data printer controller register
```

El código ASCII en el registro t3 es colocado en el registro de datos de la impresora



A este tipo de acceso se le denomina **E/S mapeada en memoria** ya que el procesador trata a la interfaz del controlador de un dispositivo (registros del controlador) como una extensión de la memoria.

Dispositivos de E/S: Acceso a la controladora de E/S

Algunos microprocesadores tienen en cambio otro mecanismo, llamado comúnmente **E/S aislada (isolated I/O)**, las cuales utilizan instrucciones especiales para realizar entrada y salida.

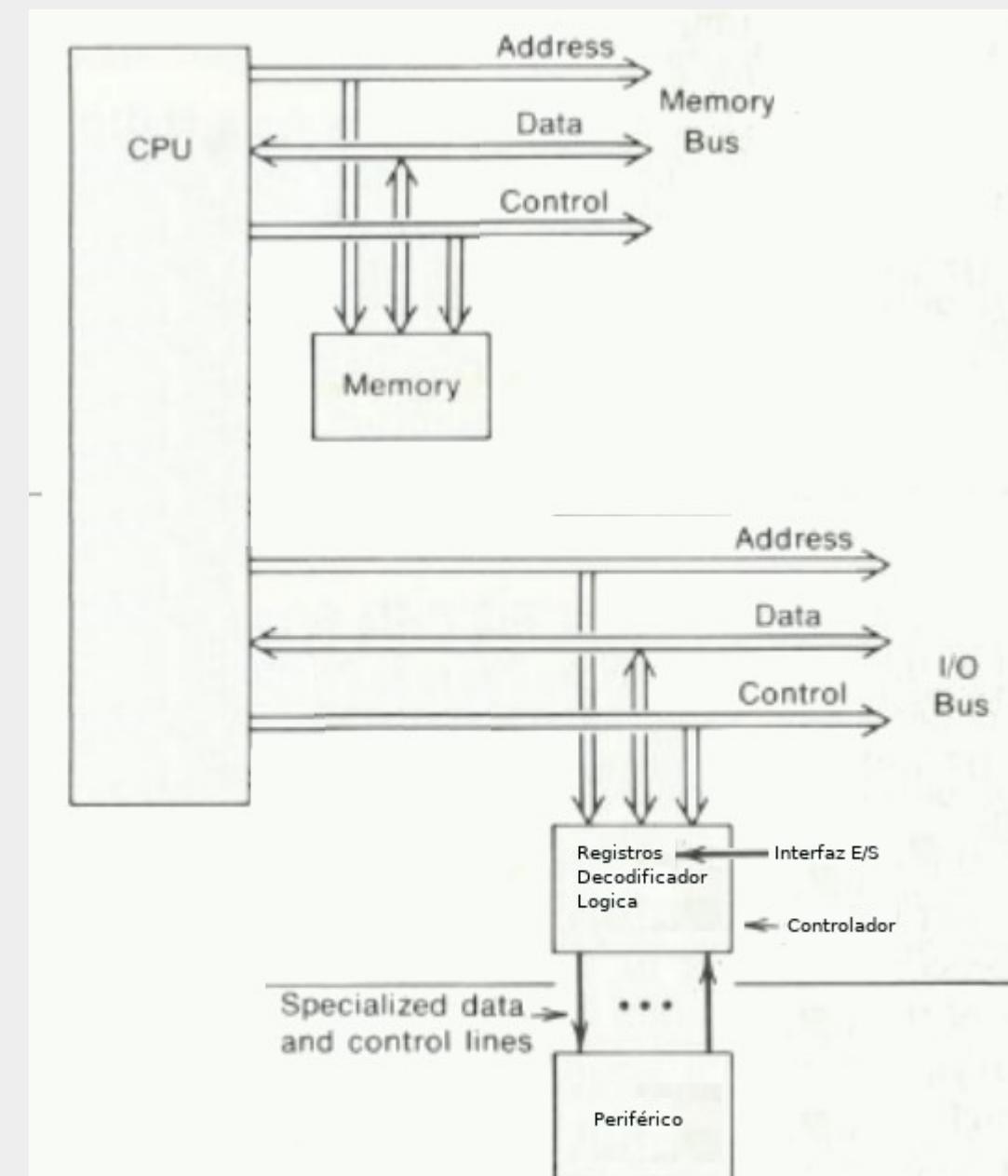
Por ejemplo en los procesadores intel x86 y en los antiguos procesadores z8000 el conjunto de instrucciones de cada arquitectura presentaban dos instrucciones especiales para acceder a los registros de cada dispositivo: in y out en x86 e inb y outb en el z8000.

Ejemplo:

OUT 0xFF01

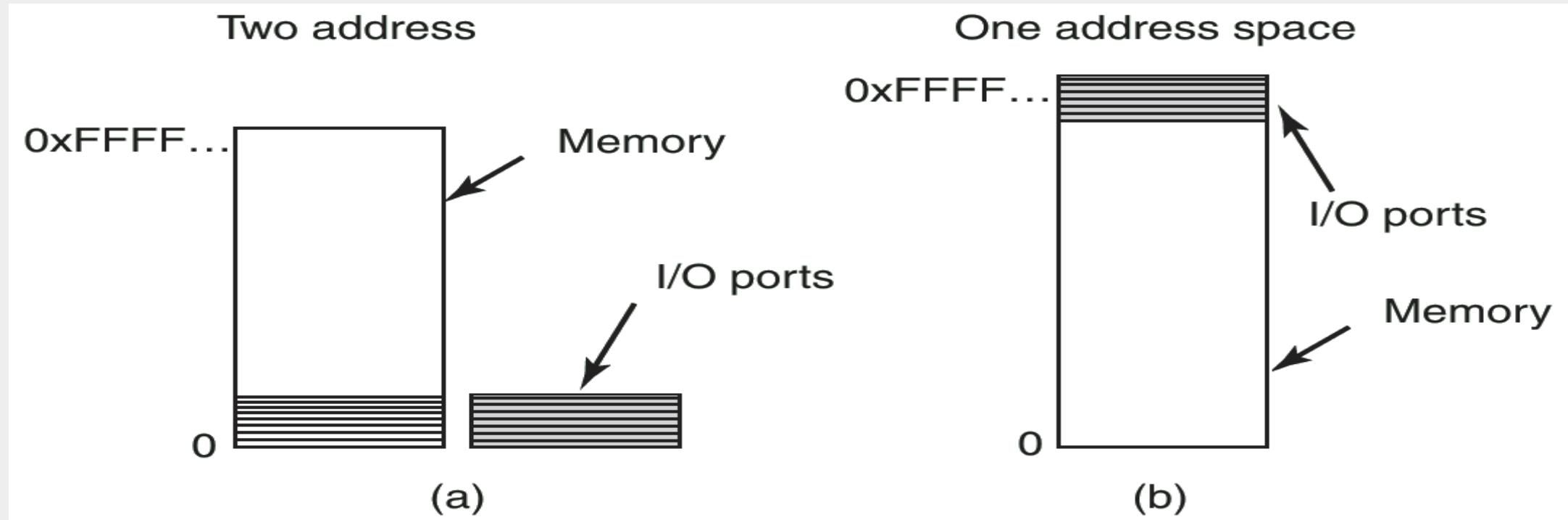
El contenido del acumulador (o registro especial de la CPU) es colocado en el bus de datos.

Al mismo tiempo, el número 0xFF01 es ubicado en los bits menos significativos del bus de direcciones, y un pulso (señal de control) es generado en la línea de escritura de E/S (I/O write).



Dispositivos de E/S: Acceso a la controladora de E/S

E/S aislada (isolated I/O) vs E/S mapeada en memoria



Dispositivos de E/S: Programación de la E/S

En la programación de la E/S

- Se debe utilizar alguna **técnica** para transferir datos hacia (y desde) los dispositivos (registros interfaz del controlador del dispositivo).
- Los datos pueden ir desde el dispositivo hacia el procesador, o hacia la memoria (ENTRADA); o
- Desde la CPU o memoria hacia el dispositivo (SALIDA).

Las tres técnicas utilizadas en la actualidad son: E/S programada (polling), E/S mediante interrupciones, y E/S mediante acceso directo a memoria (DMA).

La estrategia utilizada debe estar soportada por el hardware

E/S programada (I/O polling)

En pseudocódigo es:

```
REPEAT
    Read peripheral status
UNTIL ready
Transfer data to/from peripheral
```

La operación “REPEAT Read peripheral status UNTIL ready” constituye un bucle de interrogación (*polling loop*), debido a que el estado del dispositivo es continuamente consultado (leído) por la CPU, hasta que esté listo para realizar la transacción de E/S.

Interrupciones de E/S

Una estrategia (técnica) más eficiente es utilizando interrupciones. Este mecanismo libera al procesador, en una operación de E/S, de verificar constantemente el estado del dispositivo.

- Una interrupción de E/S es una *señal* recibida por el procesador de una computadora.
- La señal es originada por un dispositivo de E/S para notificar que el estado del dispositivo cambió y solicitar atención de la CPU.
- El programa siendo ejecutado hasta el momento de la interrupción es *suspendido temporalmente*, para pasar a ejecutar una *subrutina de servicio de interrupción*.
- La subrutina de servicio efectúa las operaciones apropiadas de la E/S (transferencia de datos, actualización de relojes, etc).
- Una vez finalizada dicha subrutina, se *reanuda la ejecución* del programa

Interrupciones de E/S: Temario

- Excepciones e interrupciones.
- Enmascarar interrupciones.
- Interrupciones priorizadas.
- Interrupciones vectorizadas. Vector. Tabla de vectores.
- Interrupciones autovectorizadas.
- No vectorizadas.
- Interrupciones No enmascarables (nonmaskable interrupt)
- Interrupciones anidadas (nested interrupts).
- La analogía de “*las interrupciones de E/S con un día de clase*”

Interrupciones de E/S: Excepciones e interrupciones.

Una computadora ejecuta instrucciones secuencialmente, a menos que se ejecute una instrucción de salto o una bifurcación.

Existe, de cualquier manera, una importante excepción a esta regla, llamada de igual manera: excepciones.

Una *excepción* es un evento que fuerza a la CPU a modificar su secuencia de acciones.

Si el evento es originado por una señal proveniente de un dispositivo de E/S la excepción es llamada una *interrupción de E/S* (hardware interrupt).

Las interrupciones de E/S son *asincrónicas* (no dependen de la ejecución de la instrucción que se ejecutó al momento de recibir la señal).

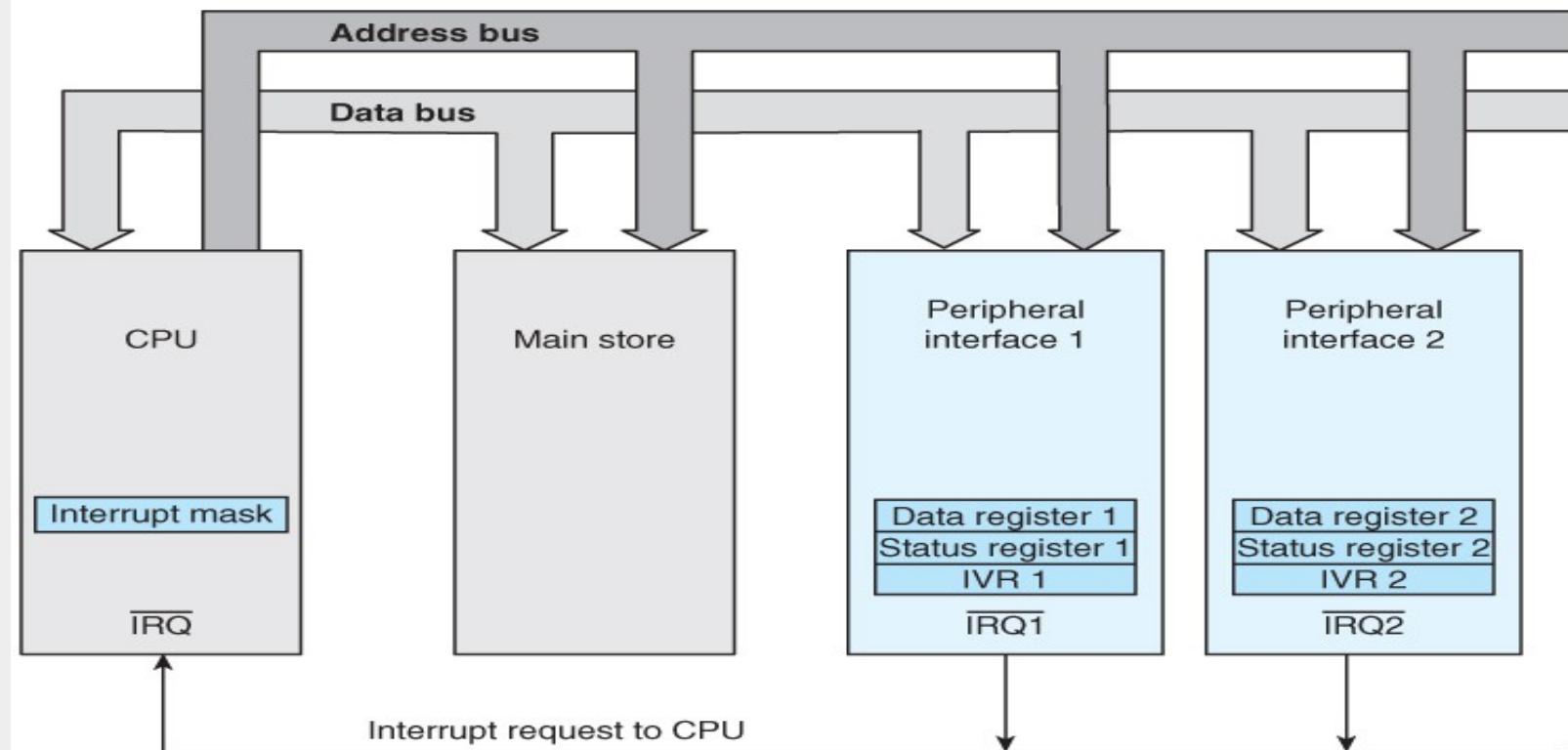
Interrupciones de E/S

Estructura básica de un sistema con interrupciones.

Los dos periféricos pueden requerir la atención del procesador (interrumpir).

Todos los dispositivos tienen una señal de requisito de interrupción active-low.

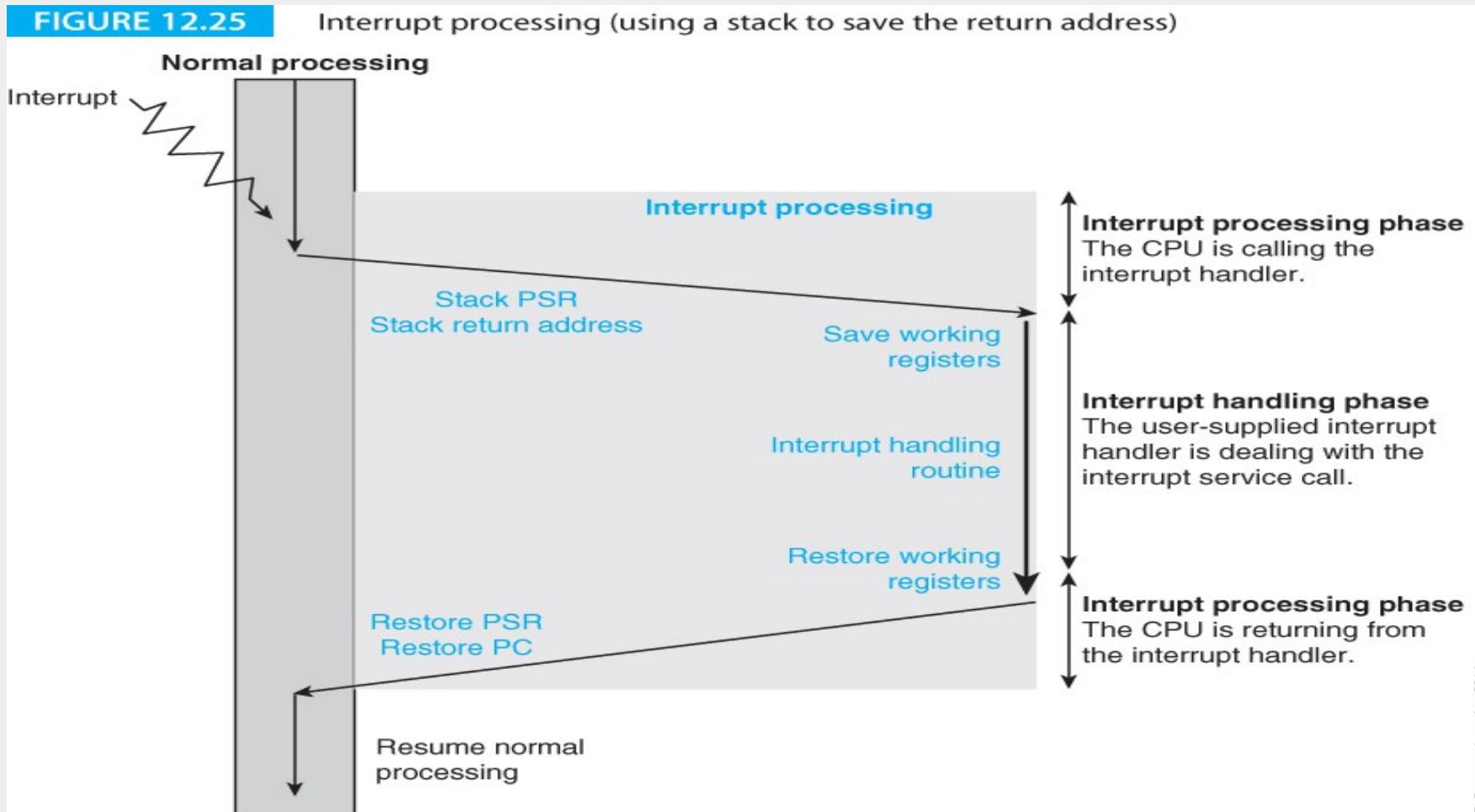
FIGURE 12.24 Basic structure of interrupt-driven I/O



Interrupciones de E/S: Funcionamiento

0. Configurar y habilitar las interrupciones globales, y tambien la de dispositivos de E/S específicos (usualmente el OS).
1. Ejecutar programas. Cuando un periférico interrumpe:
2. Terminar la ejecución de la instrucción máquina en curso.
3. Deshabilitar las interrupciones
4. Resguardar el estado del procesador y el valor del contador de programa. ([resguardar 1.](#))
5. Ejecutar un salto (mediante una instrucción de bifurcación o actualización del PC) a la dirección donde está almacenada la subrutina de servicio de interrupción (Interrupt Service Routine, o abreviado ISR) ([atender la interrupción](#))
6. Una vez que la subrutina de servicio de la interrupción termina, restaurar el estado del procesador que se había resguardado en el paso 4. Continuar la ejecución del programa principal iniciado en 1.

Interrupciones de E/S: Funcionamiento



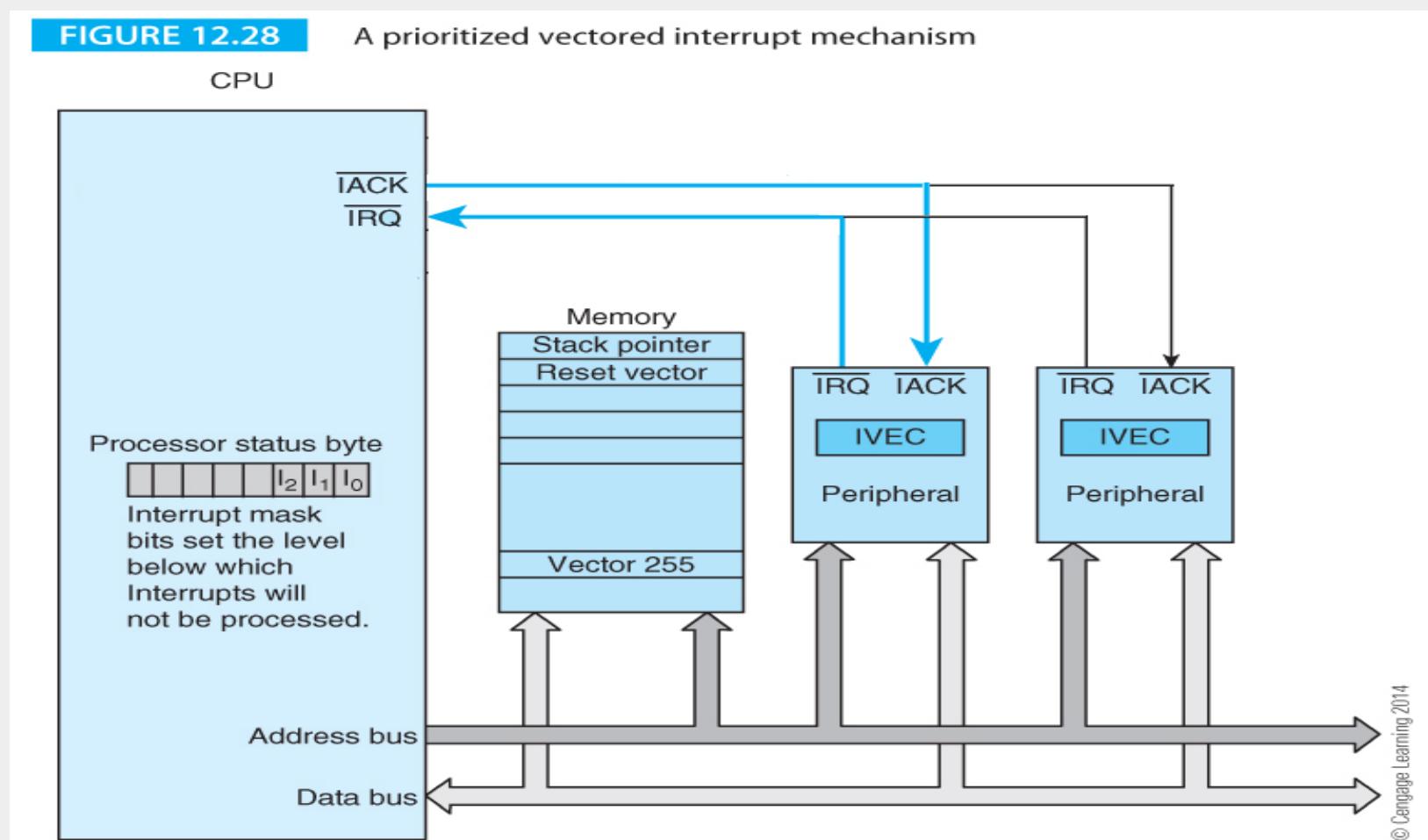
Algunas operaciones son responsabilidad del hardware. Otras del software (como retornar).

Interrupciones de E/S: Identificación del origen

Dependiente de la arquitectura (y CPU)

1. Finalizar la instrucción en curso.
2. Deshabilita las interrupciones.
3. Resguarda el estado del procesador.
4. Reconocer la interrupcion.
5. El origen se identifica con un id (dispositivo).
6. Leer la entrada id de la [tabla de vectores](#).
7. Obtener el [vector](#) (dirección o instrucción).

A este tipo de interrupciones se les denomina [interrupciones vectorizadas](#)



Por lo tanto, el vector es :

una dirección de memoria de la primera instrucción de la rutina de atención; o
una instrucción de salto que la CPU ejecuta para bifurcar a la rutina de atención de la interrupción.

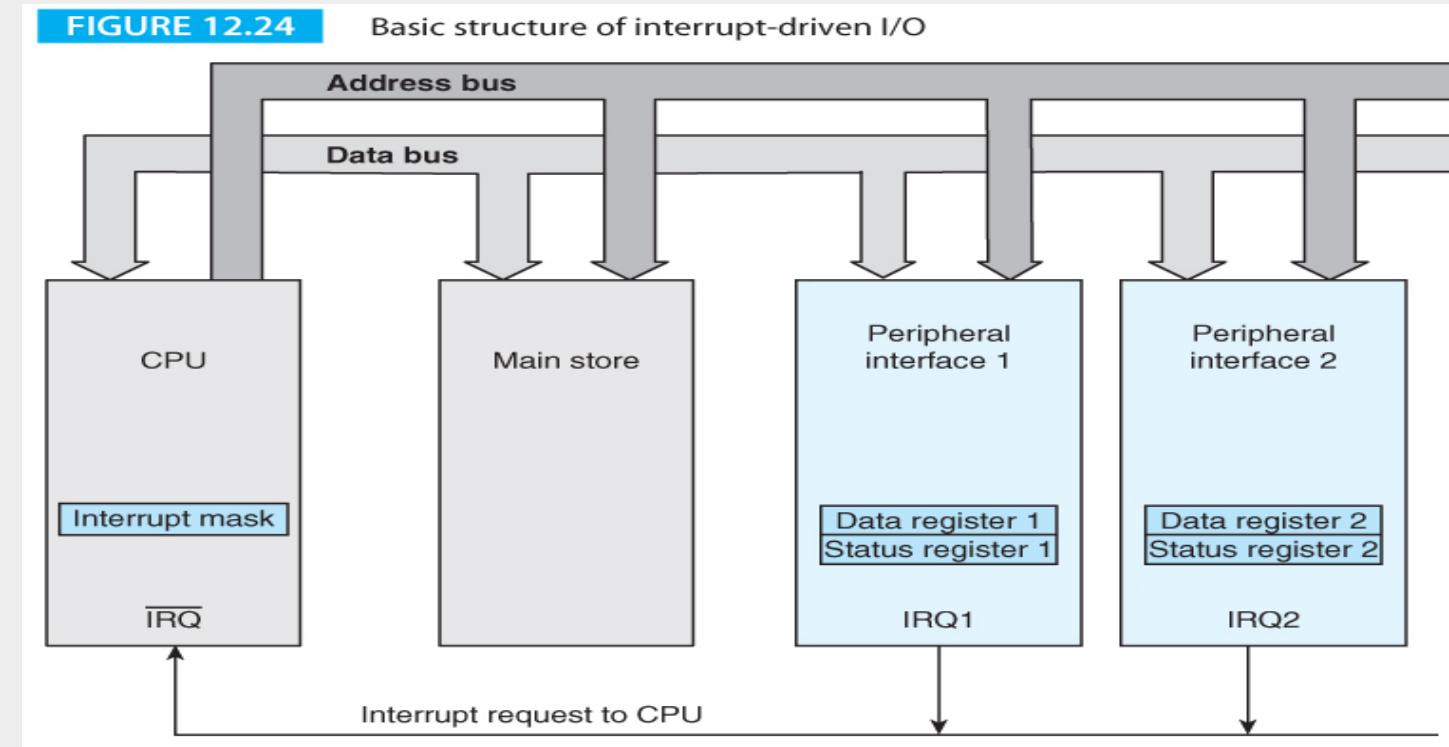
Interrupciones de E/S: Identificación del origen

Interrupciones no vectorizadas

1. Finalizar la instrucción en curso.
2. Deshabilita las interrupciones.
3. Resguarda el estado del procesador.
4. La CPU bifurca a una única subrutina de atención de interrupciones.
5. Identifica el dispositivo de E/S causante y resuelve cuál es la rutina de interrupción.

Ejemplo: MIPS

En una interrupción bifurca automáticamente
A la dirección 0x80000180



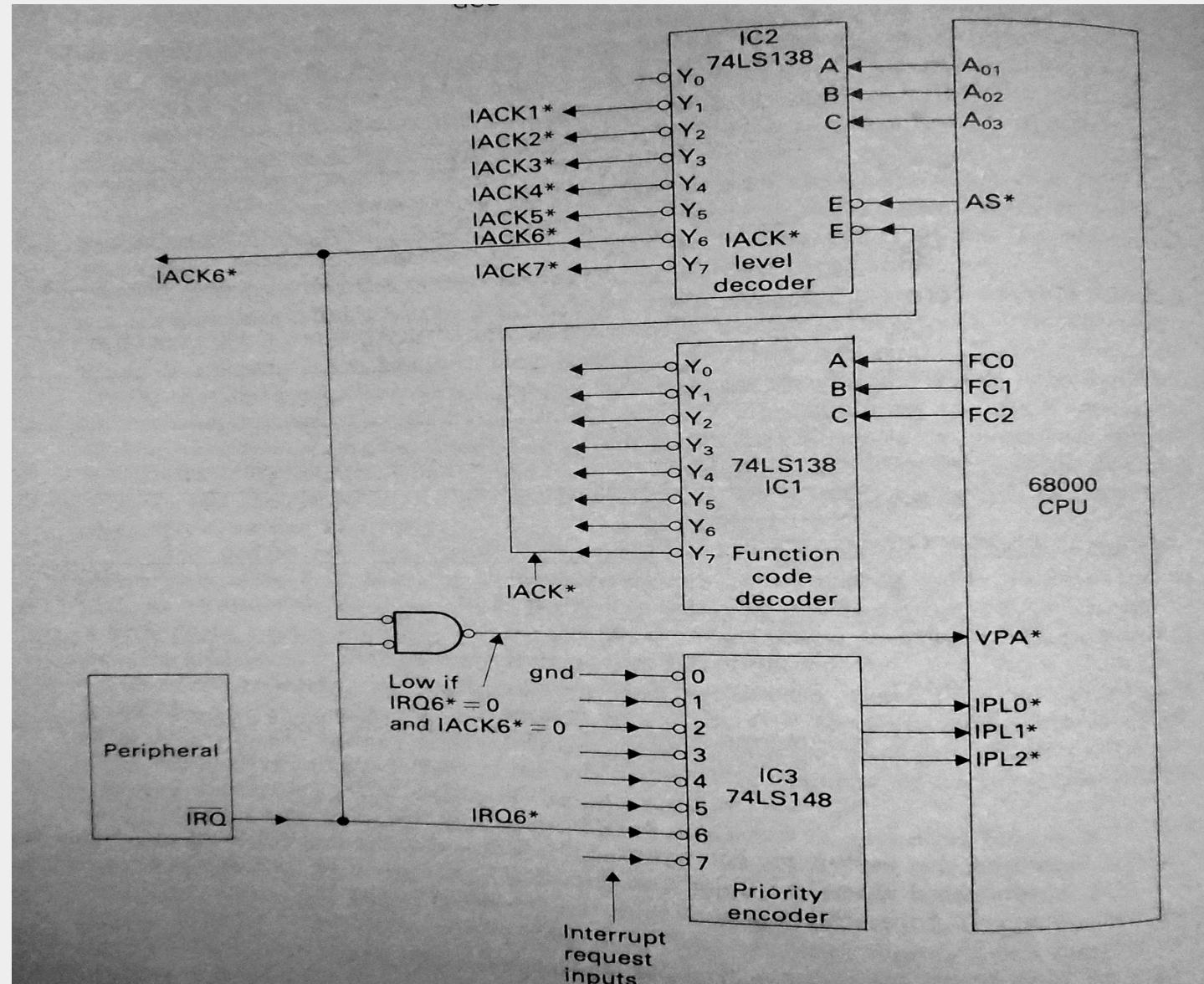
Interrupt polling permite interrupciones priorizadas (*interrupt prioritization*) porque los dispositivos importantes cuyos requisitos deben ser respondidos rápidamente son consultados primero.

Interrupciones de E/S: Identificación del origen

Interrupciones auto vectorizadas

1. Finalizar la instrucción en curso.
2. Deshabilita las interrupciones.
3. Resguarda el estado del procesador.
4. Reconocer la interrupcion.
5. Identificar origen internamente id
6. Leer la entrada id de la [tabla de vectores](#).
7. Obtener el [vector](#) (dirección o instrucción).

Ejemplo: Motorola 68000



Interrupciones de E/S

Interrupciones no enmascarables (Nonmaskable Interrupts)

Un requisito de interrupción puede denegarse o aplazarse.

Algunos microprocesadores tienen un requisito de interrupción no enmascarable, la cual, no puede ser denegada.

Está reservada para eventos vitales, por ejemplo, perdida de energía (se atiende la interrupción antes de que la energía caiga por debajo de un nivel crítico).

Interrupciones priorizadas (Prioritized interrupts)

Los microprocesadores frecuentemente soportan interrupciones priorizadas (el chip tiene mas de un requisito de interrupción).

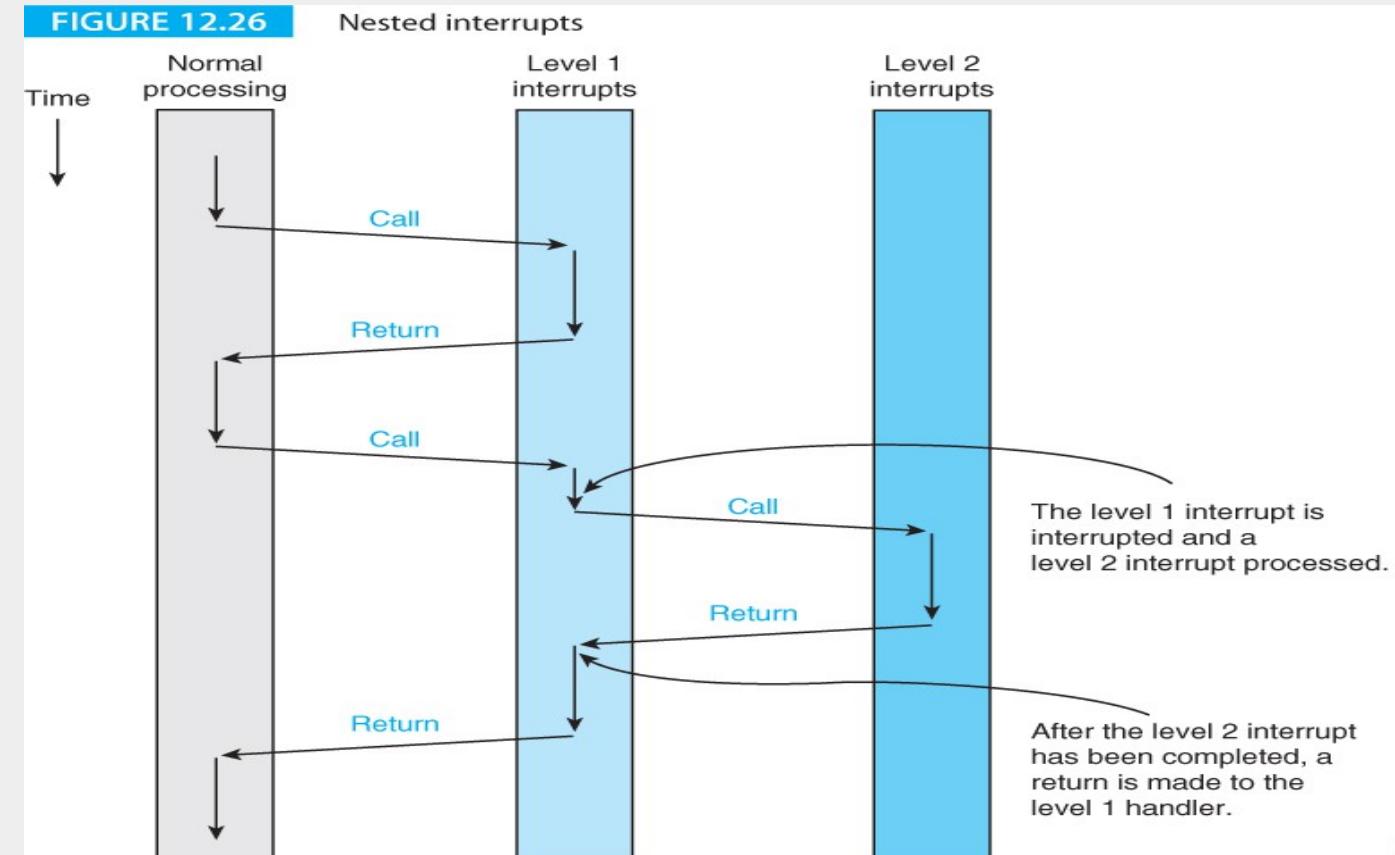
Cada interrupción tiene una prioridad predefinida. Una nueva interrupción con una prioridad igual o menor no puede interrumpir al procesador hasta que la interrupción actual haya sido atendida.

Obviamente, una interrupción con una prioridad mayor puede interrumpir la interrupción actual.

Interrupciones de E/S anidadas

La interrupción es una llamada a subrutina con una dirección automática generada por el hardware o software, y un mecanismo que preserva el estado del código en ejecución.

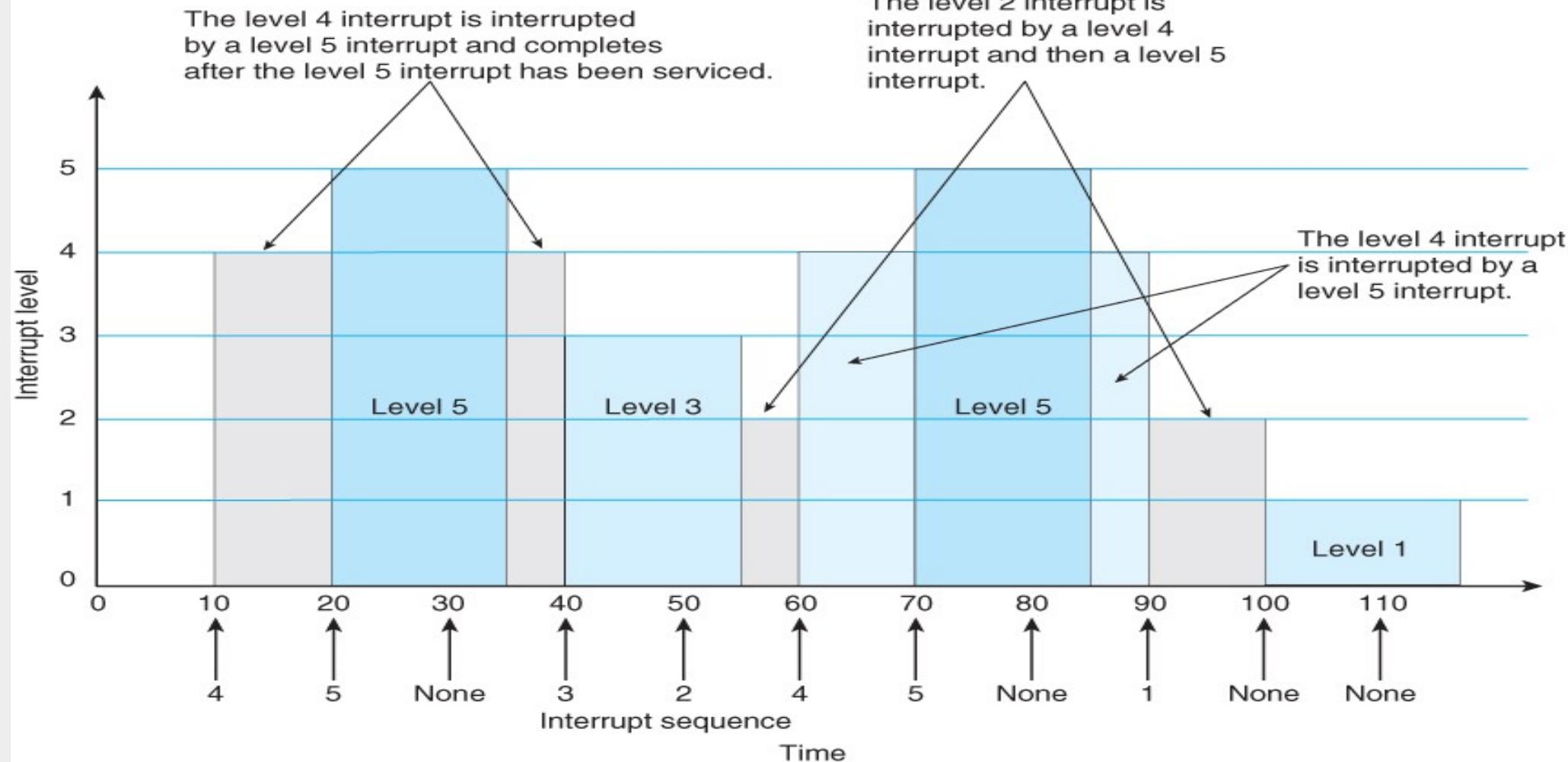
Por lo tanto, las interrupciones pueden anidarse, de la misma manera que las subrutinas o procedimientos lo hacen.



Interrupciones de E/S anidadas

FIGURE 12.27

Example of interrupt prioritization

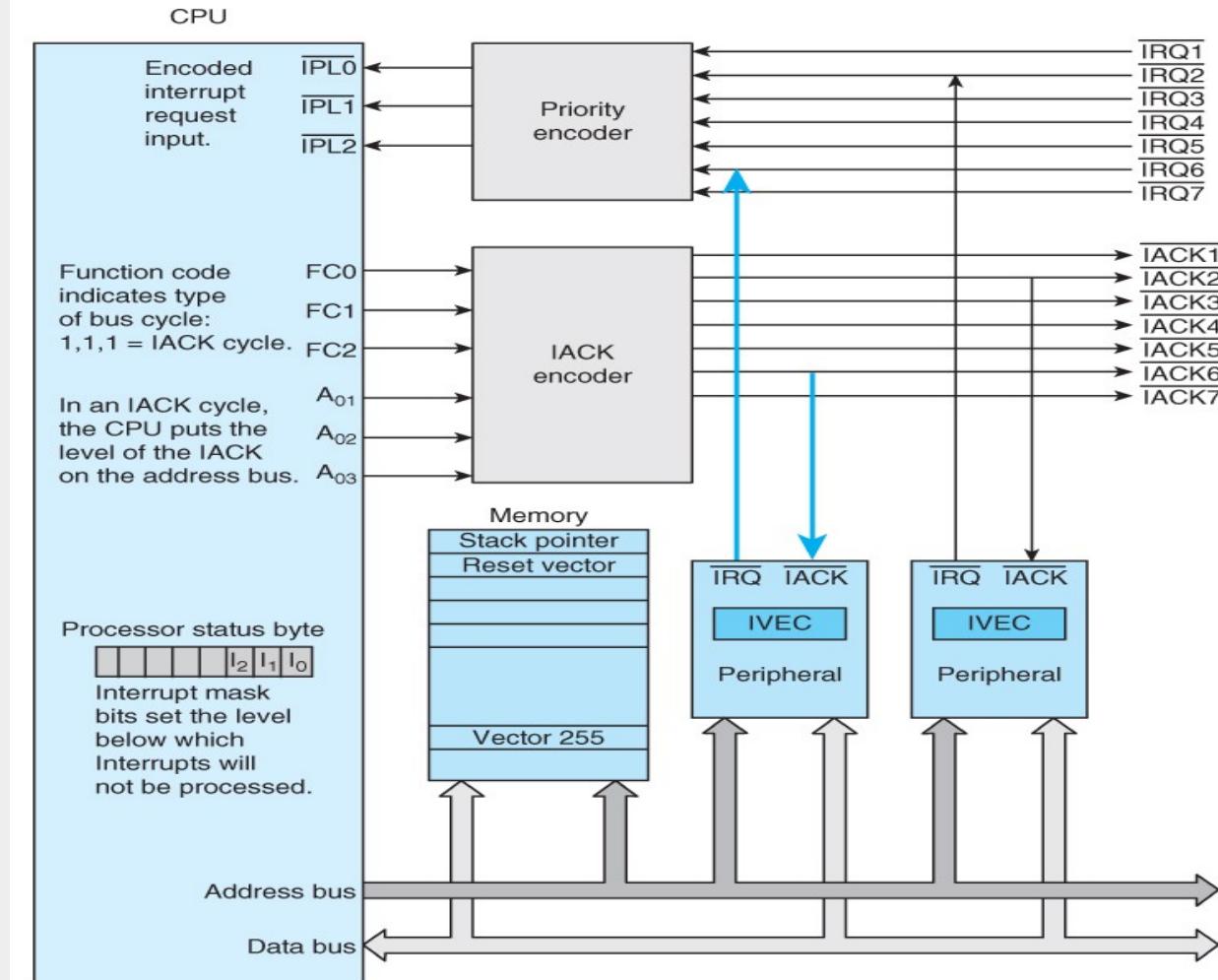


Interrupciones de E/S

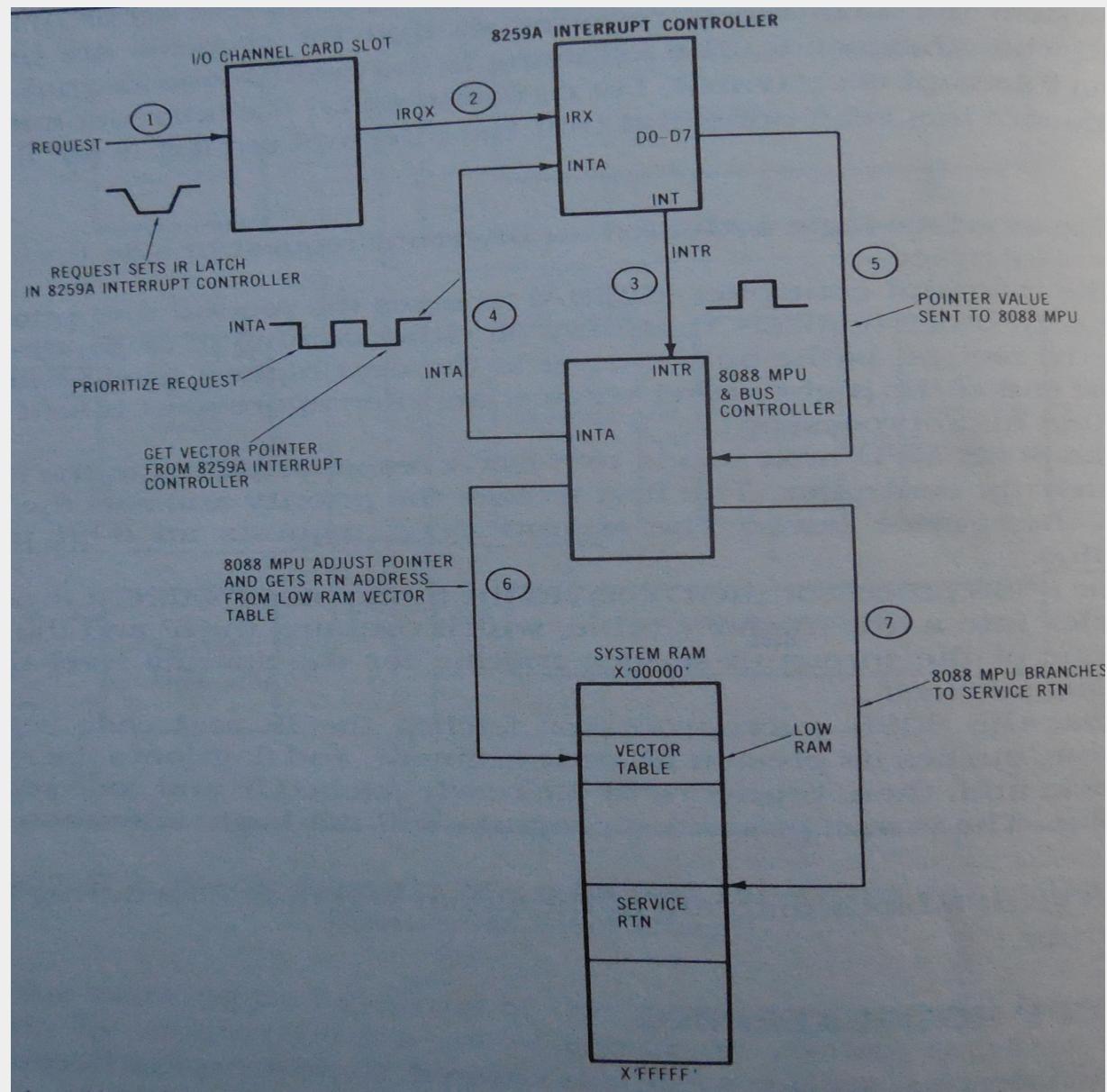
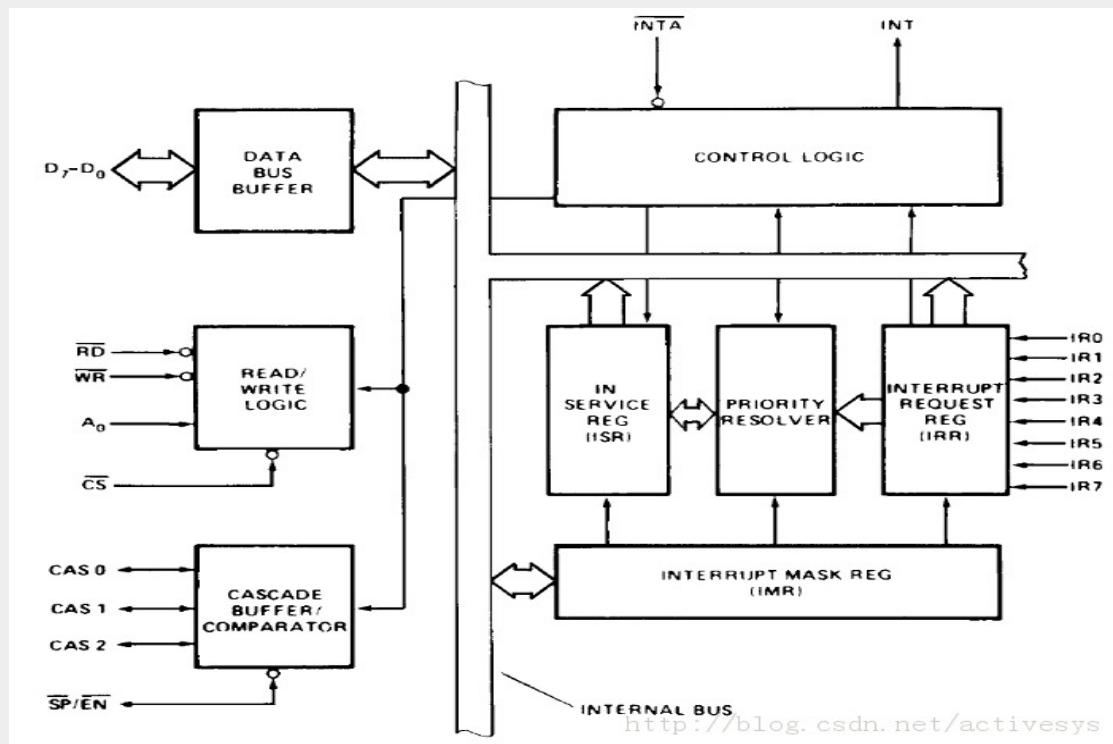
- **VENTAJAS:**
 - Liberan al microprocesador de la espera.
 - **La CPU no repite el chequeo de los dispositivos**
 - Los dispositivos interrumpen solo cuando están listos
 - **Proporciona servicio prioritario a dispositivos críticos**
- **DESVENTAJAS:**
 - Circuitos adicionales
 - **Difícil probar y depurar**
 - Instrucciones adicionales
 - **Pérdidas de eventos**

Interrupciones de E/S: Motorola 68000

FIGURE 12.28 A prioritized vectored interrupt mechanism



Interrupciones de E/S: Intel 8259



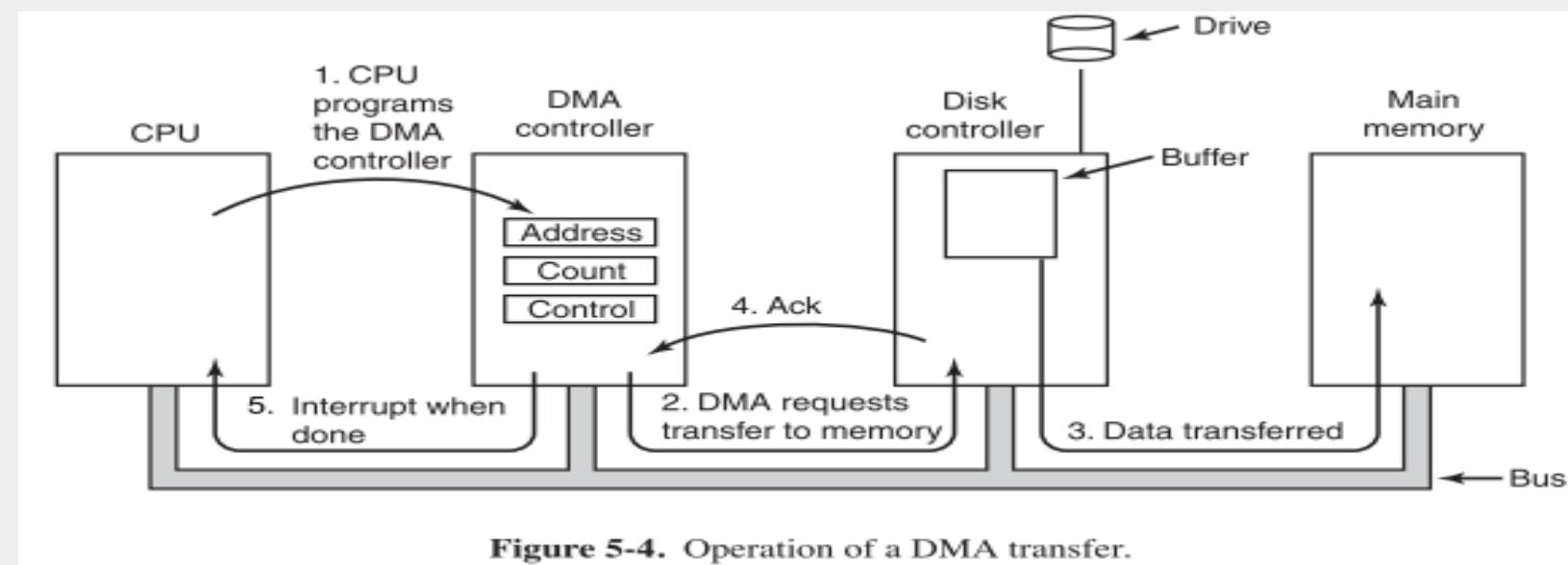
Direct Memory Access (DMA)

El mecanismo mas sofisticado para realizar E/S utiliza acceso directo a memoria (DMA).

Los datos son transferidos entre el periférico y la memoria, sin intervención activa del procesador.

En realidad, un procesador dedicado realiza la operación de E/S, tomando el control de los buses del sistema, y utilizando los mismo para mover datos directamente entre periféricos y memoria.

DMA ofrece un mecanismo muy eficiente de transferencia de datos, porque la lógica de DMA está dedicada a procesar E/S, y una gran cantidad de datos puede ser transferidos de un “saque” (burst).



Direct Memory Access (DMA)

El mecanismo mas sofisticado para realizar E/S utiliza acceso directo a memoria (DMA).

Los datos son transferidos entre el periférico y la memoria, sin intervención activa del procesador.

En realidad, un procesador dedicado realiza la operación de E/S, tomando el control de los buses del sistema, y utilizando los mismo para mover datos directamente entre periféricos y memoria.

DMA ofrece un mecanismo muy eficiente de transferencia de datos, porque la lógica de DMA está dedicada a procesar E/S, y una gran cantidad de datos puede ser transferidos de un “saque” (burst).

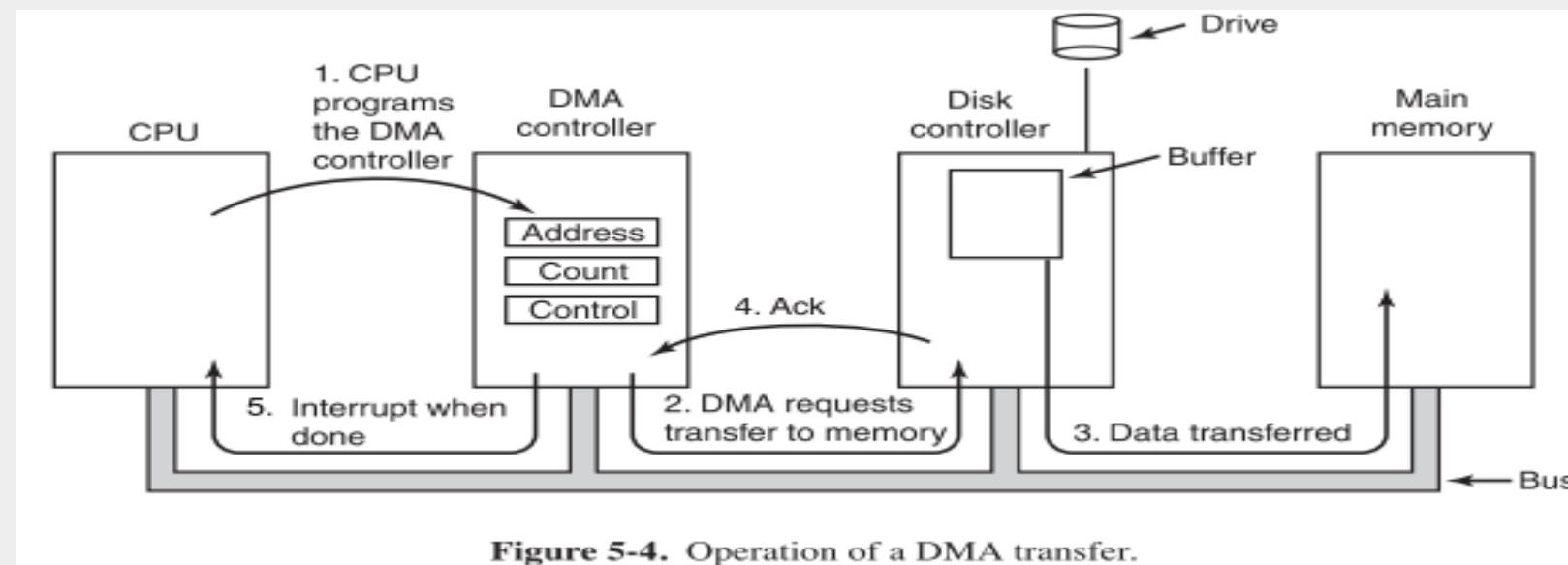


Figure 5-4. Operation of a DMA transfer.

DMA funciona como un procesador

“Robo de ciclos del bus”

Bibliografia

Textos:

- Apunte de Alan Clements, en la web de la materia