

第一单元

1. 某计算机按字节编址，指令字长固定且只有二地址指令和三地址指令两种指令格式，其中三地址指令 31 条，二地址 256 条，每个地址字段为 6 位，则指令字长至少应该是 ()。

- A. 23 位 B. 24 位 C. 26 位 D. 32 位

2. 以下表述错误的是_____。

- A. IEEE754 单精度浮点数占用 4 个字节
B. UTF-8 采用变长字符编码
C. 0 的原码有 2 个编码，反码只有 1 个编码
D. 合理提高码距可以提高发现错误的能力

3. 以下关于计算机中整数的描述错误的是_____。

- A. 使用补码表示的整数，如果 $x > 0$ ，那么一定有 $-x < 0$
B. 负数的原码、反码、补码表示均不同
C. 正数的原码、反码、补码表示均相同
D. 对于两个整数 `int x` 和 `int y`，如果 $-x > -y$ ，那么总有 $x < y$

4. 采用了类 IEEE 754 规则的半精度浮点数表示，格式如下。

Sign (1 bit)	Exponent (5 bit)	Fraction (10 bit)
-----------------	---------------------	----------------------

请计算：

- (1) -0 的二进制表示是：_____；
(2) 最大的非规格化数的二进制表示是：_____。

5. 在企业级内存中需要提高数据容错，数据通常采用校验方式。

(1) 若采用奇校验的方式，10101011 和 01100011 两个 8 位数据的检验值分别为_____和_____；

(2) 若采用带全局校验的海明码的方式，1011 和 0011 两个 4 位数据的编码分别是_____和_____。(全局校验位放在最左侧)

6. 简答并给出理由：函数调用 `call` 与返回 `ret` 指令均可以通过 `jalr` 指令实现吗？

7. 请采用布斯乘法计算 $(-3) * 10$ 。(用 6 位二进制表示)

第二单元

1. 以下关于 RISC-V 经典五级流水线 CPU 说法错误的是 ()。
 - A. 当需要在 EXE 段暂停流水线时, IF/ID 和 ID/EXE 流水段寄存器都应该保持不变; 此时 MEM 流水段在没有阻塞的情况下, 应将 EXE/MEM 流水段寄存器设置为空指令对应的值
 - B. 当 ID 和 EXE 两个流水段下一周期需要清空时, IF/ID 和 ID/EXE 流水段寄存器都设置为空指令对应的值
 - C. 在 IF 和 MEM 两个流水段发生结构冲突时, 应该优先处理 IF 流水段的请求, 以防止流水线中的指令流被阻塞住
 - D. 在同一时钟周期有可能同时发生数据、控制、结构冲突
2. 在 THINPAD 平台上所实现的流水线结构 CPU 上, 使用循环计算 1 到 100 的和, 所有数据都在寄存器中, 可能引发若干种冲突。针对此问题, 下列说法中正确的是 ()。
 - A. 使用 beq 指令判断循环是否应该结束时, 可能引发控制冲突
 - B. 相邻的两轮循环可能因为读写相同的寄存器造成结构冲突
 - C. 分支目标缓冲 (Branch Target Buffer) 对减少本次实验中的冲突没有帮助
 - D. 数据旁路无法完全消除该程序中数据冲突带来的性能损失
3. 简答并给出理由: 计算机性能指标 CPI 是否是越低越好?
4. 简答并给出理由: 数据旁路可以解决所有数据冲突吗?
5. 简答并给出理由: RISC-V 只用一套 CSR 寄存器, 能否支持中断嵌套?
6. 有如下 RISC-V 代码:

```
1.    lui    a5,%hi(fibo)
2.    addi   a4,a5,%lo(fibo)
3.    li     a3,1
4.    addi   a5,a5,%lo(fibo)
5.    sw     a3,0(a4)
6.    sw     a3,4(a4)
7.    addi   a2,a5,32
8.    li     a4,1
9.    j      .L3
10. .L5:
11.    lw     a4,4(a5)
12.    lw     a3,0(a5)
13. .L3:
14.    add    a4,a4,a3
```

```

15.    sw      a4,8(a5)
16.    addi    a5,a5,4
17.    bne     a5,a2,.L5
18.    ret

```

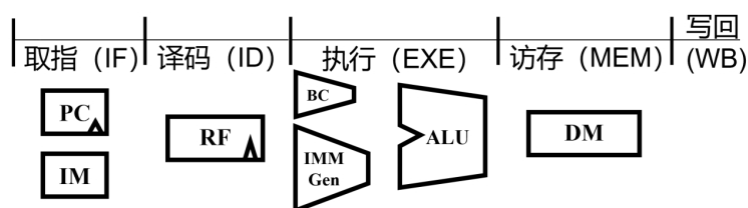
RISC-V 指令格式如下:

31	30	25 24	21	20	19	15 14	12 11	8	7	6	0		
funct7			rs2		rs1		funct3		rd		opcode		R-type
imm[11:0]					rs1		funct3		rd		opcode		I-type
imm[11:5]			rs2		rs1		funct3		imm[4:0]		opcode		S-type
imm[12]	imm[10:5]		rs2		rs1		funct3		imm[4:1]	imm[11]	opcode		B-type
imm[31:12]									rd		opcode		U-type
imm[20]	imm[10:1]			imm[11]		imm[19:12]			rd		opcode		J-type
imm[12:10:5]			rs2		rs1		000		imm[4:1:11]		1100011		BEQ
imm[12:10:5]			rs2		rs1		001		imm[4:1:11]		1100011		BNE
imm[12:10:5]			rs2		rs1		100		imm[4:1:11]		1100011		BLT
imm[12:10:5]			rs2		rs1		101		imm[4:1:11]		1100011		BGE
imm[12:10:5]			rs2		rs1		110		imm[4:1:11]		1100011		BLTU
imm[12:10:5]			rs2		rs1		111		imm[4:1:11]		1100011		BGEU

请回答:

- 请写出“bne a5,a2,.L5”对应指令的十六进制表示。(a5 和 a2 的寄存器编号分别为 15 和 12。)
- 请分析 bne 理论上的跳转范围。
- 对于上面的代码, 请写出等效的 C 伪代码, 并给出程序终止后 a4 的值。
- 如果使用五阶段流水线 CPU 设计, 请指出上述代码中所有可能出现的数据冲突。

7. 一个五级流水线 RISC-V CPU 各流水段的基本功能部件如图所示。



- 该 CPU 仅实现了部分数据旁路, 在没有发生结构冲突的情况下, CPU 从 init 开始执行, 执行 swap 代码段时仅发生了 1 次暂停。

```

vec:
    .word 1,9,2,2          # word 是 32 位
init:
    li a1, 0
    la a0, vec
    nop
    nop
swap:
    ori a1, a1, 1
    slli t0, a1, 2
    add t0, a0, t0
    lw t1, 0(t0)
    lw t2, 4(t0)

```

```

        sw    t2, 0(t0)
        sw    t1, 4(t0)
    // End of swap

```

- a) 请写出该 CPU 没有实现的数据旁路，需要说明部件名称与流水段寄存器名称（若有）。如：ALU@EXE/MEM-→ALU，表示保存在 EXE/MEM 流水段的 ALU 计算结果到 ALU 的数据旁路。
 - b) 重写该代码段，在保证代码段整体执行结果一致的情况下，避免 CPU 出现暂停。
- (2) 若该 CPU 实现了所有可能的数据旁路，且该 CPU 不支持分支预测，且在跳转指令之后取 PC+4 作为 next PC，若执行跳转则清空 IF、ID，并将跳转目的地址作为 next PC。CPU 从 init 开始执行下列代码。

```

vec:
    .word 0

init:
    la a0, vec
    addi t0, x0, 0x1
    addi t1, x0, 0x0
    addi t3, x0, 0xa
    nop
count:
    add t0, t0, 0x1
    add t3, t3, -1
    add t1, t1, t0
    bne t3, x0, count
out:
    sw t1, (a0)
    nop
    nop

```

- a) 请写出：EXE 段执行上述 sw 指令的前一个周期，CPU 各流水段正在执行的指令（空泡用 nop 代替）。
- b) CPU 在执行上述 count 时是否使用了所有可能的数据旁路？若有请写出所有未使用的数据旁路。

- (3) 有两种方案用于处理 ID 段产生的异常：

方案一：将 ID 段产生的异常信号存入 ID\EXE 流水寄存器，在下一个周期由 EXE 段的异常处理模块处理。

方案二：将 ID 段产生的异常信号直接传递给 EXE 段的异常处理模块，使得在这一周期即可开始进行处理。

在上述两个方案中，异常处理模块在接收到异常信号后，将发生异常的指令 PC 写入 MEPC，等待流水线清空，并控制 PC 寄存器的下一个取值为异常处理程序首地址。

这两个方案中有一个方案不满足精确异常定义。请指出不满足的方案，并通过汇编代码，举例说明在什么情况下，该方案无法实现精确异常。（译码异常指令用 RV.X 代替。）

第三单元

- 某磁盘的转速为 10000 转/分，平均寻道时间是 6 ms，磁盘传输速率是 20 MB/s，磁盘控制器延迟为 0.2 ms，读取一个 4 KB 的扇区所需的平均时间约为（ ）。
A. 9 ms B. 9.4 ms C. 12 ms D. 12.4 ms
- 下列关于虚拟内存，描述正确的有（ ）。
I. 增加 TLB 可以提高虚拟内存访问性能
II. 虚拟内存可以提高存储访问性能
III. 多级页表可以节省内存页表占用空间
A. 仅 I B. I 和 III C. II 和 III D. 全部都正确
- 简答并给出理由：若全相联映射和组相联映射使用 LRU 替换算法，全相联映射的缓存命中率一定不低于组相联映射和直接映射吗？
- 简答并给出理由：相比于不做 RAID 的方式，RAID1 的读写性能提升接近两倍吗？
- （给出计算过程）某计算机系统的内存系统中，已知 Cache 命中访问时间为 20ns，Cache 缺失访问时间为 100ns。CPU 执行一段程序时，CPU 访问内存系统共 5000 次，其中缺失次数为 450 次。那么 CPU 访问内存的平均访问时间是_____。
- （给出计算过程）为了存储 512GB 的数据，使用 RAID0 的方式，所占用的磁盘空间大小为_____，使用 RAID6 的方式 (4+2)，所占用的磁盘空间大小为 _____。
- 现假设一计算机系统：
a) 采用 12 位的虚拟地址；
b) 采用 12 位的物理地址；
c) 页面大小为 256 字节 (256 B)；
d) TLB 是 2 路组相连，共有 8 个表项；
e) Cache 是 2 路组相连，共有 8 个大小为 4B 的 Cache Lines。

Page Table					
VPN	PPN	Valid	VPN	PPN	Valid
0	1	1	8		
1			9	5	1
2	5	0	A		
3	1	0	B	4	1
4			C		
5			D		
6	B	0	E	3	1
7	C	1	F		

TLB			
Index	Tag	PPN	Valid
0	3	0	1
1			
	3	2	1
2			
	2	F	1
3			
	1	F	0

- (1) 下面展示了一个虚拟地址的格式，请标出以下这些域：VP0 (virtual page offset)、

VPN (virtual page number)、TLBI (TLB index)、TLBT (TLB tag)。(如果这些域不存在, 则无需标明)。

11	10	9	8	7	6	5	4	3	2	1	0

- (2) 下面展示了一个物理地址的格式, 请标出以下这些域: PPO (Physical Page Offset)、PPN (Physical Page Number)、CO (Offset within the Cache Line)、CI (Cache Index)、CT (Cache Tag)。(如果这些域不存在, 则无需标明)。

11	10	9	8	7	6	5	4	3	2	1	0

- (3) 图中展示了某一时刻 TLB 和页表的部分状态, **图中所有数字均为 16 进制**, 已知对于此时的 TLB 和页表:

- 访问如下的虚拟地址时, TLB 命中: 0x48A, 0x1EA, 0xE0F, 0xB5A, 其中 0x48A 对应的物理地址为 0xA8A, 0x1EA 对应的物理地址为 0xEEA;
- 访问虚拟地址 0xF5A 时, TLB 缺失, 查找页表得到对应的物理地址为 0xB5A;
- 访问虚拟地址 0x88A 和 0x56F 时, 发生缺页。

请利用上述信息以及图中部分已知的 TLB 表项和页表项, 将图中所有空缺的部分补充完整。

- (4) 已知访问物理地址 0xA8A 时发生了 Cache Hit, 请画出 Cache 的结构示意图并标出该次 Cache Hit 在示意图中的位置, 并以此访问为例简述查找 Cache 的过程。

- (5) 如果某虚拟地址访存发生页面缺失 (page fault), 请简述页面缺失处理流程 (需包含 CPU 与磁盘的交互过程与 I/O 方式, 建议不超过 100 字)。

8. 某同学买到了两款处理器芯片, 这两款芯片均只有一级处理器缓存。其中一款芯片 A 可以查询到芯片规范 (Specification), 另一个款芯片 B 查不到芯片规范。该同学想了解一下这两款芯片的缓存结构, 以改善程序性能。

内存地址采用从 0 开始字节编址的线性地址空间。

- 该同学查询到芯片 A 的缓存大小 (数据部分) 为 32KB, 路数为 8, 缓存行大小为 64B。对于一个 32 位内存地址, 请标记其中的标记位 (Cache Tag, CT)、索引位 (Cache Index, CI)、块内偏移 (Cache Offset, CO) 部分, 并给出计算理由。
- 该同学查询到芯片 B 所在的系列芯片的相关参数的可能取值范围, 计划通过程序访问性能统计 (缓存命中率) 来推测芯片 B 的参数。

芯片 B 的可能取值范围如下:

- 缓存行大小可能的取值是: 16B、32B、64B 和 128B;
- 缓存大小 (数据部分) 可能的取值是: 4KB、8KB;
- 路数可能的取值是: 1、2、4、8。
- 缓存替换策略采用 FIFO 策略。

该同学设计的访问内存地址为:

15,	8193,	16384,	63,	4096,	8194,	64,	16385,
32768,	0,	129,	1024,	3072,	8192,	260,	513,
0,	4,	8,	4096,	64,	128,	128,	64

在对上述地址连续的 24 次访存中，采集到的前 8 次访问、中间 8 次访问、最后 8 次访问的缓存命中次数分别为 3 次、0 次、8 次。

请问该芯片的缓存行大小、路数多少、缓存大小，并简要写出理由。

- (3) 该同学正在调试一个应用程序的性能，该程序包含三个双精度浮点数二维数组 M, N, Q 的操作，原始程序如下：

```

for (i=0; i<n; i++) {
    for (j=0; j<n; j++) {
        sum = 0.0;
        for (k=0; k<n; k++)
            sum += M[i][k] * N[k][j];
        Q[i][j] = sum;
    }
}

```

假设 n 足够大，请写出缓存效率最优的算法（不考虑矩阵切块），并分析其缓存命中率（缓存中仅保存 M、N、Q，循环变量和 sum 均在寄存器中）。

第四单元

1. 某中断系统有 4 个中断源, I1, I2, I3, I4, 对应的中断屏蔽位为 0111, 0 代表对应中断被屏蔽, 1 代表对应中断可以响应, 中断优先级为 $1>3>2>4$ 。如果四个中断同时发生, 那么 CPU 需要响应的下一个中断是_____。
A. I1 B. I2 C. I3 D. I4
2. 以下关于总线的描述, 错误的是_____。
A. 菊链仲裁所有的设备共用一个总线请求信号
B. 集中平行仲裁每个设备有独立的总线授权信号
C. 同步总线所有设备必须按时钟频率工作, 总线距离必须足够短
D. DMA 设备不可以独占使用内存总线
3. 某设备通过接口与 PCI 总线进行交互, 在下面的功能描述中, 不属于接口工作的是_____。
A. 设备识别
B. 数据输入输出缓冲
C. 完成总线仲裁
D. 使用同步帧进行实时设备同步
4. 提高总线带宽的方法有_____、_____、_____。
5. 判断题 (简述理由) : RISC-V 通过专用 I/O 访问指令对外设进行访问。
6. 某计算机 CPU 的频率为 1GHz, 处理器的平均 IPC 为 0.75。某外设有一个 16 位的数据缓冲器。处理器平均需要执行 200 条指令才能完成对外设的一次数据传输。中断服务程序还需要另外 300 条指令完成中断调度, 在中断处理函数中还需要执行前述的 200 条指令完成数据传输。采用程序直接控制的方式, 能够达到的最大数据传输率为_____; 采用中断的方式, 能够达到的最大数据传输率为_____。同样的设备采用 DMA 的方式, 一次可以传输 4KB 数据到内存中, 但是需要耗费 100 个时钟周期 (包括配置和数据传输时间) 加一次中断 (中断需要执行 300 条指令), 则采用 DMA 方式能够达到的最大数据传输率为_____。