

数字电路实验报告：实验 03 简单时序逻辑电路

姓名：曾舒立；学号：PB19000200；日期：2021/10/26。

实验目的

掌握时序逻辑相关器件的原理及底层结构

能够用基本逻辑门搭建各类时序逻辑器件

能够使用 Verilog HDL 设计简单逻辑电路

实验环境

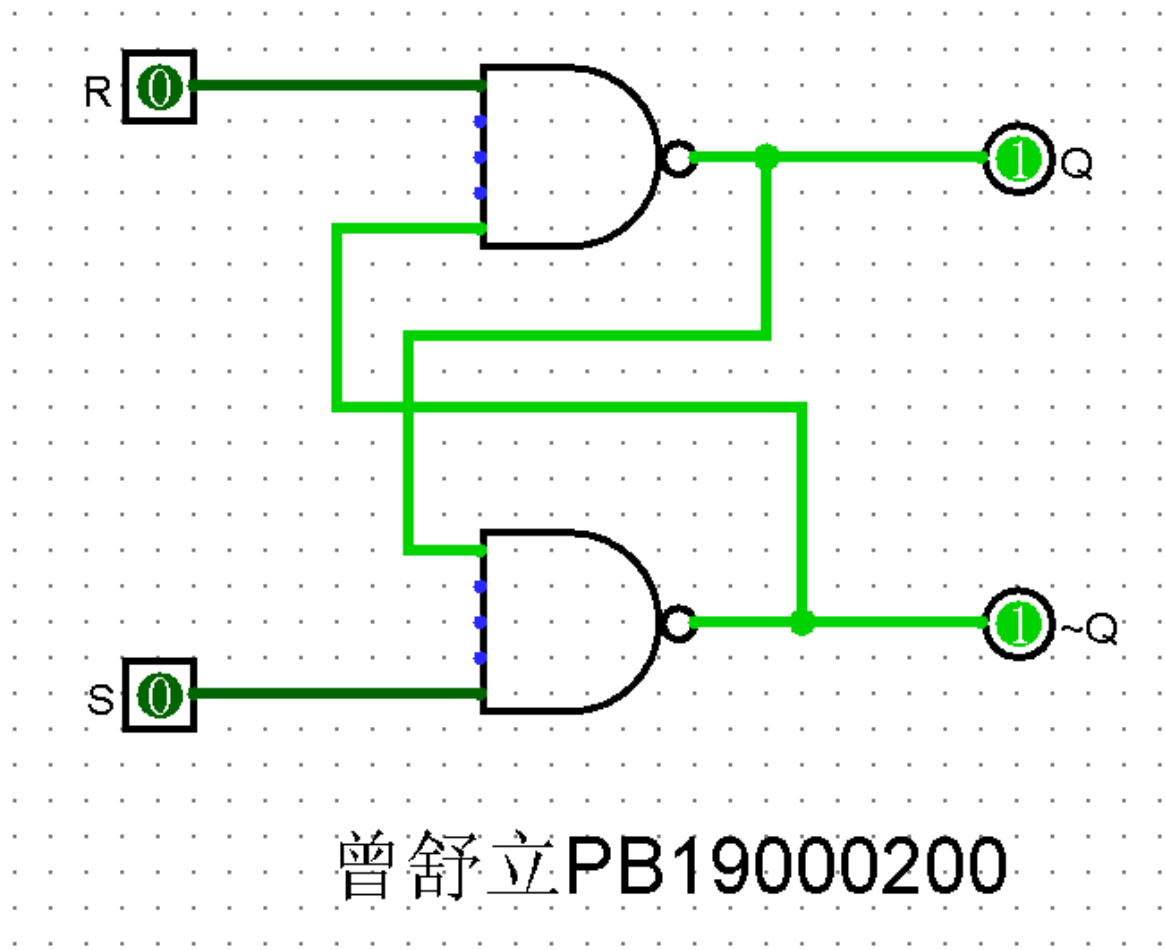
能流畅连接校园网的 PC 一台，vlab.ustc.edu.cn

Logisim 仿真工具

实验过程

题目1

由与非门构造的SR锁存器（SR-nand）电路图：

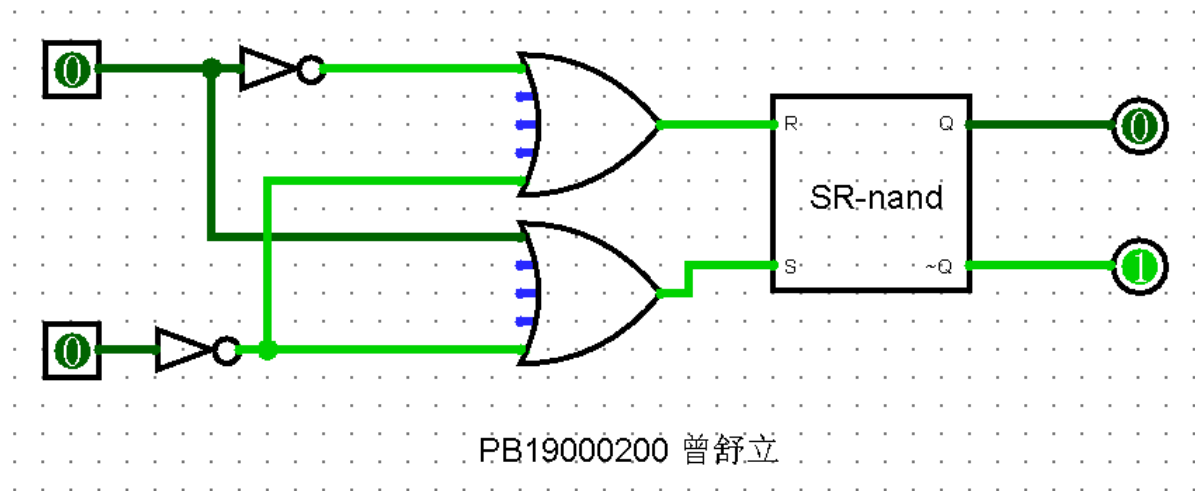


其功能表：

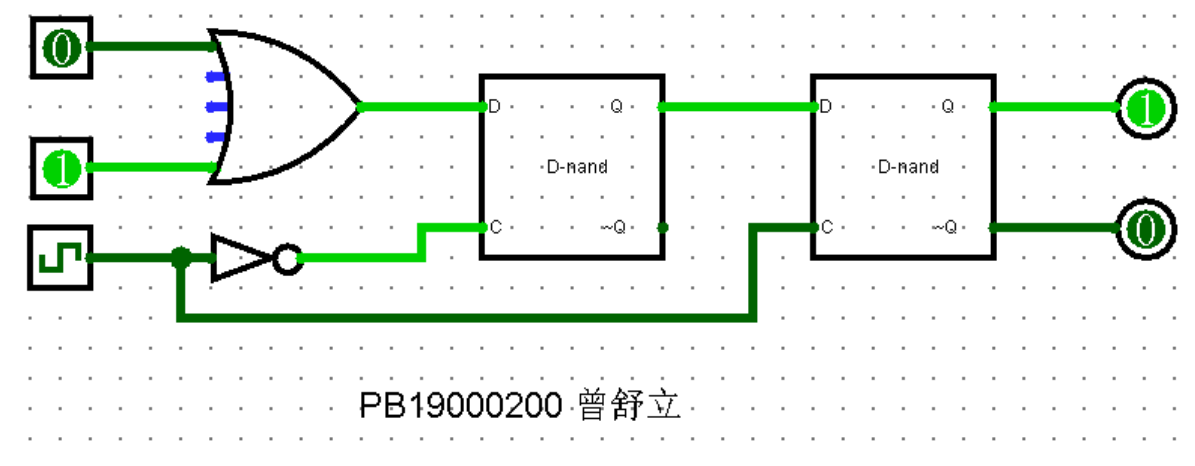
R	S	Q	/Q	功能
0	0	1	1	非定义状态
0	1	1	0	置位 (置1)
1	0	0	1	复位 (置0)
1	1	不变	不变	保持

题目2

先画出用上面的与非门SR锁存器 (SR-nand) 实现的D锁存器 (D-nand)：



同步置位D触发器 (d-ff-synset) 在其基础上画出为：



其对应verilog代码：

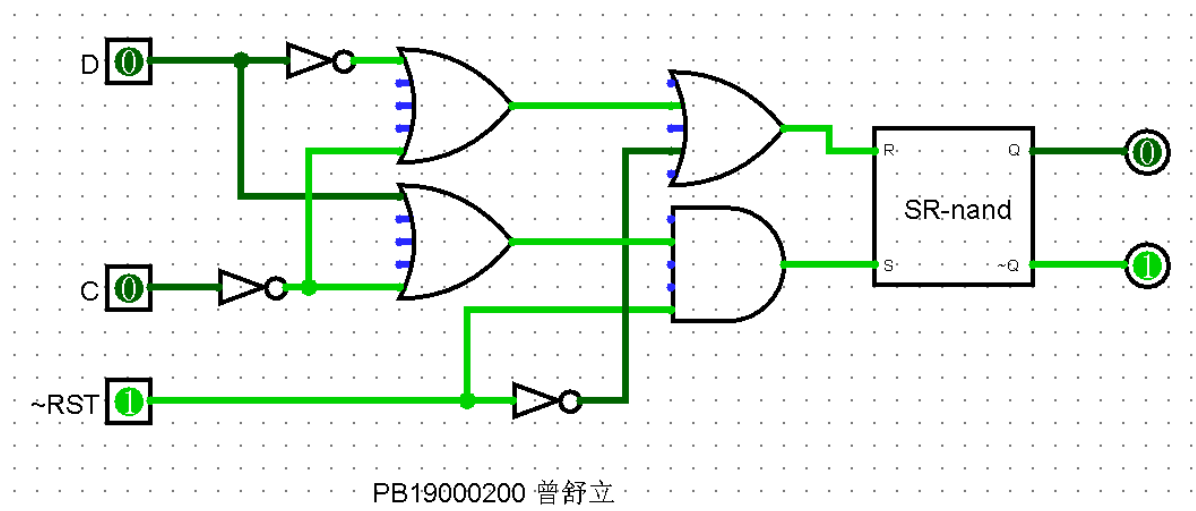
```

1 module d_ff_synset(input d,c,set,output reg q,q_n);
2   always @(posedge c)
3   begin
4     if (set==1){
5       q<=1;
6       q_n<=0;
7     }
8     else{
9       q<=d;
10      q_n<=~d;
11    }
12  end
13 endmodule

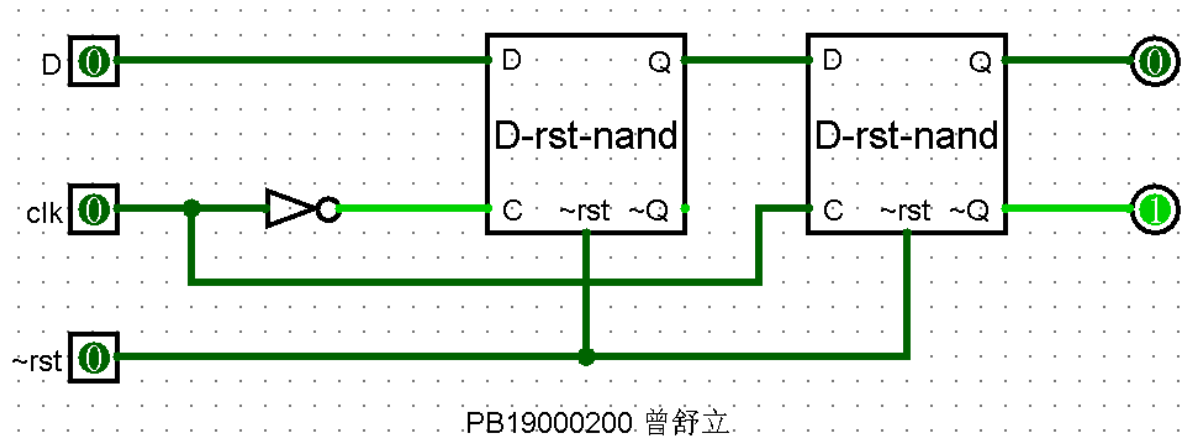
```

题目3

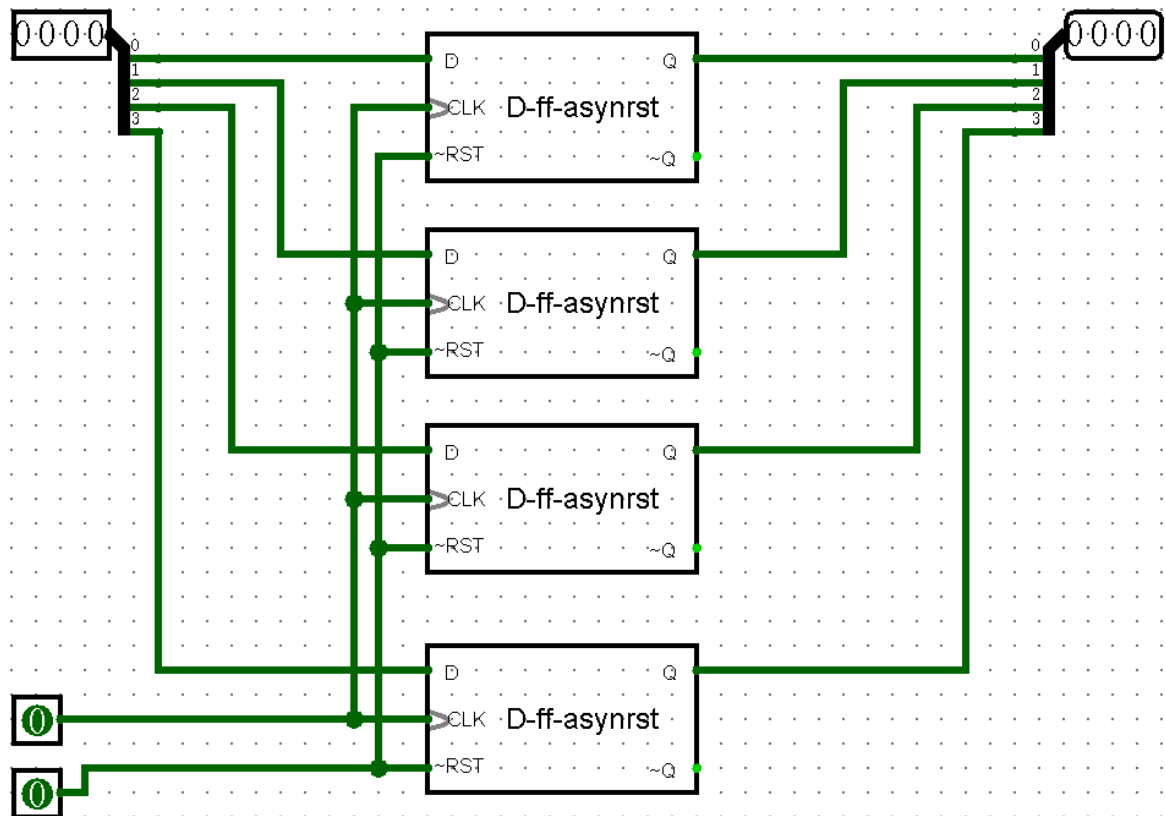
先画出由前面的与非门SR锁存器（SR-nand）实现的带异步复位的D锁存器（D-rst-nand）：



再在其基础上画出带异步复位功能的D触发器（D-ff-asynrst）：

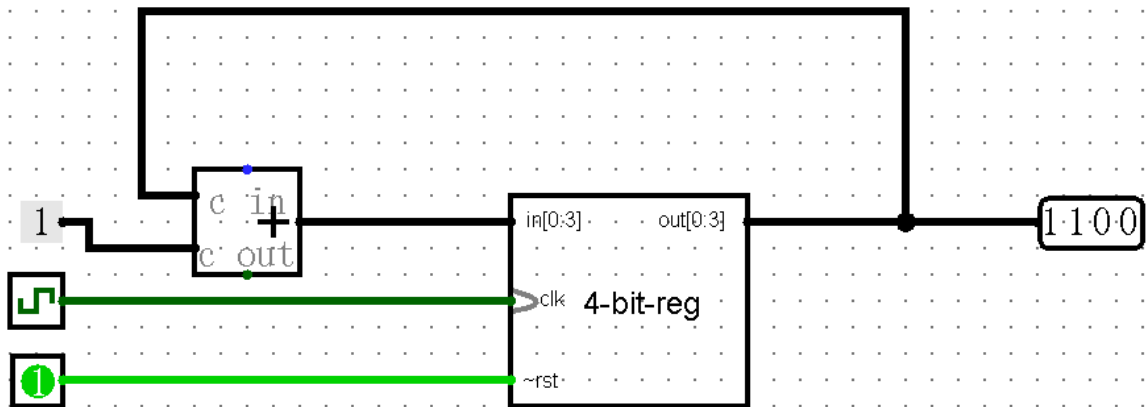


再在带异步复位功能的D触发器的基础上画出4bit的寄存器（4bit-reg）：



PB19000200 曾舒立

最后调用4bit寄存器（4bit-reg）实现0到15循环计数的4bit计数器：



PB19000200 曾舒立

以上对应的verilog代码为：

```

1  module d_ff_asynrst(input d,c,rst_n,output reg q,q_n);
2  always @(posedge c, negedge rst_n)
3  begin
4      if (rst_n==0){
5          q<=0;
6          q_n<=1;
7      }
8      else{
9          q<=d;
10         q_n<=~d;
11     }

```

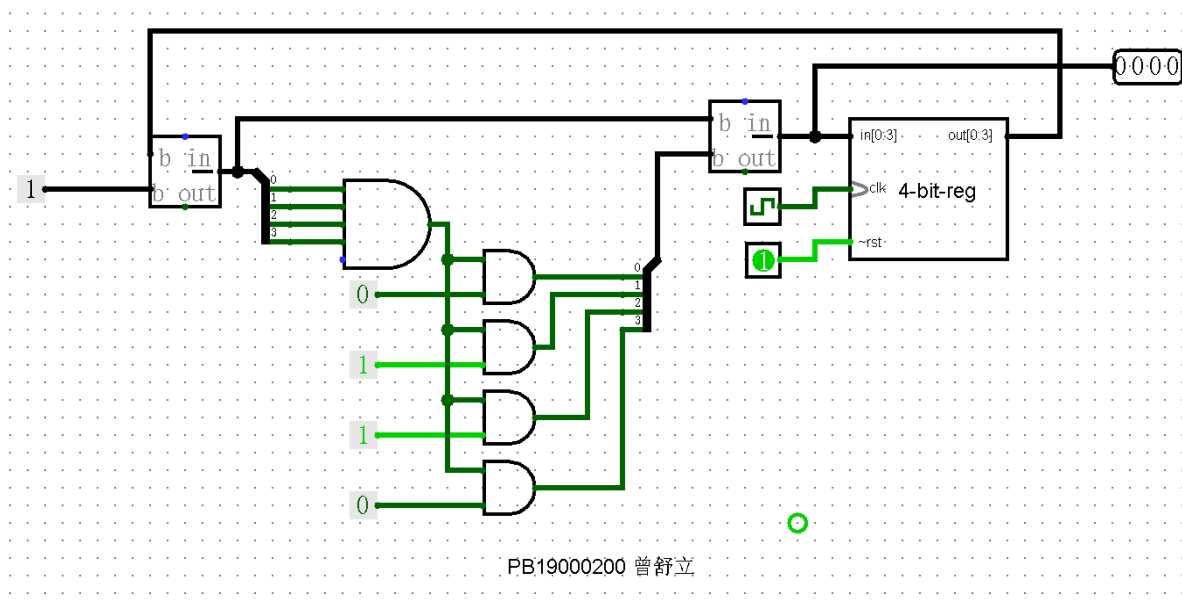
```

12 end
13 endmodule
14
15 module reg4(input [0:3]d,c,rst_n,output [0:3]q);
16 d_ff_asynrst dff0(d[0],c,rst_n,q[0],);
17 d_ff_asynrst dff1(d[1],c,rst_n,q[1],);
18 d_ff_asynrst dff2(d[2],c,rst_n,q[2],);
19 d_ff_asynrst dff3(d[3],c,rst_n,q[3],);
20 endmodule
21
22 module bit4_count(input c,rst_n,output q[0:3]);
23 wire [0:3]q_;
24 assign q_=q+4'b0001;
25 reg4 r0(q_,c,rst_n,q);
26 endmodule

```

题目4

9到0循环递减的复位值为9的计数器电路为：



对应的verilog代码为：

```

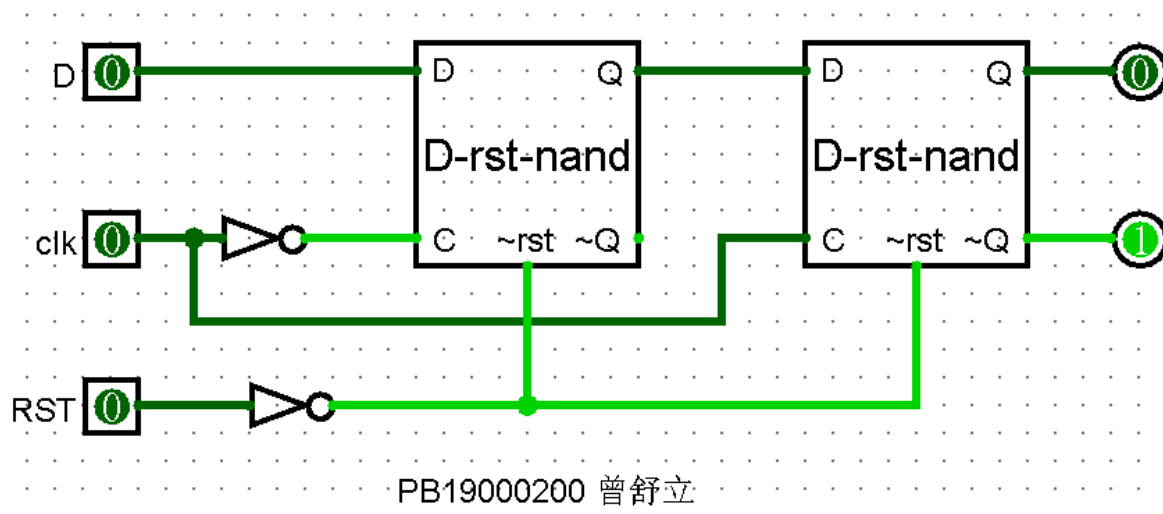
1 `include week3_3.v #这里是引用了上面题目3中的代码
2 module bit4_10minus(input c,rst_n,output [0:3]q);
3 reg [0:3]q_;
4 always @(q)
5 begin
6     if (q==4'b0000){
7         q_=4'b1001;
8     }
9     else{
10         q_=q-4'b0001;
11     }
12 end
13 reg4 r0(q_,c,rst_n,q);
14 endmodule

```

题目5

(这里认为题目中“前面所有电路的复位信号都是低电平有效”指的是异步复位中的复位，而同步置位这里不认为是复位（而是置位）。)

下面为高电平有效的异步复位D触发器的电路图：



对应verilog代码为：

```
1 module d_ff_asynrst_high(input d,c,rst,output reg q,q_n);
2   always @(posedge c,posedge rst)
3   begin
4     if (rst==1){
5       q<=0;
6       q_n<=1;
7     }
8     else{
9       q<=d;
10      q_n<=~d;
11    }
12  end
13 endmodule
```

总结与思考

1. 请总结本次实验的收获

- 学会了用verilog编写时序逻辑电路。加深了对时序逻辑电路的理解。

2. 请评价本次实验的难易程度

- 本次实验难度很大，特别是异步复位D触发器的设计难度太大，主要难在方向不明，自己盲目尝试容易犯大量错误而不容易解决，也不容易想到正确的设计，极度浪费时间，应当给予适当提示（比如应该先实现带异步复位的D锁存器），还有对电路中可能出现的oscillation apparent错误应该要清楚指出其原因以及如何解决。

3. 请评价本次实验的任务量

- 本次实验任务量很大，代码量和画图量以及思考量都很大，主要是思考并不断尝试修改电路设计极其耗时，应当给予适当的提示。

4. 请为本次实验提供改进建议

- 如上所述。

