

数字电路实验报告：实验 04_Verilog 硬件描述语言

姓名：曾舒立；学号：PB19000200；日期：2021/11/1。

实验目的

掌握 Verilog HDL 常用语法

能够熟练阅读并理解 Verilog 代码

能够设计较复杂的数字功能电路

能够将 Verilog 代码与实际硬件相对应

实验环境

PC 一台

Windows 或 Linux 操作系统

Java 运行环境 (jre)

Logisim 仿真工具 vlab.ustc.edu.cn (jre、Logisim 工具以及 Verilog 语法介绍都可在此网站获取)

实验过程

题目1

```
1 module test(  
2   input a,  
3   output reg b); //由于b在always内被赋值，b必须为reg型  
4   always @(*)  
5   begin  
6       if(a) b = 1'b0; //if语句需要写在过程语句中  
7       else b = 1'b1;  
8   end  
9 endmodule
```

题目2

```
1 module test(  
2   input [4:0] a,  
3   output reg [4:0] b); //补全  
4   always@(*)  
5   b = a;  
6 endmodule //补全
```

题目3

```
1 c=8'b0011_0000
2 d=8'b1111_0011
3 e=8'b1100_0011
4 f=8'b1100_1100
5 g=8'b0011_0000
6 h=8'b0000_0110
7 i=8'b0000_0000
8 j=8'b1111_0000
9 k=8'b0100_0011
```

题目4

```
1 module sub_test(
2     input a,b,
3     output c); //由于c为assign中被赋值的值，于是c应该为wire型
4     assign c = (a<b)? a : b;
5 endmodule
6
7 module test(
8     input a,b,c,
9     output o);
10    wire temp; //由于temp为被调用模块的输出，必须为wire型
11    sub_test s0(.a(a),.b(b),.c(temp)); //调用模块时，端口信号可以通过位置或名称进行关联，
    //但两种关联方式不能混用。
12    sub_test s1(temp,c,o); //同上
13 endmodule
```

题目5

```
1 module sub_test(
2     input a,b, //括号内应该包括input与output的所有端口
3     output o); //同上
4     assign o = a + b;
5 endmodule
6
7 module test(
8     input a,b,
9     output c);
10    sub_test sub_test(a,b,c); //例化模块不应该在always内
11 endmodule
```

总结与思考

1. 请总结本次实验的收获

学会了verilog的语法，理解了verilog所描述的是实际电路的功能而不是一个过程。

2. 请评价本次实验的难易程度

较为简单。

3. 请评价本次实验的任务量

比较合适。

4. 请为本次实验提供改进建议

暂无。