

数字电路实验报告：实验 02 简单组合逻辑电路

姓名：曾舒立；学号：PB19000200；日期：2021/10/16。

实验目的

熟练掌握 Logisim 的基本用法

进一步熟悉 Logisim 更多功能

用 Logisim 设计组合逻辑电路并进行仿真

初步学习 Verilog 语法

实验环境

PC 一台,能流畅的连接校园网

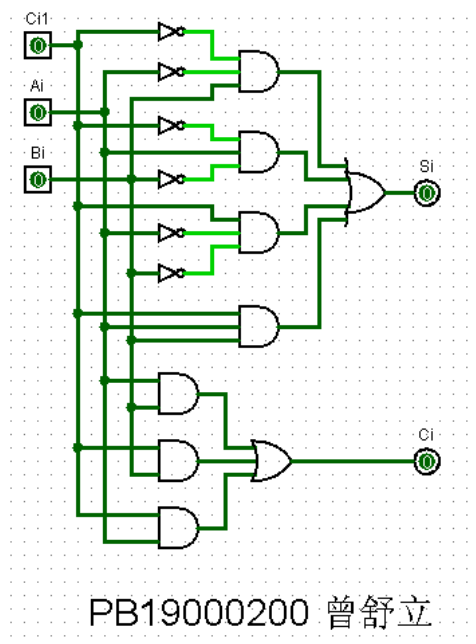
Logisim 仿真工具

vlab.ustc.edu.cn (jre、Logisim 工具以及 Verilog 语法介绍都可在此网站获取)

实验过程

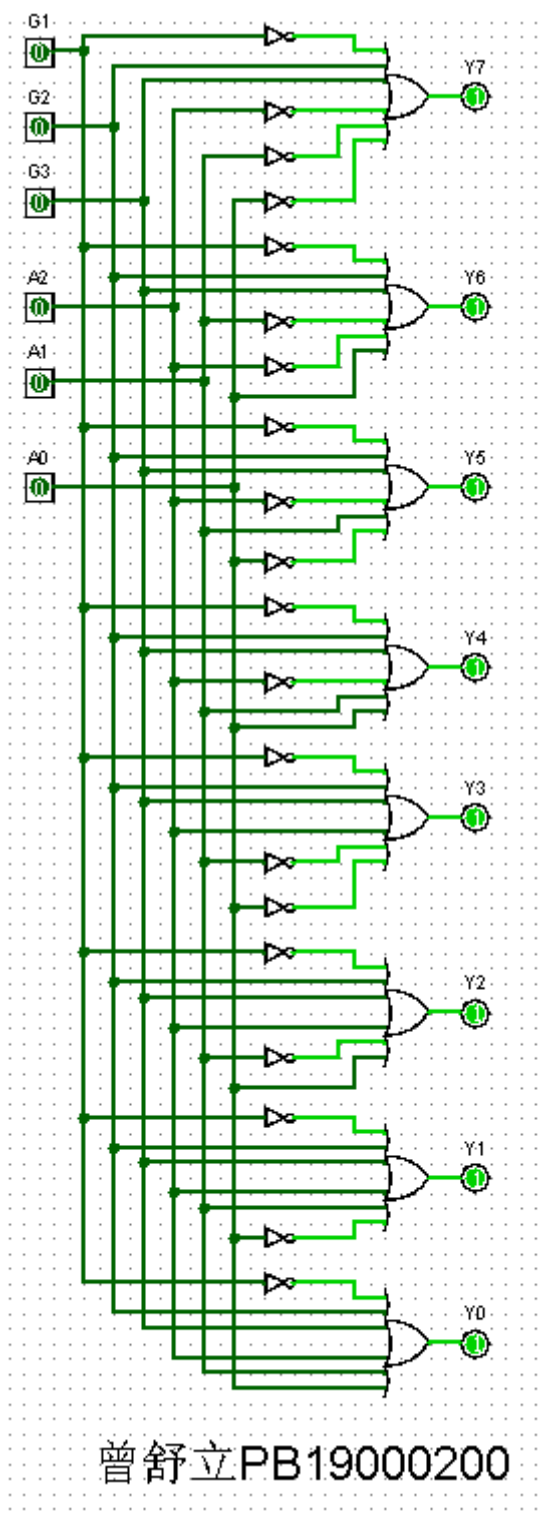
题目1

在logisim中通过编辑真值表生成电路得：



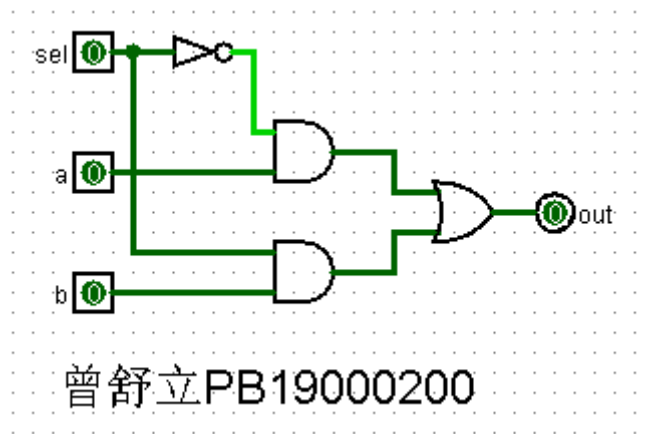
题目2

通过在logisim中编辑表达式生成电路得：



题目3

使用 Logisim 绘制 1bit 位宽的二选一选择器电路图，（输入信号为 a,b,sel，输出信号为 out,sel 为 0 时选通 a 信号）。



Verilog 代码为:

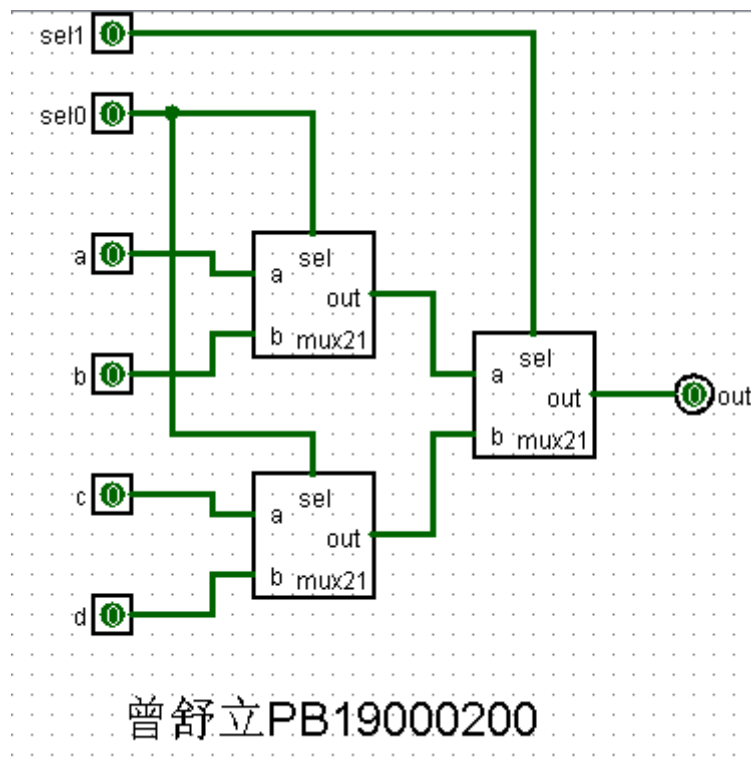
```
1 module mux21(input a,b,sel,output out);
2 assign out = (~sel & a) | (sel & b);
3 endmodule
```

题目4

通过例化题目 3 中的二选一选择器，用 Verilog 实现一个四选一选择器（输入信号为 a,b,c,d,sel1,sel0,out, sel1 和 sel0 都为 0 时选中 a 信号），代码为:

```
1 `include "mux21.v"
2 module mux41(input a,b,c,d,sel0,sel1,output out);
3 wire s00,s01;
4 mux21(a,b,sel0,s00);
5 mux21(c,d,sel0,s01);
6 mux21(s00,s01,sel1,out);
7 endmodule
```

电路为:



题目5

根据八位优先编码器真值表，编写 verilog 代码：

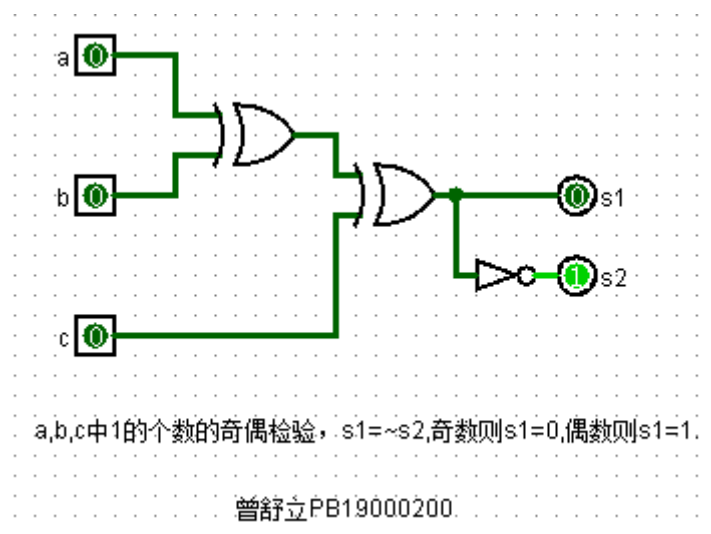
```
1 module encoder83(input i0,i1,i2,i3,i4,i5,i6,i7,output y0,y1,y2);
2 assign y2 = i4 | i5 | i6 | i7;
3 assign y1 = i7 | i6 | (~i7 & ~i6 & ~i5 & ~i4 & (i3 | i2));
4 assign y0 = i7 | (~i7 & ~i6 & i5) | (~i7 & ~i6 & ~i5 & ~i4 & i3) | (~i7 & ~i6
5 & ~i5 & ~i4 & ~i3 & ~i2 & i1);
6 endmodule
```

题目6

阅读如下 Verilog 代码，描述其功能，并画出其对应的电路图。

```
1 module test(
2 input a,b,c,
3 output s1,s2);
4 assign s1= ~a & ~b & c | ~a & b & ~c | a & ~b & ~c | a & b & c;
5 assign s2= ~a & b & c | a & ~b & c | a & b & ~c | ~a & ~b & ~c;
6 endmodule
```

功能与电路图如下：



总结与思考

1. 请总结本次实验的收获
 - 学会了用verilog编写组合逻辑电路，并且实现了封装。学会了使用logisim的真值表与表达式自动生成电路的功能。
2. 请评价本次实验的难易程度
 - 本次实验难度不大，比较合适。
3. 请评价本次实验的任务量
 - 本次实验任务量不大，可以在一节课左右解决，比较合适。
4. 请为本次实验提供改进建议
 - 暂无

