数字电路实验报告:实验 05 使用 Vivado 进行仿真

姓名: 曾舒立; 学号: PB19000200; 日期: 2021/11/14。

实验目的

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真,查看并分析波形文件

实验环境

PC 一台

vlab.ustc.edu.cn

Vivado 工具

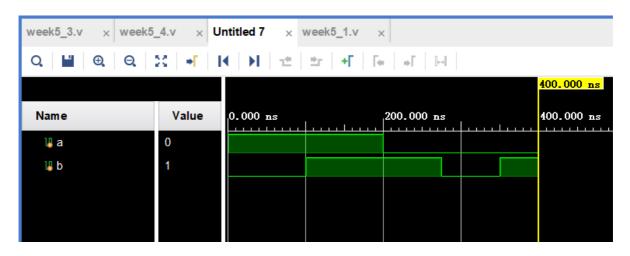
实验过程

题目1

仿真文件代码如下:

```
1 module week5_1();
2 reg a,b;
4 initial
5 begin
      a=1;
7
      b=0;
8
      #100 b=1;
      #100 a=0;
10
      #75 b=0;
      #75 b=1;
11
12
       #50 $stop;
13 end
15 endmodule
```

仿真波形如下:



题目2

仿真文件代码如下:

```
module week5_2();
 2
    reg clk,rst_n,d;
 3
 4
    initial
    begin
 6
        c1k=0;
 7
        rst_n=0;
8
        d=0;
 9
        #12.5 d=1;
10
        #15 rst_n=1;
11
        #10 d=0;
        #17.5 $stop;
12
13
    end
14
15
    always #5 clk = \simclk;
16
17
    endmodule
```

仿真波形如下:



实验3

仿真文件代码如下:

```
module d_ff_r(input clk,rst_n,d,output reg q);
always @(posedge clk)
begin
if (rst_n==0)
q <= 1'b0;
else
q <= d;</pre>
```

```
8 end
 9
     endmodule
 10
     module week5_3();
11
12
     reg clk,rst_n,d;
13
     wire q;
14
15
     initial
16
     begin
17
         c1k=0;
18
         rst_n=0;
19
         d=0;
20
         #12.5 d=1;
21
         #15 rst_n=1;
22
         #10 d=0;
23
         #17.5 $stop;
24
     end
25
26
    always #5 clk = \simclk;
27
    d_ff_r d_ff_r0(clk,rst_n,d,q);
28
29
 30
     endmodule
```

仿真波形如下:



题目4

仿真文件代码如下:

```
module decoder38(input [2:0] in,output reg [7:0] out);
 2
    always @(*)
 3
    begin
 4
        case(in)
 5
            3'b000: out=8'b00000001;
 6
            3'b001: out=8'b00000010;
 7
            3'b010: out=8'b00000100;
 8
            3'b011: out=8'b00001000;
9
            3'b100: out=8'b00010000;
10
            3'b101: out=8'b00100000;
11
            3'b110: out=8'b01000000;
12
            3'b111: out=8'b10000000;
13
        endcase
14
    end
15
    endmodule
```

```
16
17
   module week5_4();
18 reg [2:0] in;
19 wire [7:0] out;
20 integer i;
21
22 initial
23 begin
       for(i=0; i<8; i=i+1)
24
25
       begin
          in = i; #10;
26
27
      end
28
       $stop;
29 end
30 decoder38 d0(in,out);
31 endmodule
```

仿真波形如下:



总结与思考

- 请总结本次实验的收获
 学会了verilog仿真文件的写法与仿真操作。
- 2. 请评价本次实验的难易程度较为简单。
- 3. 请评价本次实验的任务量比较合适。
- 4. 请为本次实验提供改进建议暂无。