



**3EE200**  
**Techniques et dispositifs pour l'électronique  
analogique et numérique**

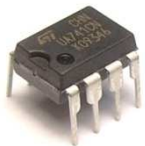
**Chapitre n° 5 :**  
**Fonctions Numériques à Transistors**





# Le Circuit Numérique Parfait

- Alimentation unique  $V_{DD}/V_{SS}$
- Consommation minimale
- Niveaux de sortie  $V_{DD}/V_{SS}$
- Transition à  $(V_{DD}+V_{SS})/2$
- Pas de délais
- Nombre d'entrées et de sorties illimité
- Impédance d'entrée infinie
- Impédance de sortie nulle



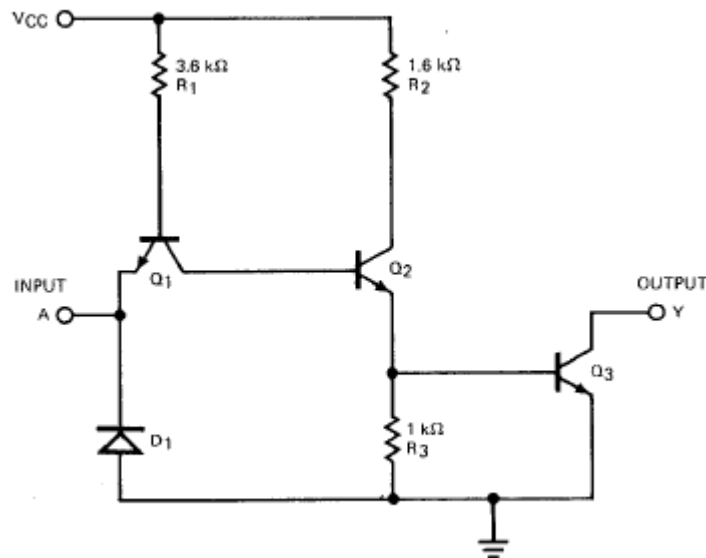
**Mais en électronique, rien n'est parfait ...**



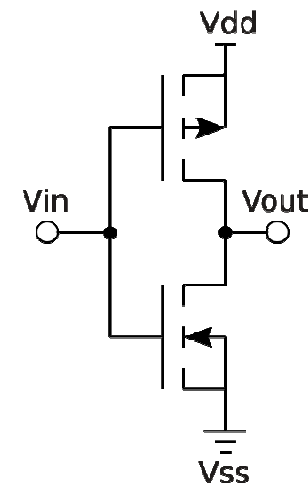
# Technologies TTL et CMOS

- Deux technologies historiques
  - TTL Transistors Bipolaires
  - CMOS Transistors MOS

## Inverseur logique



TTL



CMOS





# Technologie TTL

- Avantages
  - Vitesse de commutation
  - Immunité aux parasites bonnes (découplage de l'alim)
  - Entrées en l'air à 1
- Inconvénients
  - Alimentation fixe
  - Consommation statique





# Technologie CMOS

- Avantages:
  - Simplicité
  - Densité d'intégration élevée
  - Consommation statique faible
  - Alimentation variable
- Inconvénients:
  - Rapidité
  - Fragilité (décharges statiques)

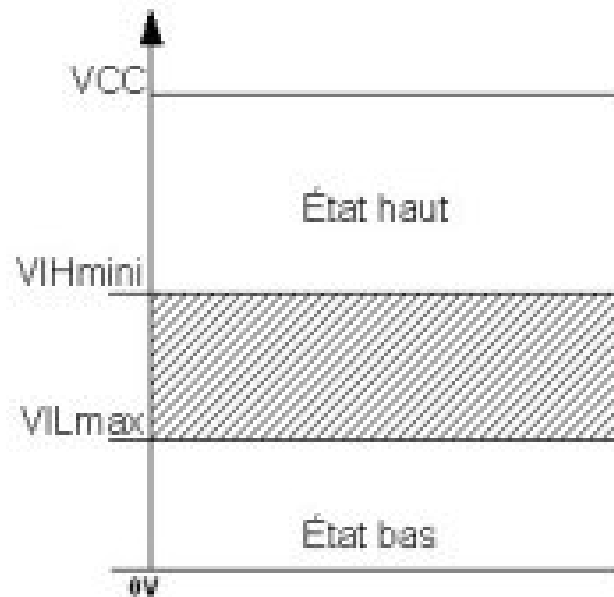




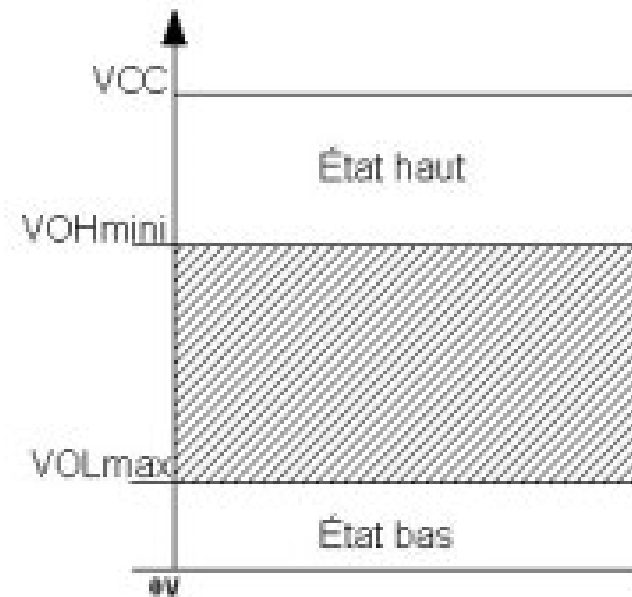
# Caractéristiques des CI Numériques

- Niveaux de tension

En entrée



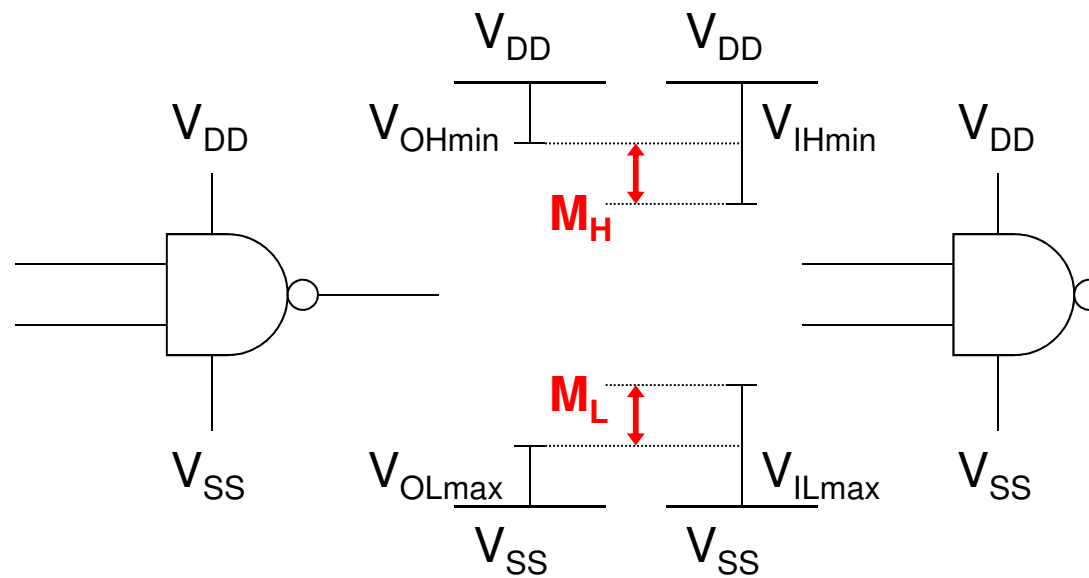
En sortie





# Caractéristiques des CI Numériques

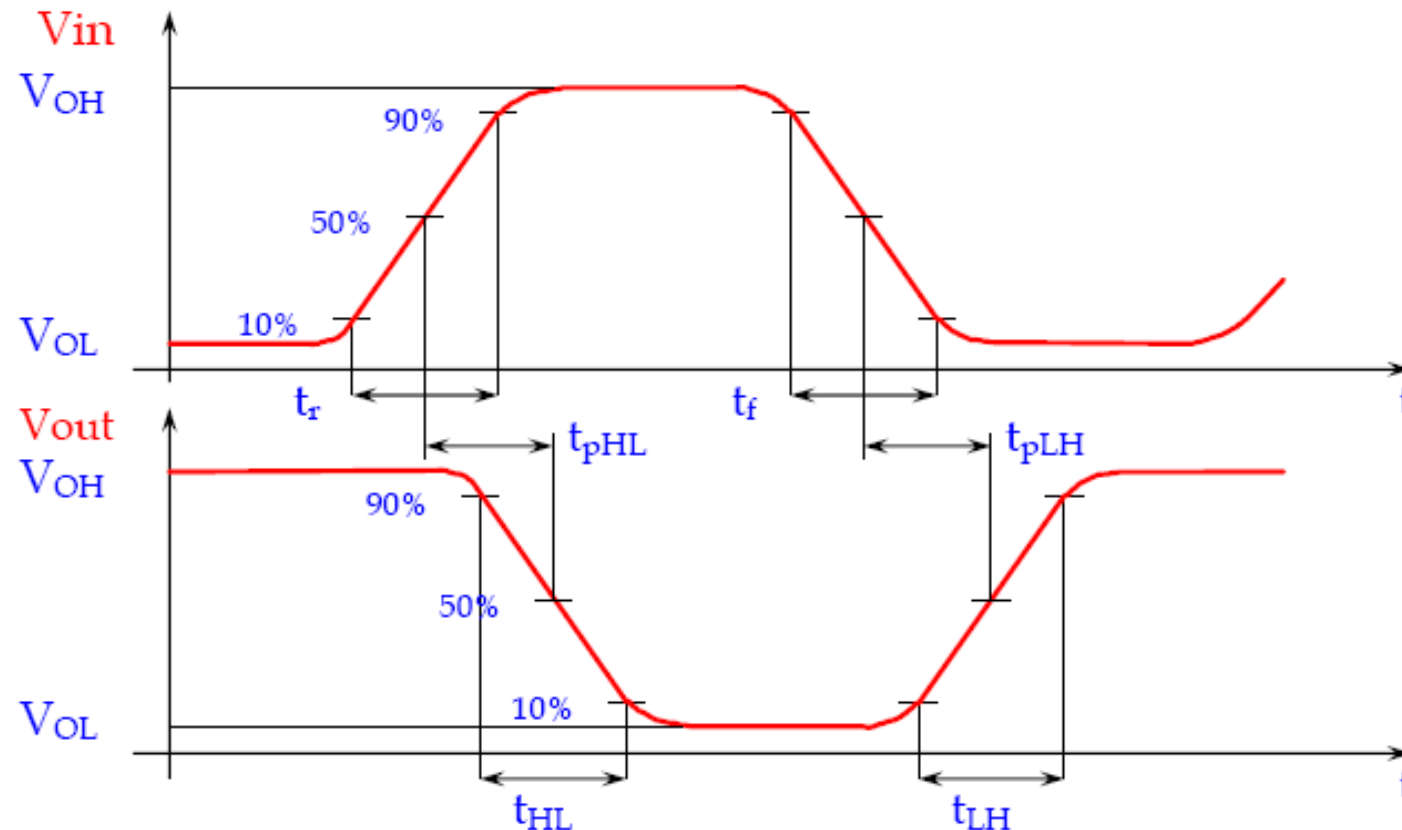
- Marge de bruit





# Caractéristiques des CI Numériques

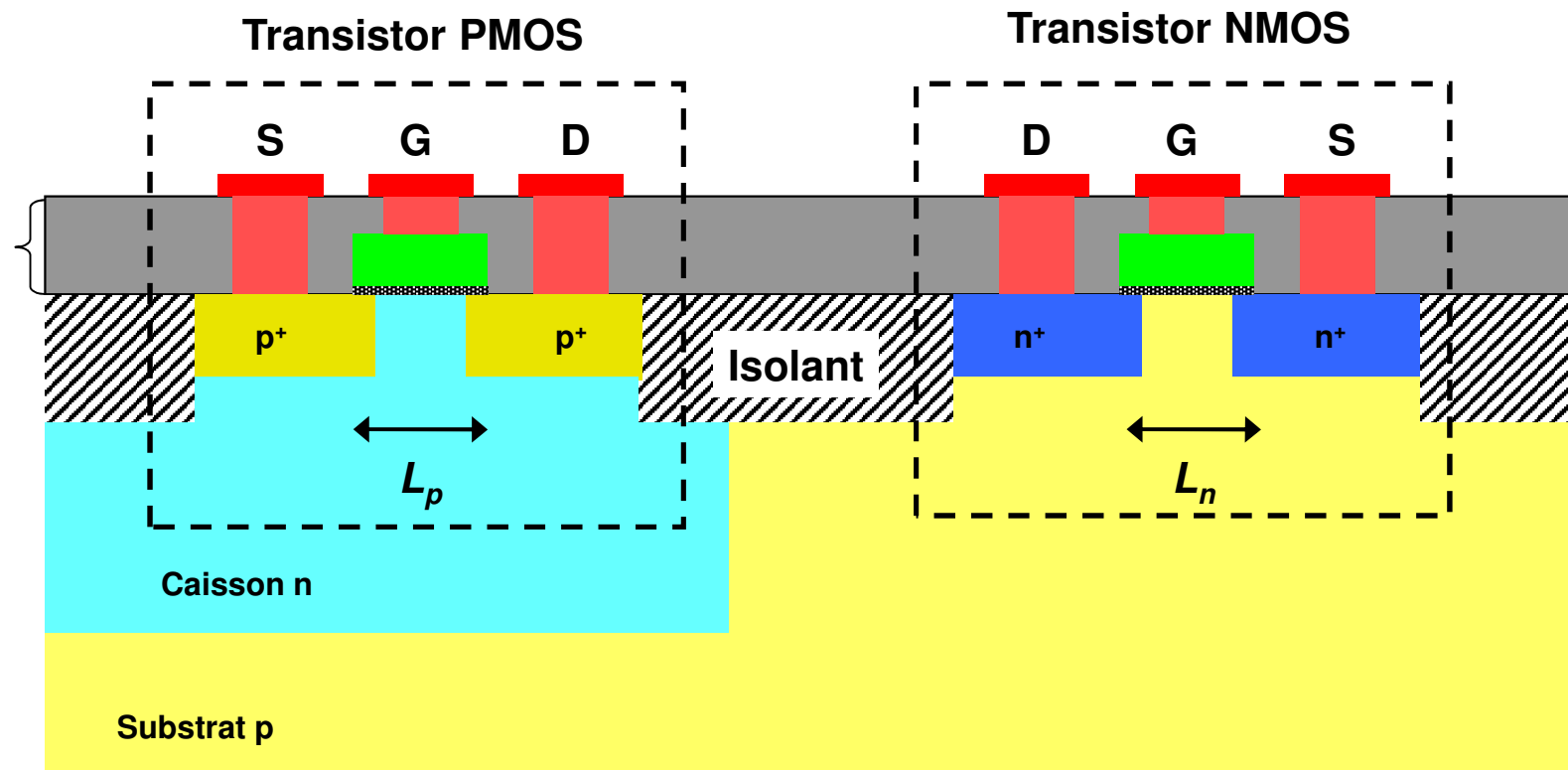
- Temps
  - Rise/Fall Time
  - Propagation Time (LH/HL)





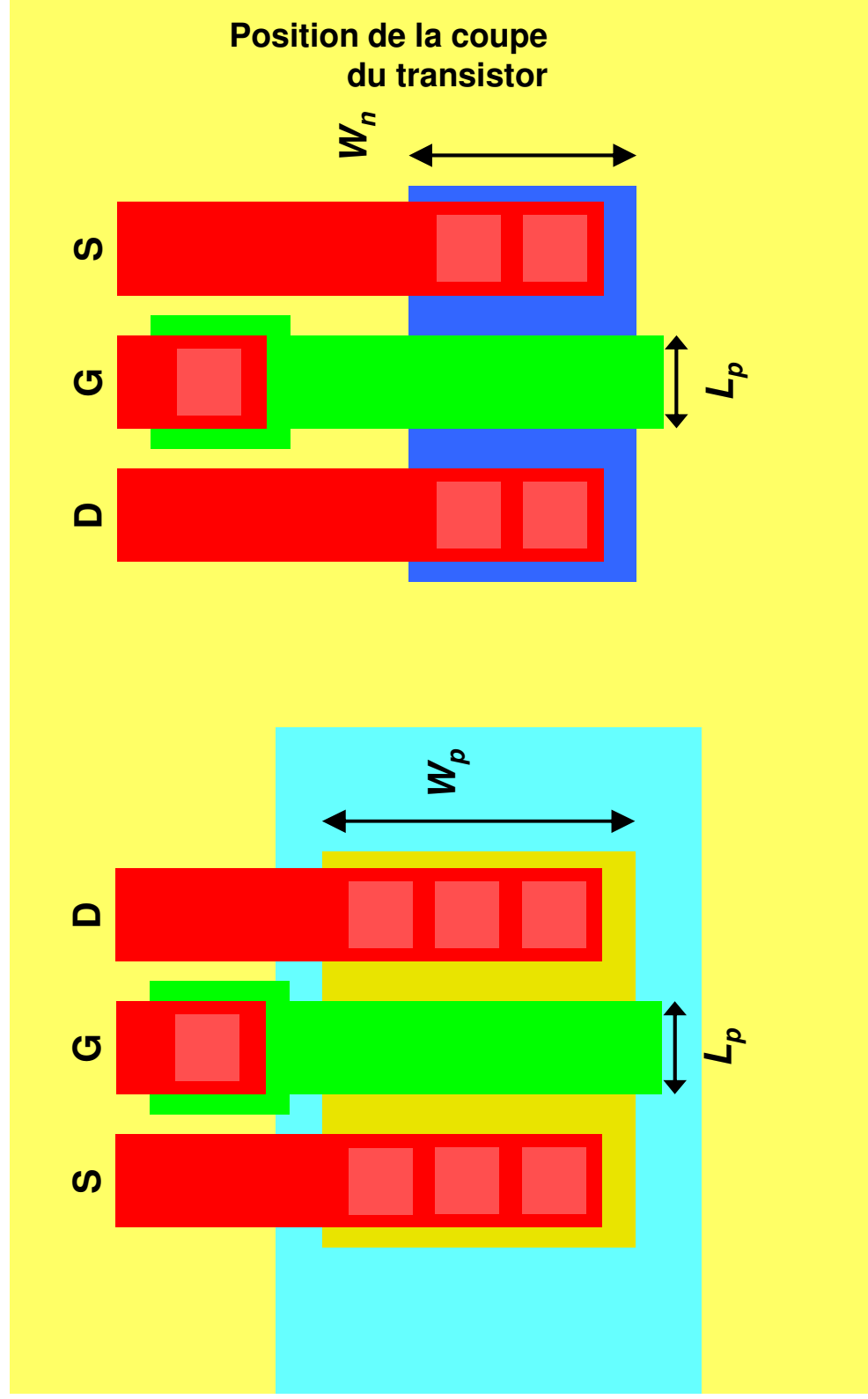


# Circuit CMOS



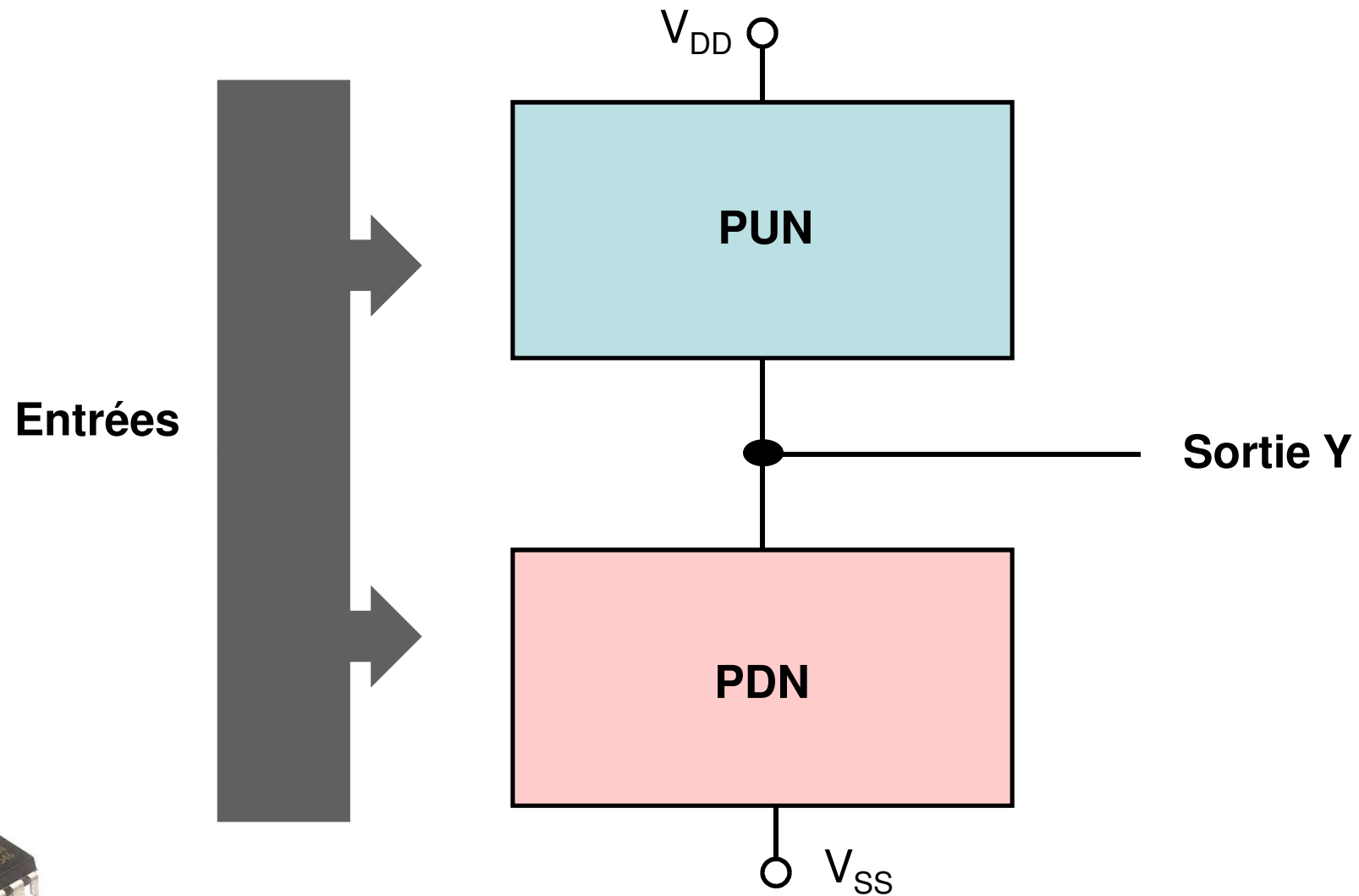


# Circuit CMOS



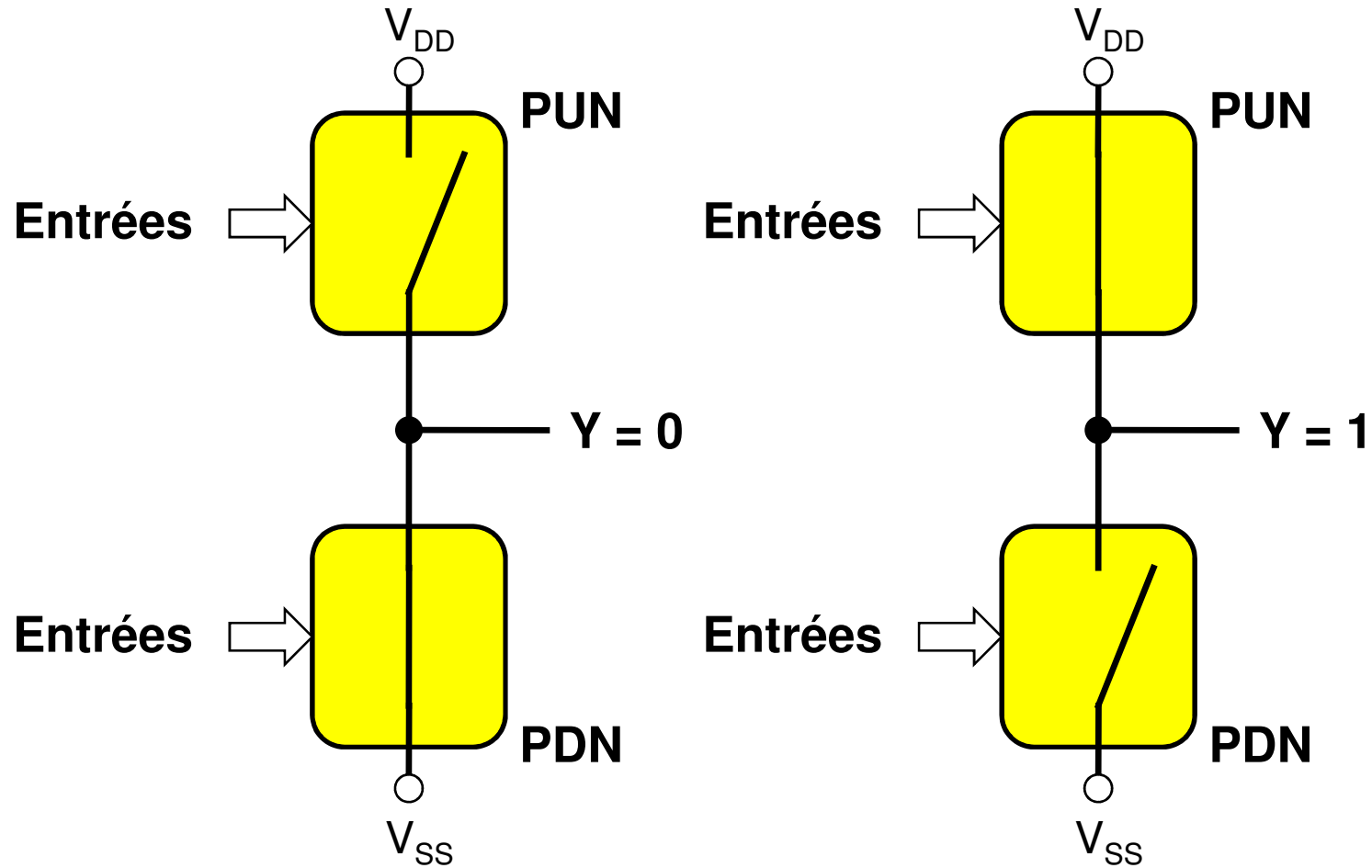


# Structure des Portes Logiques



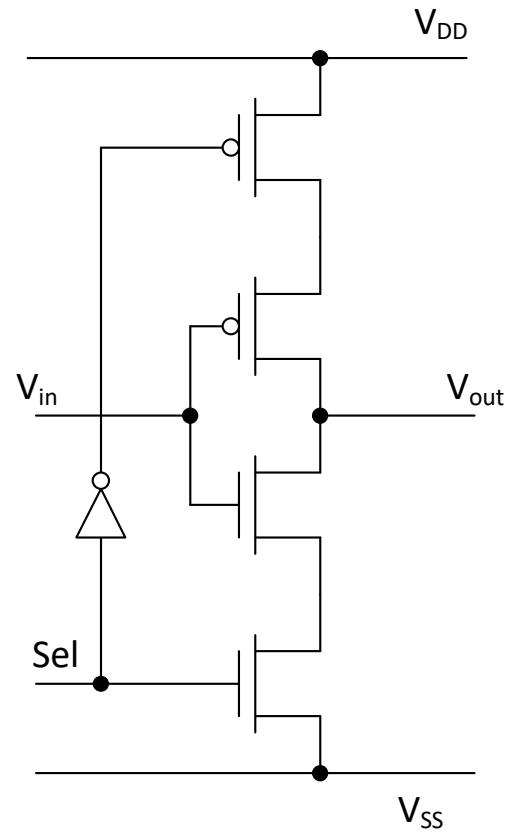
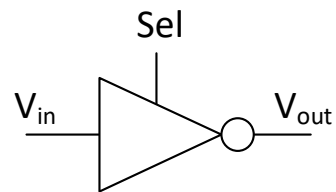


# Structure des Portes Logiques





# Inverseur Trois Etats

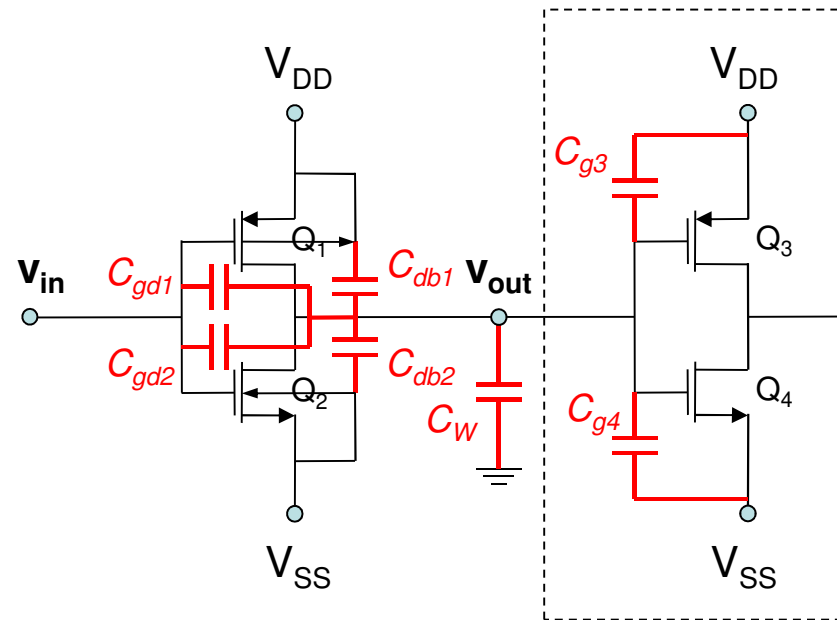


$V_{in}$	Sel	$V_{out}$
0	1	1
1	1	0
X	0	Haute impédance



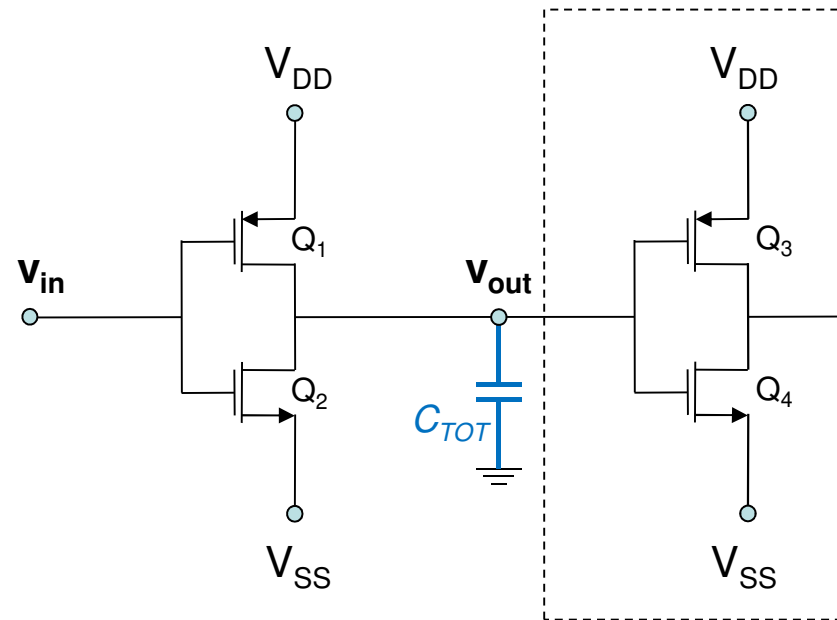


# Analyse dynamique





# Analyse dynamique

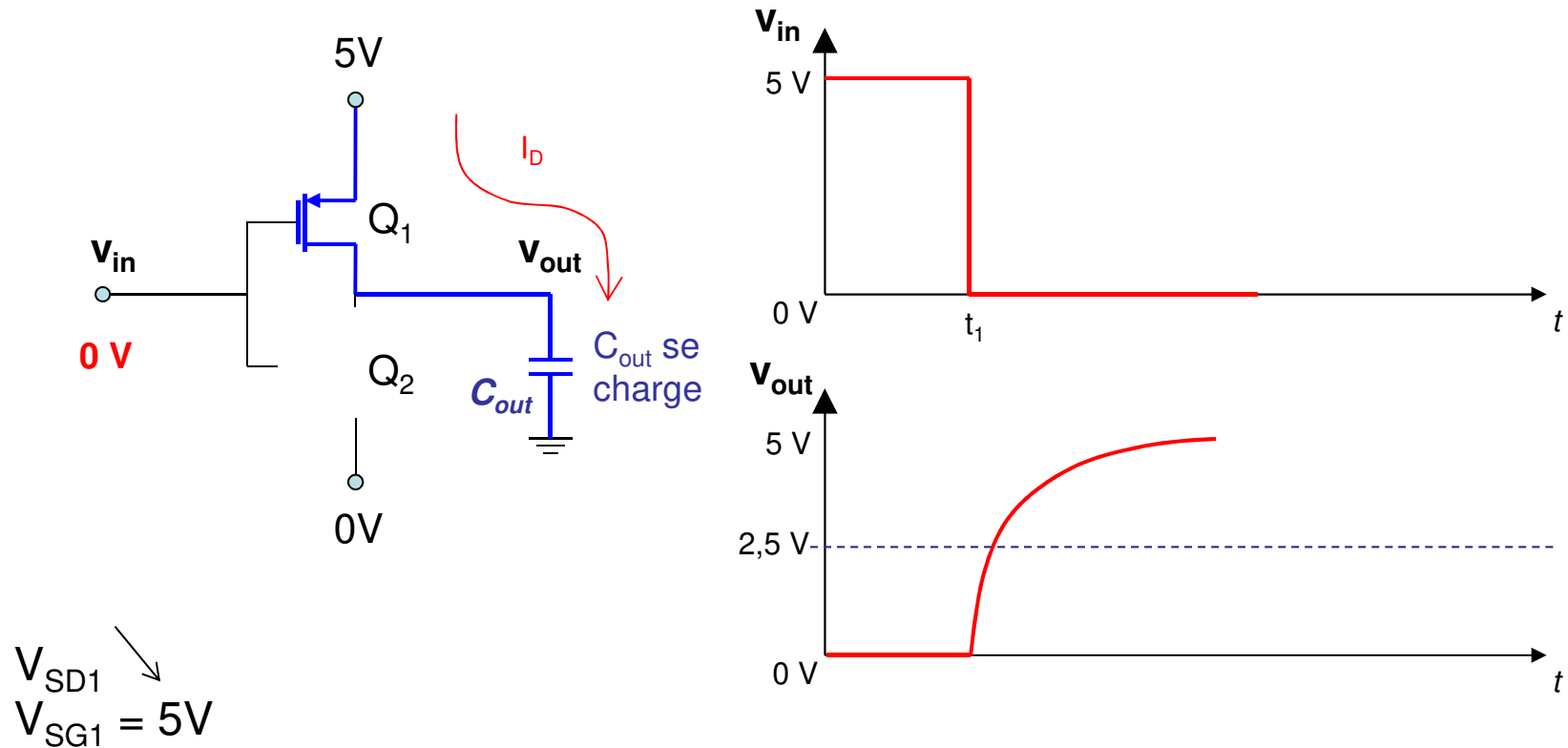


Exemple d'application avec  $V_{DD} = 5V$ ,  $V_{SS} = 0V$ ,  $V_{in} = 0V$  ou  $5V$





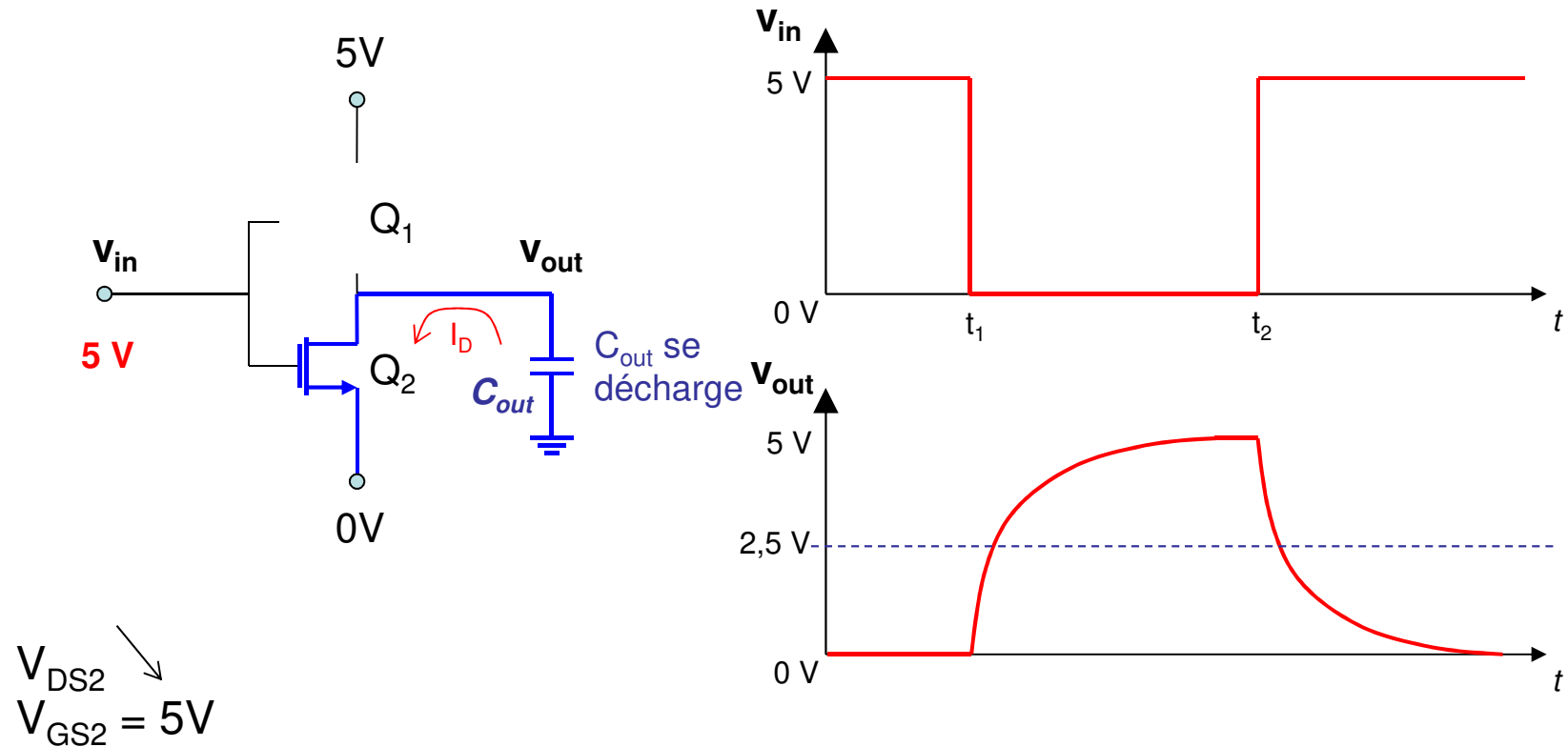
# Analyse dynamique





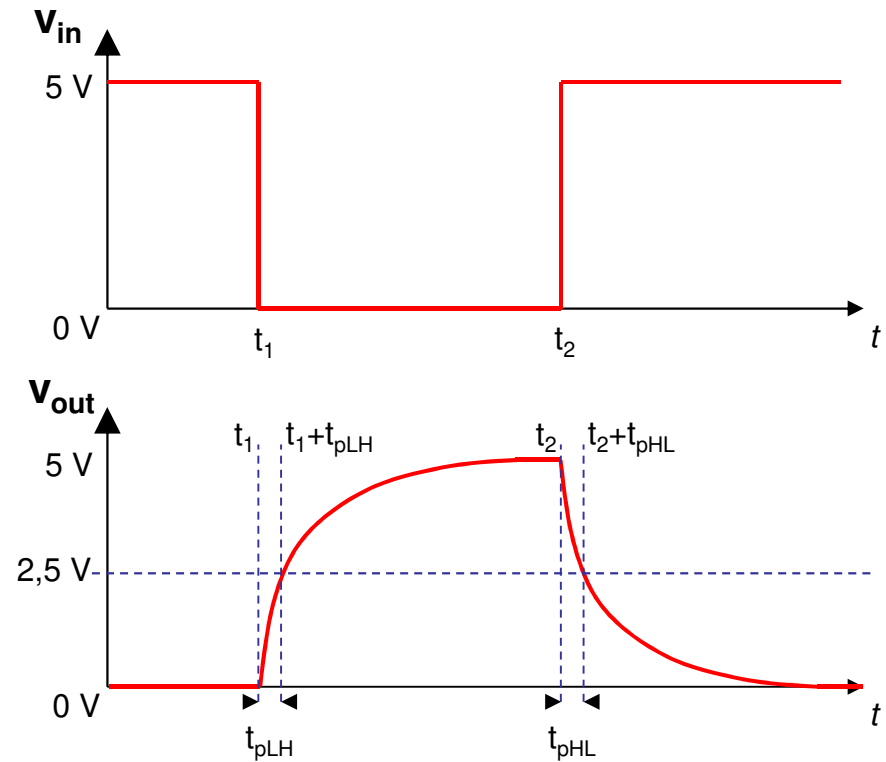
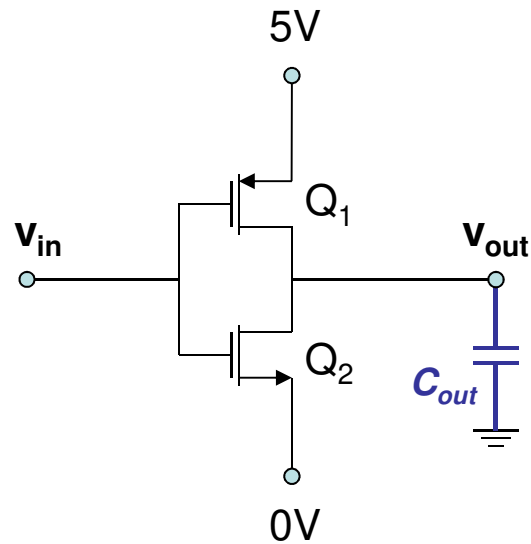


# Analyse dynamique





# Analyse dynamique



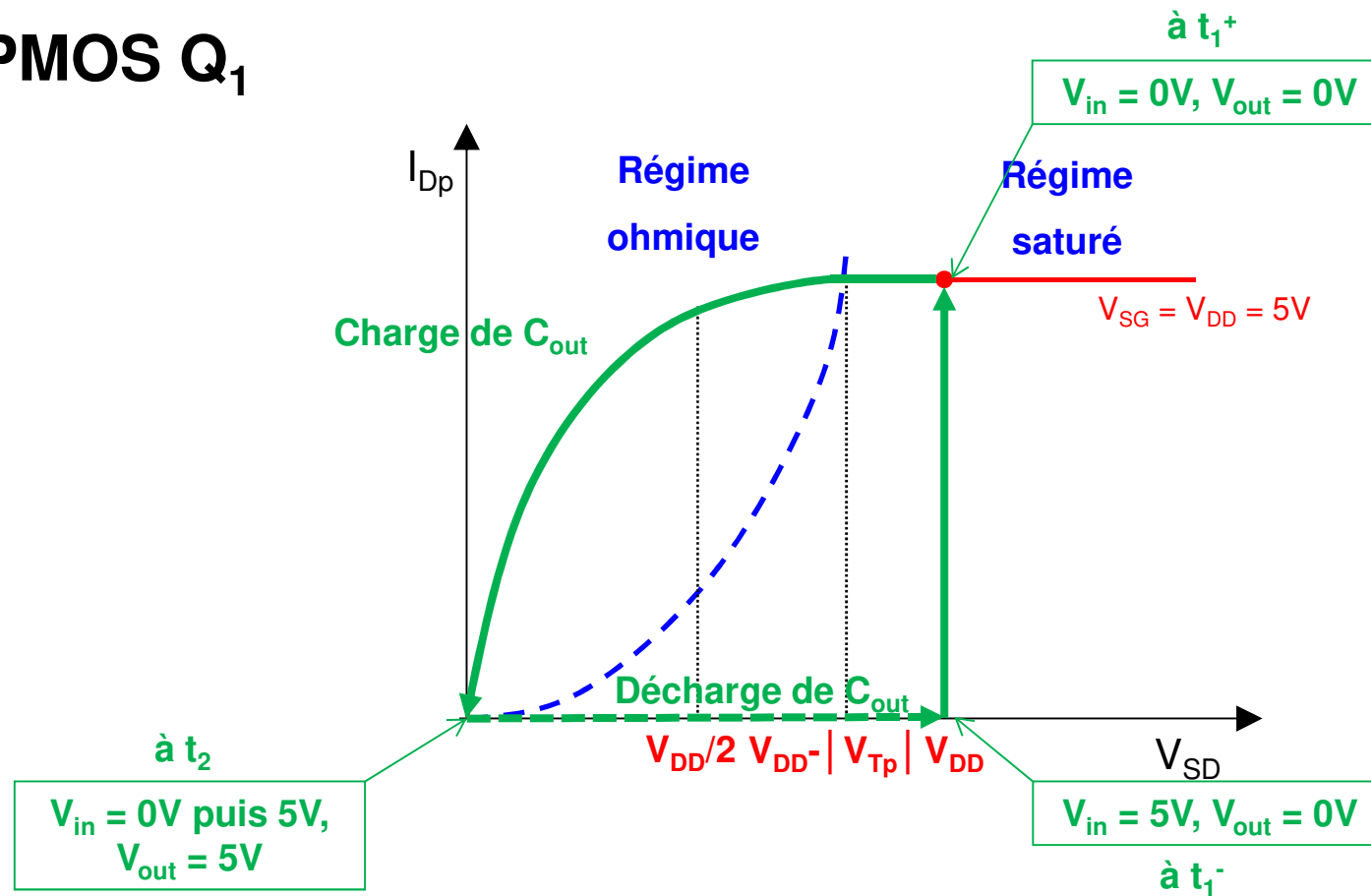
$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$





# Analyse dynamique

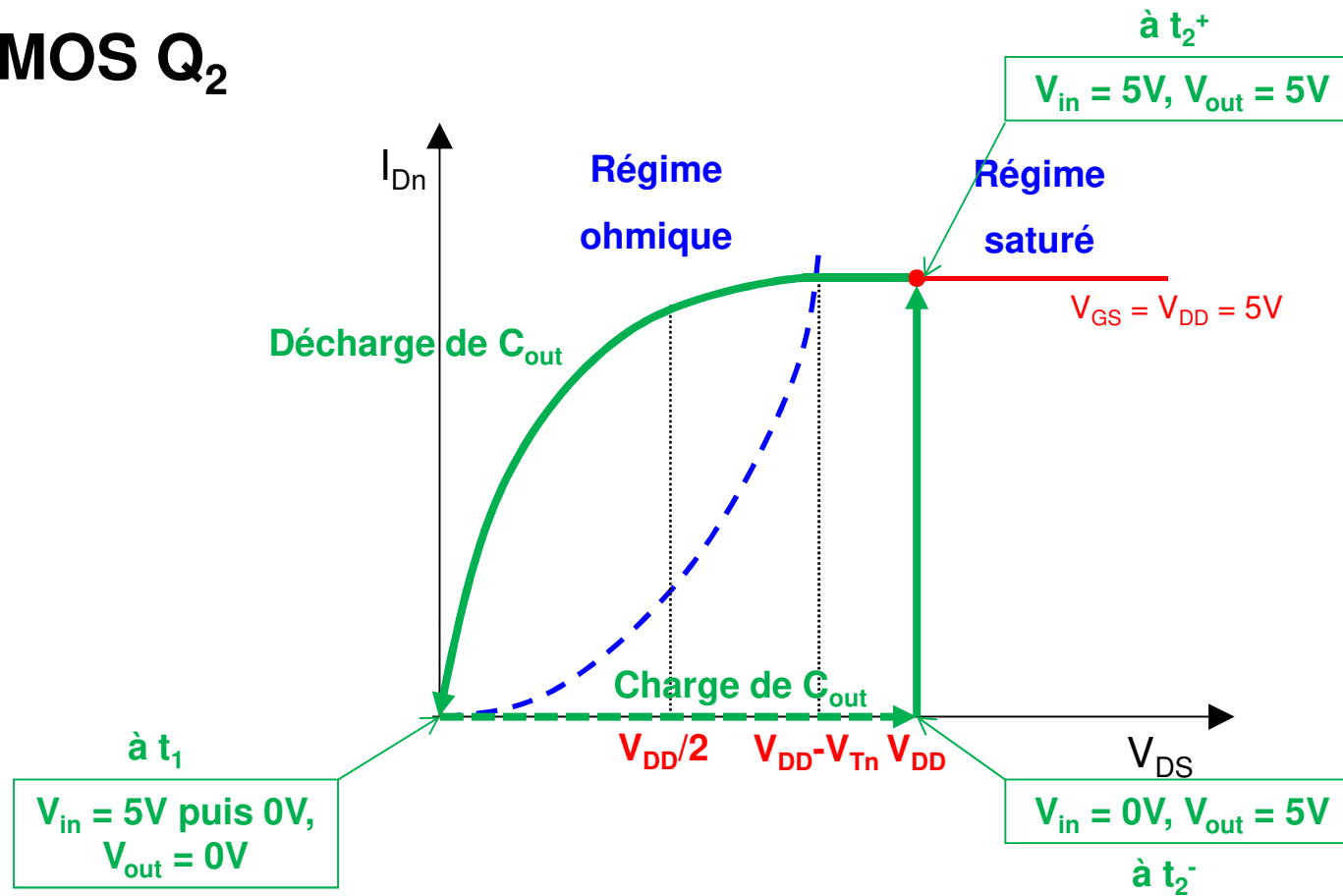
PMOS  $Q_1$





# Analyse dynamique

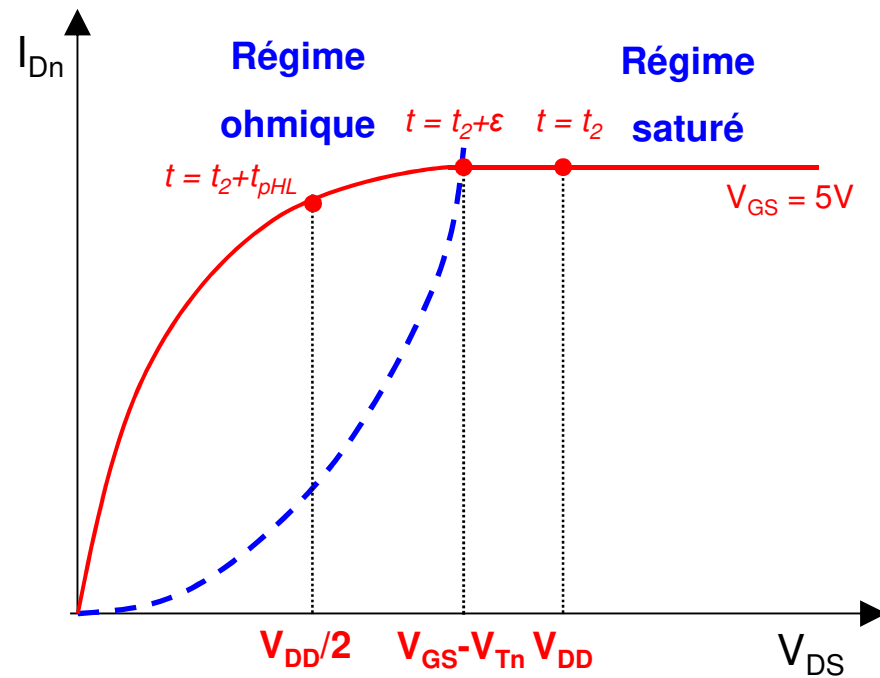
NMOS  $Q_2$





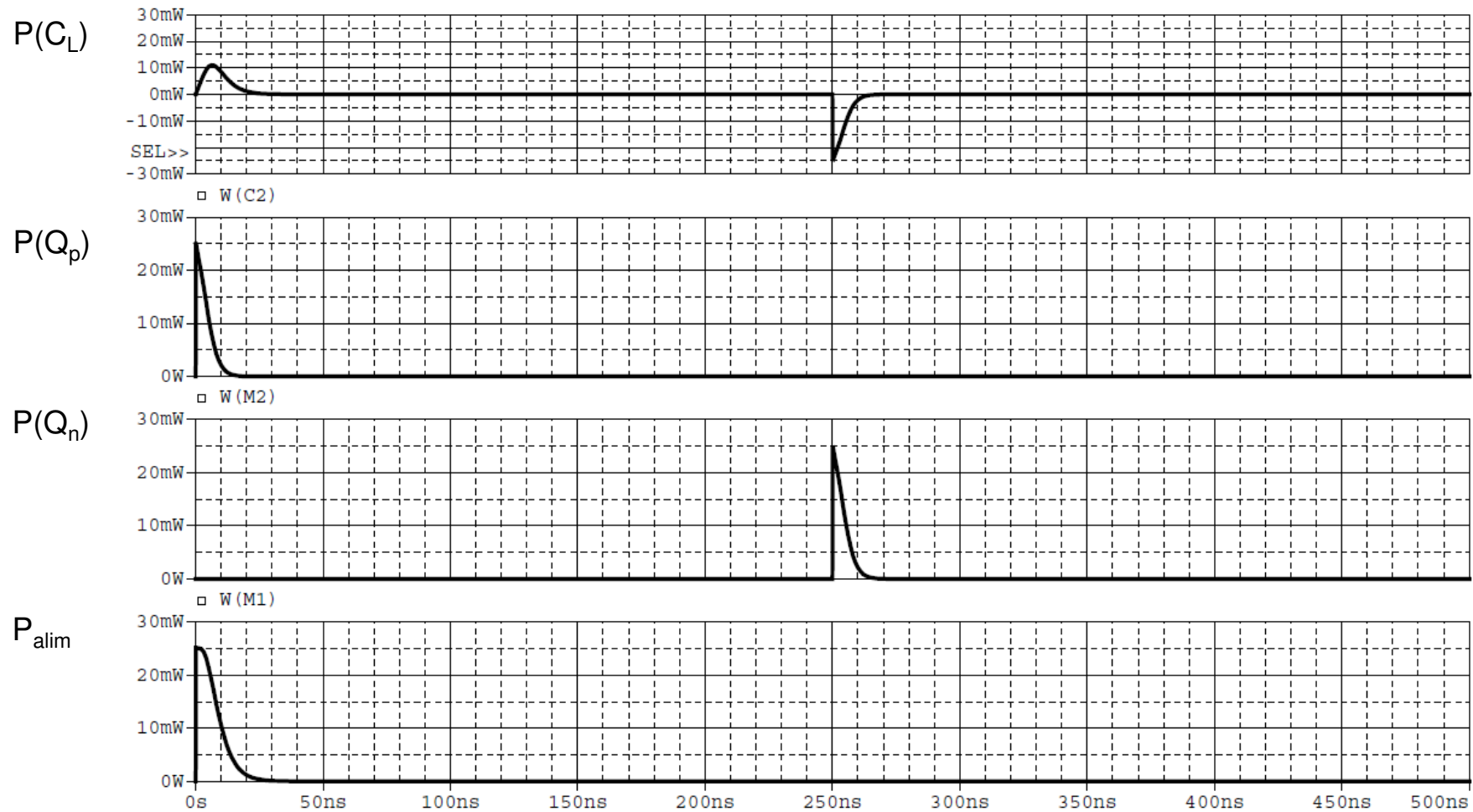
# Analyse dynamique

NMOS  $Q_2$





# Consommation



Puissances dissipées dans l'inverseur logique



# Dimensionnement

- Inverseur (chargé par C)
  - PDN Le chemin de décharge de C passe par  $Q_n$  de facteur de dimensionnement  $n \Leftrightarrow$  impédance  $Z_n = K/n$
  - PUN Le chemin de charge de C passe par  $Q_p$  de facteur de dimensionnement  $p \Leftrightarrow$  impédance  $Z_p = K/p$
- Fonction logique (chargée par C) à  $j$  entrées
  - PDN : Chaque chemin de décharge de C passe par un  $i$  (pouvant varier de 1 à  $j$ ) NMOS (numérotés de 1 à  $i$ ) de facteur de dimensionnement respectif  $n_i \Leftrightarrow$  l'impédance totale du chemin doit être égale à  $Z_n$   
 $\Rightarrow K/n_1 + K/n_2 + \dots + K/n_i = K/n$
  - PUN Chaque chemin de charge de C passe par  $i$  (pouvant varier de 1 à  $j$ ) PMOS (numérotés de 1 à  $i$ ) de facteur de dimensionnement respectif  $p_i \Leftrightarrow$  l'impédance totale du chemin doit être égale à  $Z_p$   
 $\Rightarrow K/p_1 + K/p_2 + \dots + K/p_i = K/p$
- On commence toujours par le chemin qui contient le plus grand nombre de transistors





# Dimensionnement

- Dimension des transistors de  $Y(A,B,C,D)$

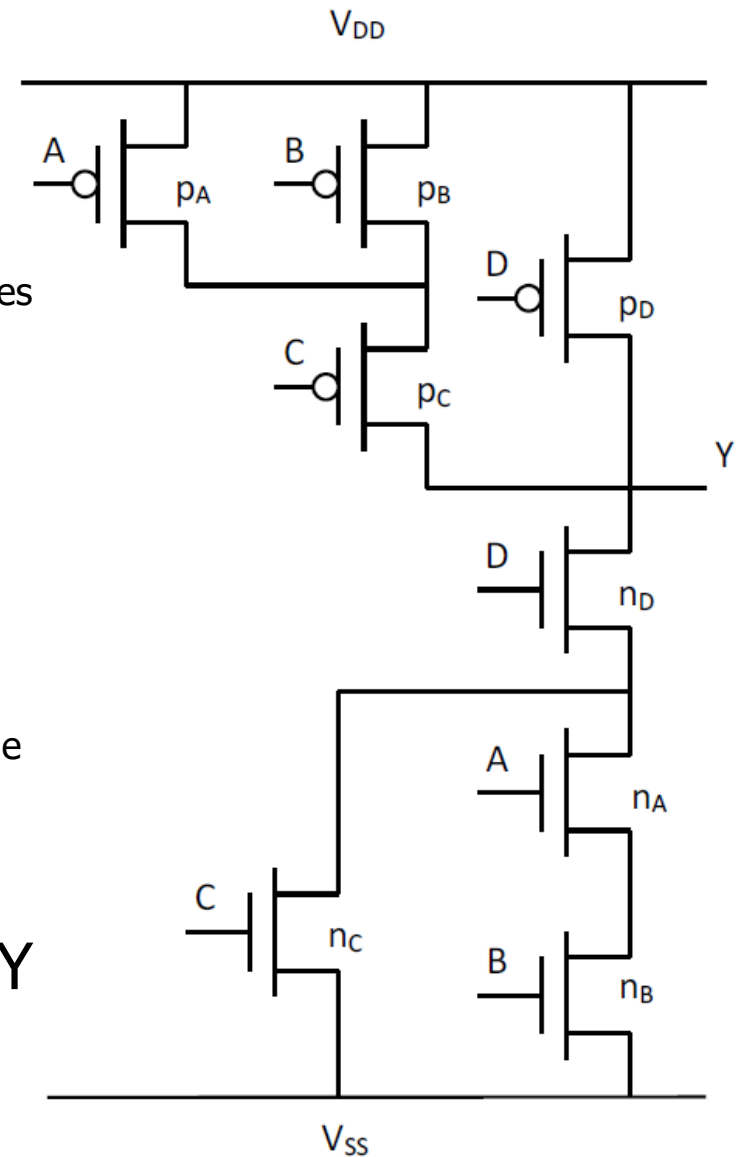
- PDN

- Le chemin le plus long passe par  $Q_{nD}$ ,  $Q_{nA}$  et  $Q_{nB}$ ; On les considère identiques, donc  $n_D = n_A = n_B = n'$   
 $\Rightarrow Z_n = K/n_D + K/n_A + K/n_B = 3K/n' = K/n \Rightarrow n' = 3n$
    - Le second chemin passe par  $Q_{nD}$  et  $Q_{nC}$   
 $\Rightarrow Z_n = K/n_D + K/n_C = K/3n + K/n_C = K/n \Rightarrow n_C = 3n/2$

- PUN

- Le chemin le plus long passe par  $Q_{pC}$  et  $Q_{pA}$ ; On les considère identiques, donc  $p_D = p_A = p_B = p''$   
 $\Rightarrow Z_p = K/p_C + K/p_A = 2K/p'' = K/p \Rightarrow p'' = 2p$
    - Le second chemin passe par  $Q_{pC}$  et  $Q_{pB}$ ; Il est identique au précédent  $\Rightarrow p_B = p_A = 2p$
    - Le troisième chemin passe un seul transistor  $Q_{pD}$   
 $\Rightarrow p_D = p$

- Exercice : trouver la fonction logique Y

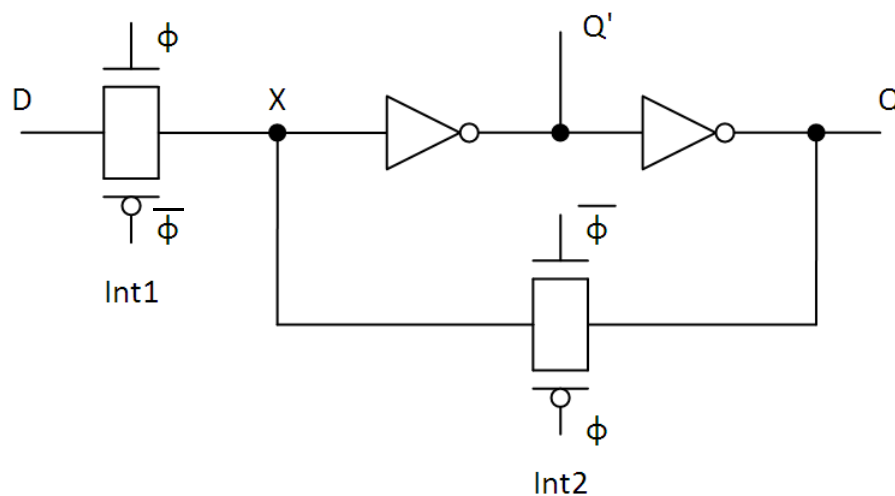




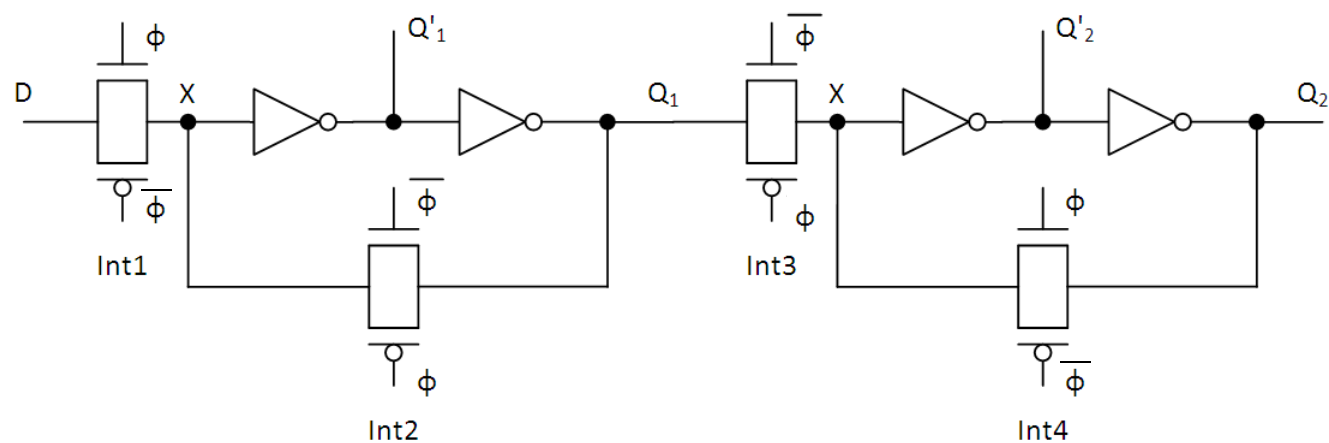


# Bascules

- Latch



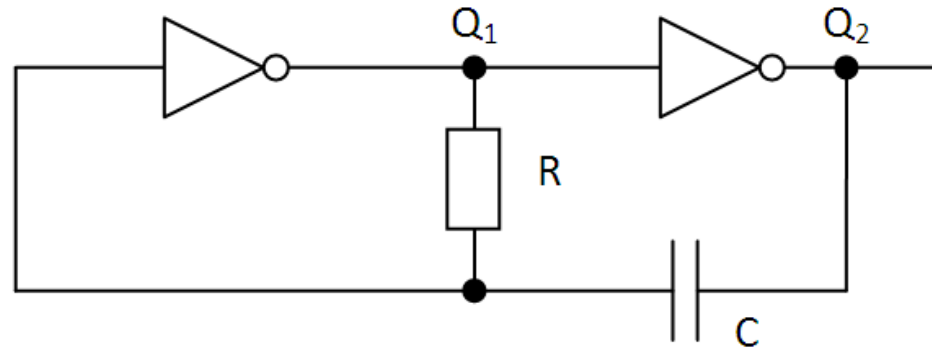
- Bascule D





# Astables et Oscillateurs

- Astable



- Oscillateur

