

# 课程实验报告

*RISC-V on T-Core*

*MaTriX V Team*

# 目录

1	基础篇	1
1.1	RISC-V 简介	1
1.2	蜂鸟 E203 简介	2
1.3	T-core 开发板介绍	3
2	实践篇	4
3	结果展示	5
4	未来展望	5

## 1 基础篇

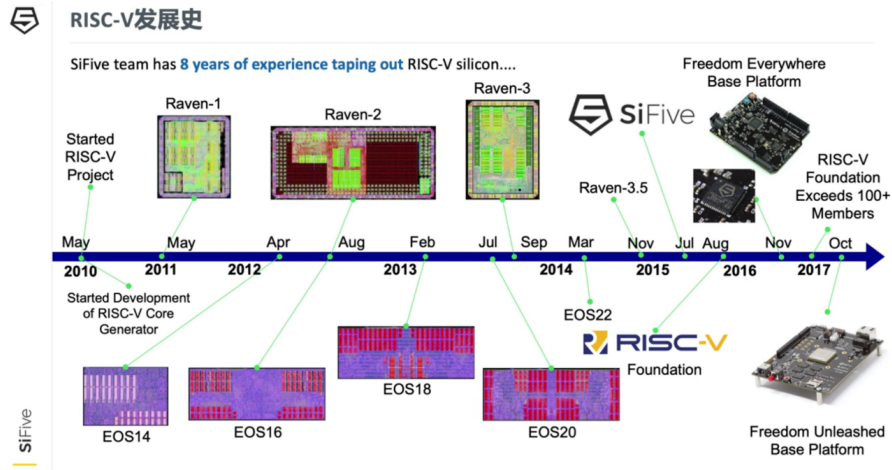
### 1.1 RISC-V 简介

#### 1. RISC-V 发展过程

- (a) RISC(精简指令集计算机) 和 CISC(复杂指令集计算机) 是当前 CPU 的两种架构。早些年, 市面上只有 CISC 指令集, 后来 IBM 的研究员通过统计的方法发现, 传统 CISC 处理器中, 五分之一的指令承担了五分之四的工作, 而剩下五分之四的指令基本没有被使用, 或者很少使用, 这样, 既浪费了 CPU 的核心面积, 增大了功耗, 还降低了效率。于是, RISC 应运而生。
- (b) RISC 的指令数目较 CISC 少, CISC 中的一些复杂指令, RISC 需要用多条简单指令来实现。但指令字等长, 效率高, 功耗低, 并发性高。且内部寄存器丰富, 更强调对寄存器的合理调用。但高性能 RISC 处理器成本高, 性价比低, 且不同公司的 RISC 芯片几乎无法通用, 生态环境较 X86 的 CISC 而言更闭塞, 通用性完全无法和 X86 相比, 这就是 RISC 最大的弊端。
- (c) 20 世纪末和 21 世纪初, 市面上绝大多数核心指令集都是不开源的。2010 年, 加州大学伯克利分校的 David A. Patterson 教授团队在 3 个月内开发出完全开源指令集 RISC-V, RISC-V 指令集是基于精简指令集计算 (RISC) 原理建立的开放指令集架构 (ISA), RISC-V 是在指令集不断发展和成熟的基础上建立的全新指令。RISC-V 指令集完全开源, 设计简单, 易于移植 Unix 系统, 模块化设计, 完整工具链, 同时有大量的开源实现和流片案例, 已在社区得到大力支持。
- (d) 它虽然不是第一个开源的的指令集 (ISA), 但它是第一个被设计成可以根据具体场景可以选择适合的指令集的指令集架构。基于 RISC-V 指令集架构可以设计服务器 CPU、家用电器 CPU、工控 CPU 和传感器中的 CPU 等。

#### 2. RISC-V 指令结构

- (a) RISC-V 指令集分为基本指令集 I 和扩展指令集 M, A, F, D, C。基本指令集 I 是整数指令集, 也是 RISC-V 中, 对于任何处理器必须有的指令集, 扩展指令集可有可无。
- (b) 基本指令集有六种格式:
  - i. R 类型指令: 用于寄存器 - 寄存器操作;
  - ii. I 类型指令: 用于短立即数和访存 load 操作;



- iii. S 类型指令：用于访存 store 操作；
- iv. B 类型指令：用于条件跳转操作；
- v. U 类型指令：用于长立即数操作；
- vi. J 类型指令：用于无条件操作；

基本指令集	指令数	描述
RV32I	47	32位地址空间与整数指令，支持32个通用整数寄存器
RV32E	47	RV32I的子集，仅支持16个通用整数寄存器
RV64I	59	64位地址空间与整数指令及一部分32位的整数指令
RV128I	71	128位地址空间与整数指令及一部分64位和32位的指令
扩展指令集	指令数	描述
M	8	整数乘法与除法指令
A	11	存储器原子（Atomic）操作指令和Load-Reserved/Store-Conditional指令
F	26	单精度（32比特）浮点指令
D	26	双精度（64比特）浮点指令，必须支持F扩展指令

31	30	25	24	21	20	19	15	14	12	11	8	7	6	0				
funct7				rs2			rs1		funct3		rd			opcode		R类		
imm[11:0]							rs1		funct3		rd			opcode		I类		
imm[11:5]				rs2			rs1		funct3		imm[4:0]			opcode		S类		
imm[12]		imm[10:5]			rs2			rs1		funct3		imm[4:1]		imm[11]		opcode		SB类
imm[31::12]										rd			opcode		U类			
imm[20]		imm[10:1]			imm[11]		imm[19:12]				rd			opcode		UI类		

## 1.2 蜂鸟 E203 简介

### (a) E203

- i. 蜂鸟 E203 系列处理器由作者所在的公司开发，是一款开源的 RISC-V 处理器。蜂鸟是世界上最小的鸟类，其体积虽小，却有着极高的速度与敏锐度，可以说是“能效比”最高的鸟类。E203 系列以蜂鸟命名便寓意于此，旨在将其打造成为一款世界上最高能效比的 RISC 处理器。

### (b) E203 核心数据通路分为几个模块

- i. IFU 取址单元

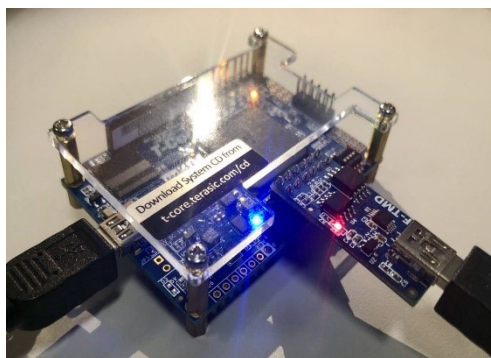


- ii. EXU 执行单元
  - iii. LSU 访存单元
  - iv. BIU 总线
- (c) E203 数据通路采用两级流水线
- i. 第一级是 IFU，包括，取址、分支预测、生成 PC。
  - ii. 第二级是译码、派遣、执行、访存、写回。
- (d) E203 特点
- i. 蜂鸟 E203 处理器研发团队拥有在国际一流公司多年开发处理器的经验，使用稳健的。
  - ii. 蜂鸟 E203 的代码为人工编写，添加丰富的注释且可读性强，非常易于理解。
  - iii. 蜂鸟 E203 专为 IoT 领域量身定做，其具有 2 级流水线深度，功耗和性能指标均优于目前主流商用的 ARM Cortex-M 系列处理器，且免费开源，能够在 IoT 领域完美替代 ARM Cortex-M 处理器。

### 1.3 T-core 开发板介绍

- (a) T-core 开发板是友晶科技公司的基于 RISC-V 的新款开发板。T-Core 提供了围绕 Intel MAX 10 FPGA 构建的强大的硬件设计平台。它配备完善，可在控制平面或数据路径应用中提供具有成本效益的单芯片解决方案，并提供行业领先的可编程逻辑，以实现最终的设计灵活性。
- (b) 借助 MAX 10 FPGA，可以获得比上一代更低的功耗/成本和更高的性能。可支持大量应用，包括协议桥接，电机控制驱动，模数转换和手持设备。T-Core 开发板包括硬件，例如板载 USB-Blaster II，QSPI Flash，ADC 接头连接器，WS2812B RGB LED 和 2x6 TMD 扩展接头连接器。通过利用所有这些功能，T-Core 是展示，评估和原型化 Intel MAX 10 FPGA 真正潜力的理想解决方案。T-Core 还通过板载 JTAG 调试支持 RISC-V CPU。它是学习 RISC-V CPU 设计或嵌入式系统设计的理想平台。





## 2 实践篇

*grace*

haruka nakamura



图 1: DHCP Request 包字节形式

1.

•

```
1 class Pokemon : public QObject    //代码
```

字段	值	含义
包头长度	45	数据分组首部长度 20 字节
服务类型	00	正常时延、正常吞吐量、正常可靠性
总长度	003c	数据分组长度 60 字节
标识	5c6e	标识为 23662
标志	00	MF=0: 此片为最后一片, DF=0: 允许分片
片偏移	00	偏移量 =0
TTL	40	每跳生存周期为 64
协议	01	来自 ICMP 协议
头部校验和	0000	IP 头部检验和为 0000
源地址	c0a86386	源地址为 192.168.99.134
目的地址	72ff28a6	目的地址为 114.255.40.166

### 3 结果展示

### 4 未来展望