

3.11.2019

CS 223-2

LAB-3

PRELIMINARY REPORT



ZÜBEYİR BODUR

21702382

Zübeyir Bodur

Trainer No: 21

1. 2-to-4 Decoder

// Behavioral SystemVerilog module for 2-to-4 decoder

```
module decoder2to4 ( input logic a0, a1,
                    output logic y0, y1, y2, y3
                    );
    assign y0 = ~a0 & ~a1;
    assign y1 = a0 & ~a1;
    assign y2 = ~a0 & a1;
    assign y3 = a0 & a1;
endmodule
```

// Testbench for 2-to-4 decoder

```
module testbench0 ();
    logic a0, a1, y0, y1, y2, y3;
    decoder2to4 test( a0, a1, y0, y1, y2, y3);
    initial begin
        a0 = 0; a1 = 0; #20;
        a0 = 1; #20;
        a0 = 0; a1 = 1; #20;
        a0 = 1; #20;
        $stop;
    end
endmodule
```

2. 2-to-1 Multiplexer

// Behavioral SystemVerilog module for 2-to-1 multiplexer

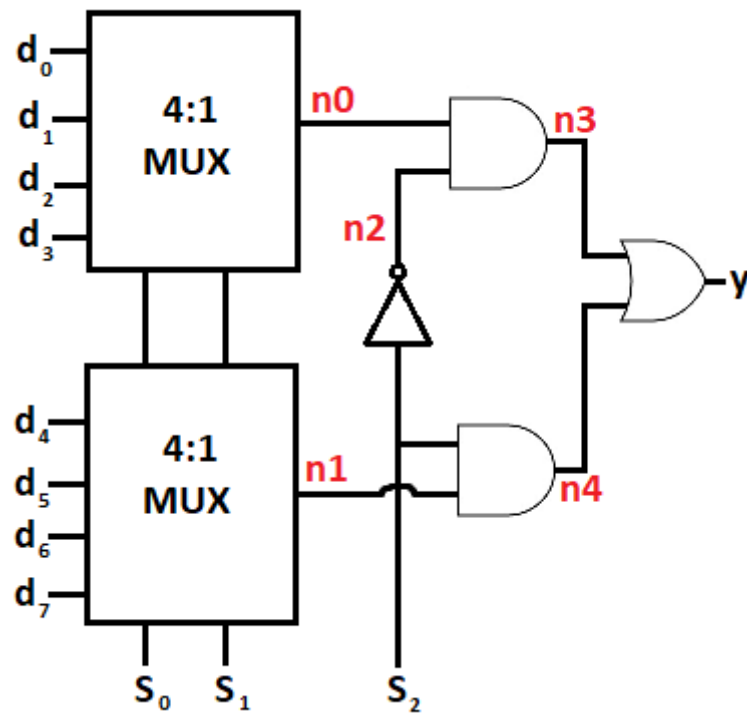
```
module mux2to1( input logic d1, d0, s0,  
                output logic y  
                );  
    assign y = s0 ? d0 : d1;  
endmodule
```

3. 4-to-1 Multiplexer

// Structural SystemVerilog module for 4-to-1 mux

```
module mux4to1( input logic d0, d1, d2, d3, s1, s0,  
                output logic y  
                );  
    logic m0, m1;  
    mux2to1 mux1( d0, d1, s0, m1);  
    mux2to1 mux2( d2, d3, s0, m0);  
    mux2to1 mux3( m1, m0, s1, y);  
endmodule
```

4. 8-to-1 Multiplexer



Schematic for 8-to-1 mux, made with two 4-to-1 mux, two AND gates, an INVERTER and an OR gate.

// Structural SystemVerilog module for 8-to-1 mux

```
module mux8to1( input logic d0, d1, d2, d3, d4, d5, d6, d7,
               input logic s2, s1, s0,
               output logic y
);
    logic n0, n1, n2, n3, n4;
    mux4to1 mux1( d0, d1, d2, d3, s1, s0, n0);
    mux4to1 mux2( d4, d5, d6, d7, s1, s0, n1);
    inv inv1( s2, n2);
    and2 and1( n0, n2, n3);
    and2 and2( s2, n1, n4);
    or2 or1( n3, n4, y);
endmodule
```

endmodule

// Testbench for 8-to-1 mux by using one-hot input

module testbench3();

logic d0, d1, d2, d3, d4, d5, d6, d7, s2, s1, s0, y;

mux8to1 test(d0, d1, d2, d3, d4, d5, d6, d7, s2, s1, s0, y);

initial begin

 // case for 000

 s0 = 0; s1 = 0; s2 = 0;

 d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;

 // case for 001

 s0 = 1; s1 = 0; s2 = 0;

 d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;

 d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 010
```

```
s0 = 0; s1 = 1; s2 = 0;
```

```
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 011
```

```
s0 = 1; s1 = 1; s2 = 0;
```

```
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;
```

```
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 100
```

```
s0 = 0; s1 = 0; s2 = 1;  
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 101
```

```
s0 = 1; s1 = 0; s2 = 1;  
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 110
```

```
s0 = 0; s1 = 1; s2 = 1;  
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;
```



```
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
// case for 111
```

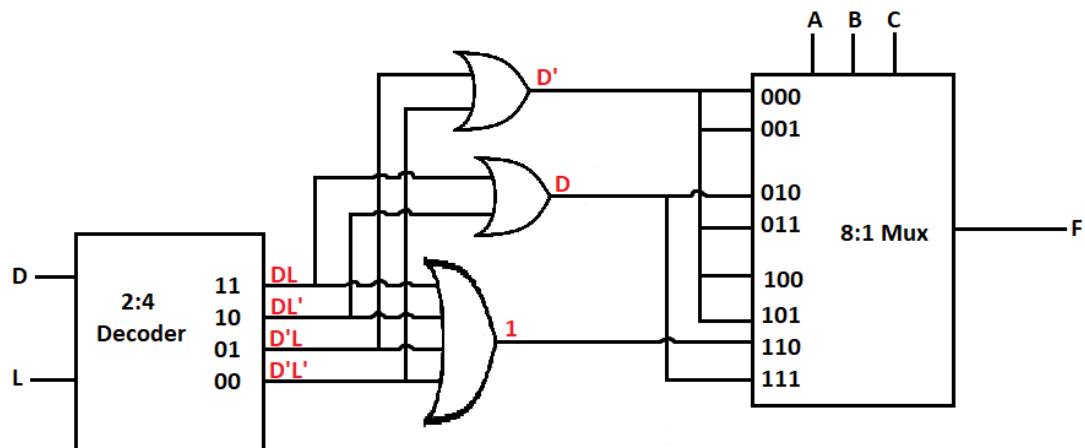
```
s0 = 1; s1 = 1; s2 = 1;  
d0 = 1; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 1; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 1; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 1; d4 = 0; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 1; d5 = 0; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 1; d6 = 0; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 1; d7 = 0; #10;  
d0 = 0; d1 = 0; d2 = 0; d3 = 0; d4 = 0; d5 = 0; d6 = 0; d7 = 1; #10;
```

```
$stop;
```

```
end
```

```
endmodule
```

5. Function $F(A, B, C, D)$



In the schematic, L is a dummy wire, which is not an input of the module and doesn't effect the output of the function. Moreover, in the module, $L = 1$.

// Structural SystemVerilog module for the function F

```

module functionF( input logic a, b, c, d,
                  output logic f
);
    logic d_not_l_not, d_not_l, d_l_not, d_l, one, d_, d_not;
    decoder2to4 decoder( d, 1, d_not_l_not, d_l_not, d_not_l, d_l); // second input
                                                                    // is 1 instead of L

    or2 or1( d_not_l_not, d_not_l, d_not);
    or2 or2( d_l_not, d_l, d_);
    or4 or3( d_not_l_not, d_not_l, d_l_not, d_l, one);
    mux8to1 mux( d_not, d_not, d_, d_not, d_not, d_not, one, d_, a, b, c, f);
endmodule

```