

федеральное государственное автономное образовательное учреждение высшего образования
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ ИТМО»

ОТЧЕТ

по лабораторной работе №1

по дисциплине «**Функциональная схемотехника**»

Вариант 2

Автор: Кулаков Н. В.

Факультет: ПИиКТ

Группа: Р33312

Преподаватель: Васильев С. Е.



УНИВЕРСИТЕТ ИТМО

Санкт-Петербург 2023

Оглавление

1. Цели работы.....	2
2. Задание.....	2
3. Выполнение.....	2
3.1 LTspice.....	2
3.1.1 Схема разработанного вентиля.....	2
3.1.2 Символ вентиля и схема тестирования.....	3
3.1.3 Временная диаграмма процесса тестирования вентиля.....	4
3.1.4 Результат измерения задержки распространения сигнала через вентиль.....	5
3.1.5 Максимальная частота работы вентиля.....	6
3.1.6 Схема разработанного БОЭ.....	8
3.1.7 Символ разработанного БОЭ и схема тестирования.....	10
3.1.8 Временная диаграмма процесса тестирования БОЭ.....	10
3.1.9 Результат измерения задержки распространения сигнала через БОЭ.....	12
3.1.10 Максимальная частота работы БОЭ.....	13
3.2 Vivado Design Suite.....	13
3.2.1 Код разработанного модуля БОЭ.....	13
3.2.2 Код разработанного тестового окружения БОЭ.....	14
3.2.3 Временная диаграмма процесса тестирования БОЭ.....	15
4. Выводы.....	16
4.1 LTspice.....	16
4.2 Vivado Design Suite.....	16

1. Цели работы

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.
3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

2. Задание

- Вариант: 2
- Логический базис: NAND
- БОЭ: Полный четырехразрядный компаратор

3. Выполнение

3.1 LTspice

3.1.1 Схема разработанного вентиля

Таблица 1: Таблица истинности NAND

Вход X1	Вход X2	Выход Y
0	0	1
0	1	1
1	0	1
1	1	0

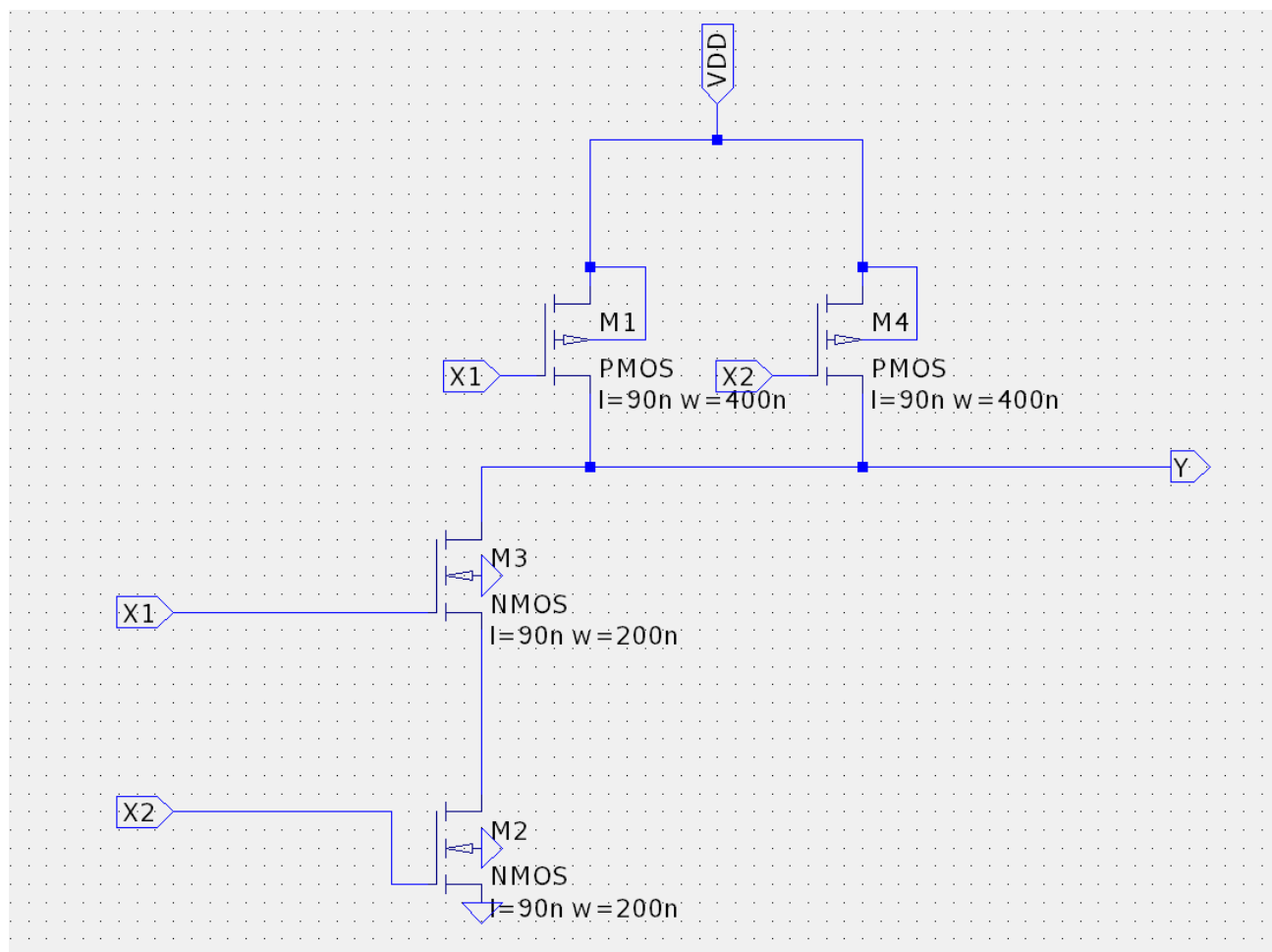


Рисунок 1: Схема разработанного вентиля NAND

3.1.2 Символ вентиля и схема тестирования

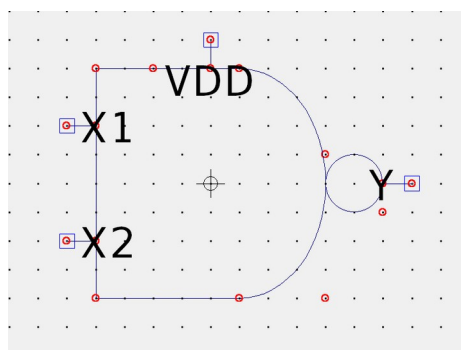


Рисунок 2: Символ разработанного вентиля NAND

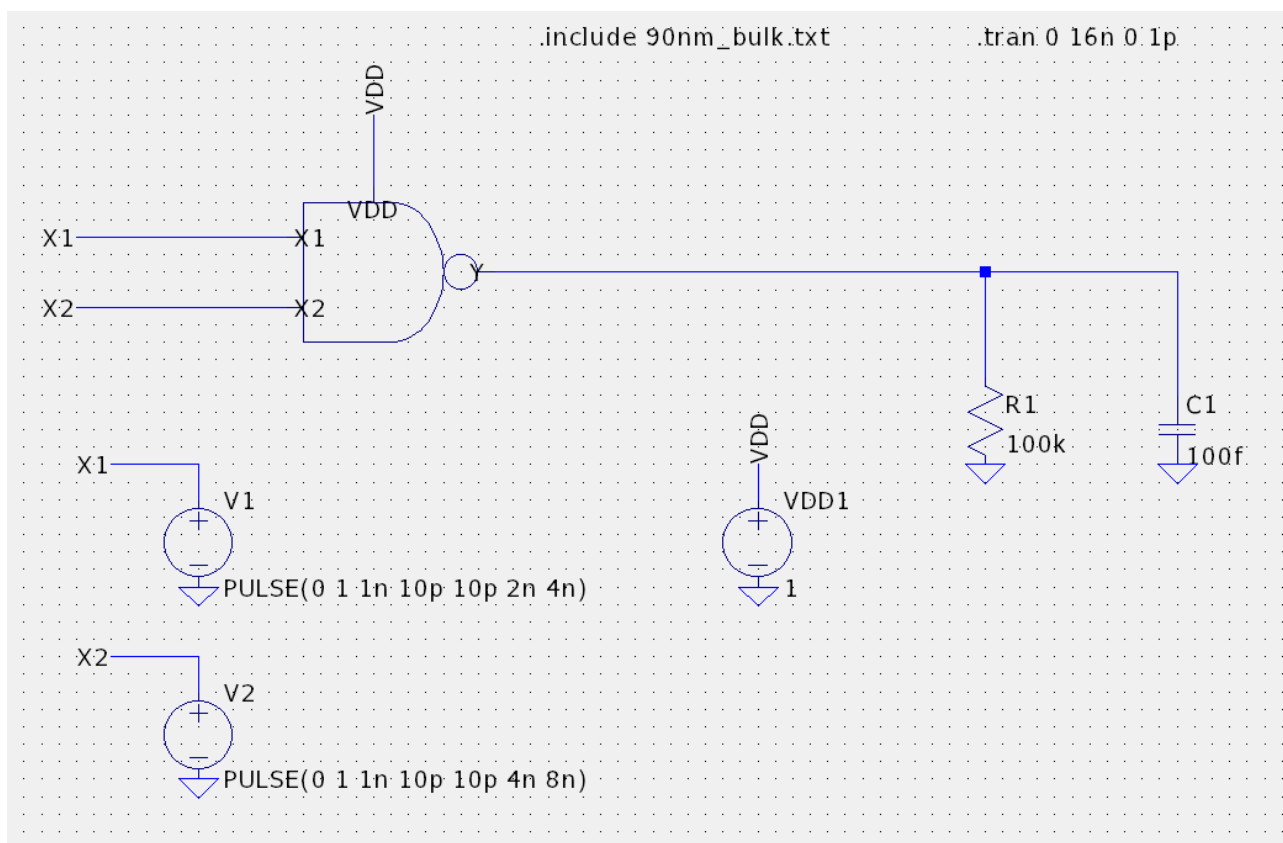


Рисунок 3: Схема тестирования

3.1.3 Временная диаграмма процесса тестирования вентиля

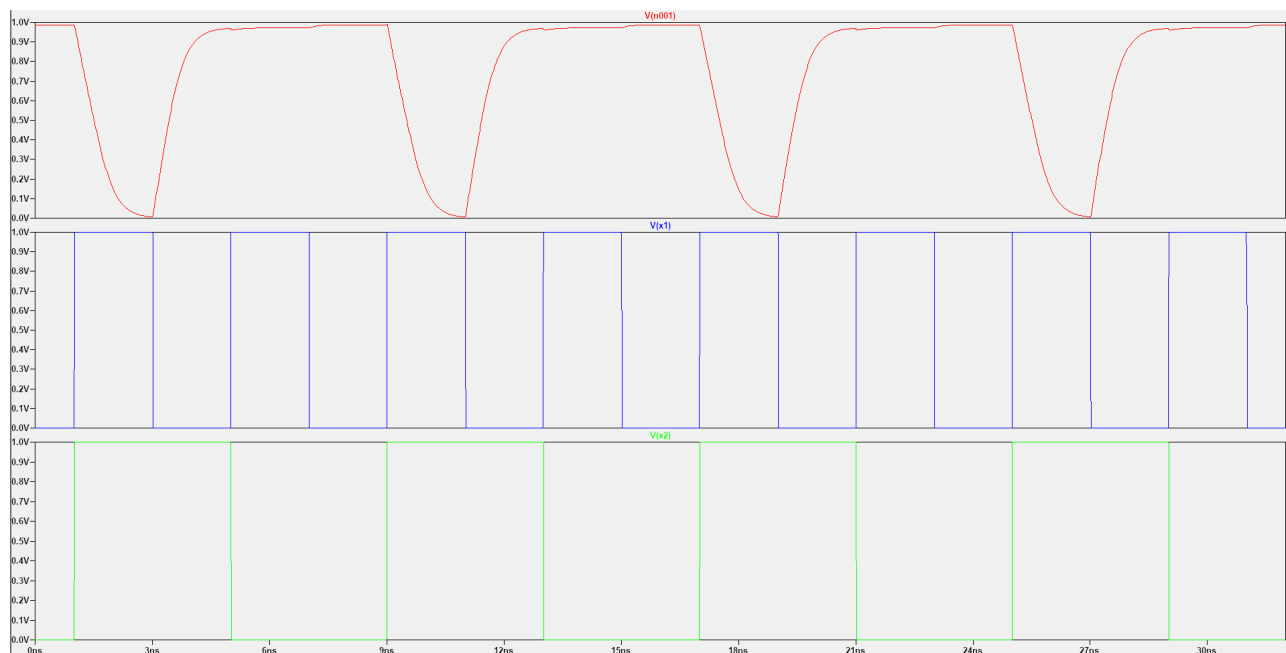


Рисунок 4: Временная диаграмма процесса тестирования вентиля

3.1.4 Результат измерения задержки распространения сигнала через вентиль

Задержка распространения — максимальное время от начала изменения входа до момента, когда все выходы достигнут установившихся значений. Измеряется она между точками перехода входным и выходным сигналом уровня 50%.

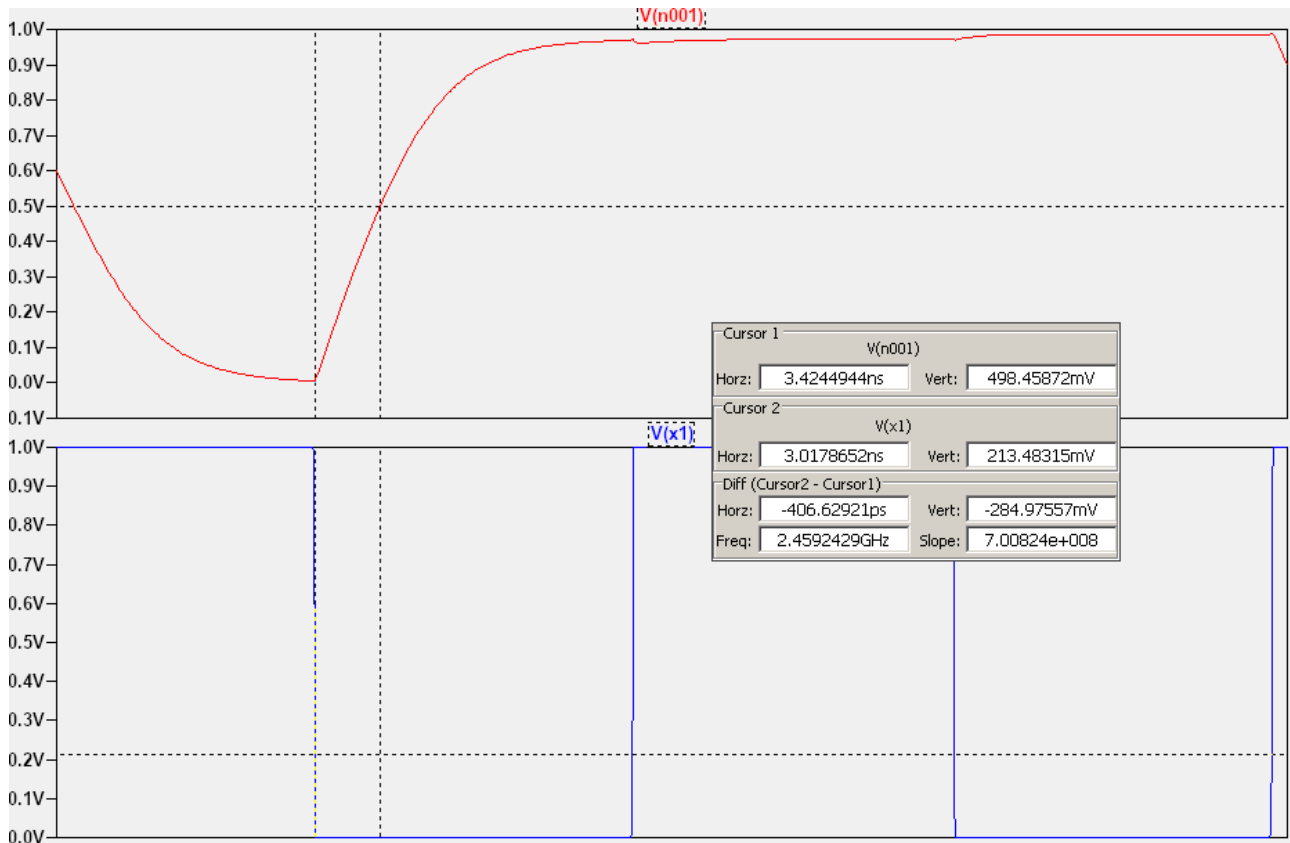


Рисунок 5: Подсчет задержки распространения сигнала для 0-1 на выходе

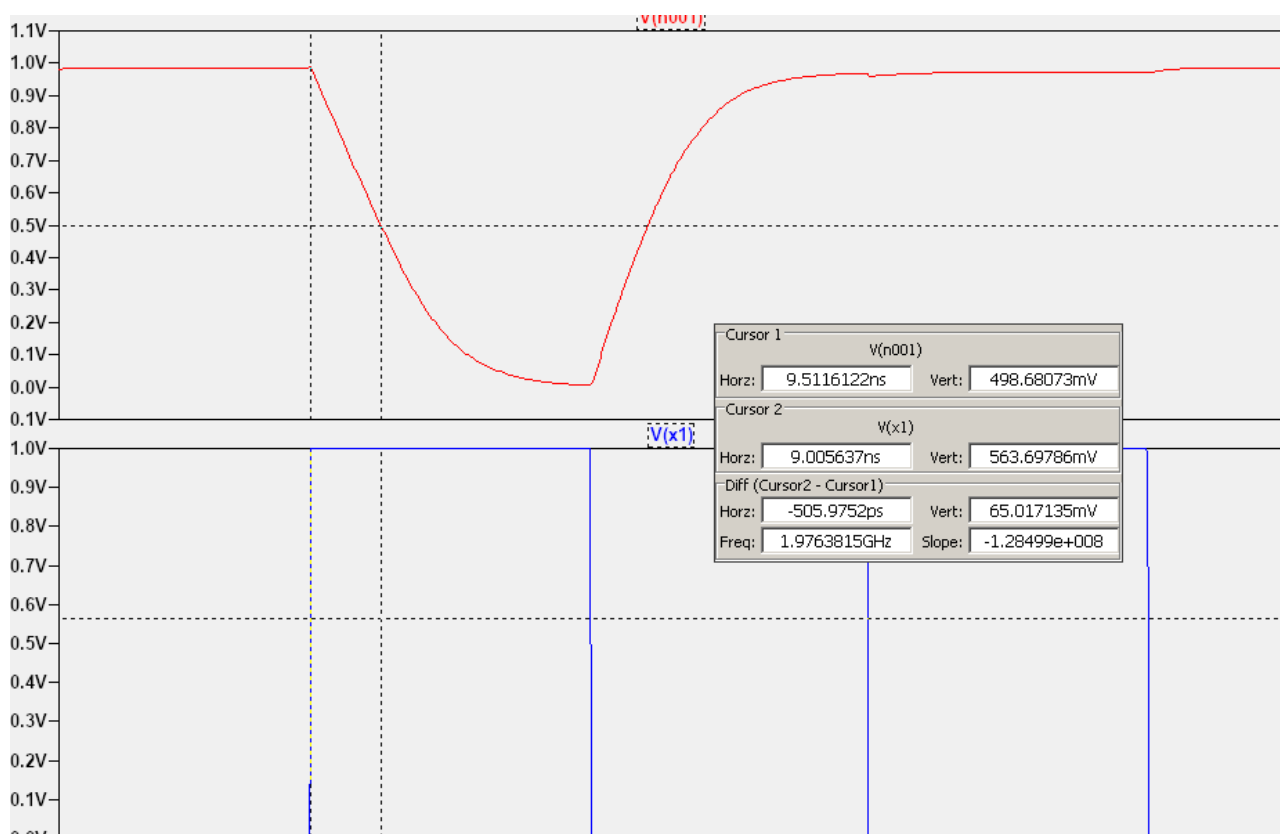


Рисунок 6: Подсчет задержки распространения сигнала для 1-0 на выходе

- $t_{pd01} = t_2 - t_1 = 3.425 - 3.018 = 0.407 \text{ ns}$ — для 0-1 на выходе схемы
- $t_{pd10} = t_2 - t_1 = 9.512 - 9.006 = 0.506 \text{ ns}$ — для 1-0 на выходе схемы

3.1.5 Максимальная частота работы вентиля

Если не учитывать время удержания и время предустановки, а только считать как время спада/фронта от 0.9/0.1 до 0.1/0.9 соответственно:

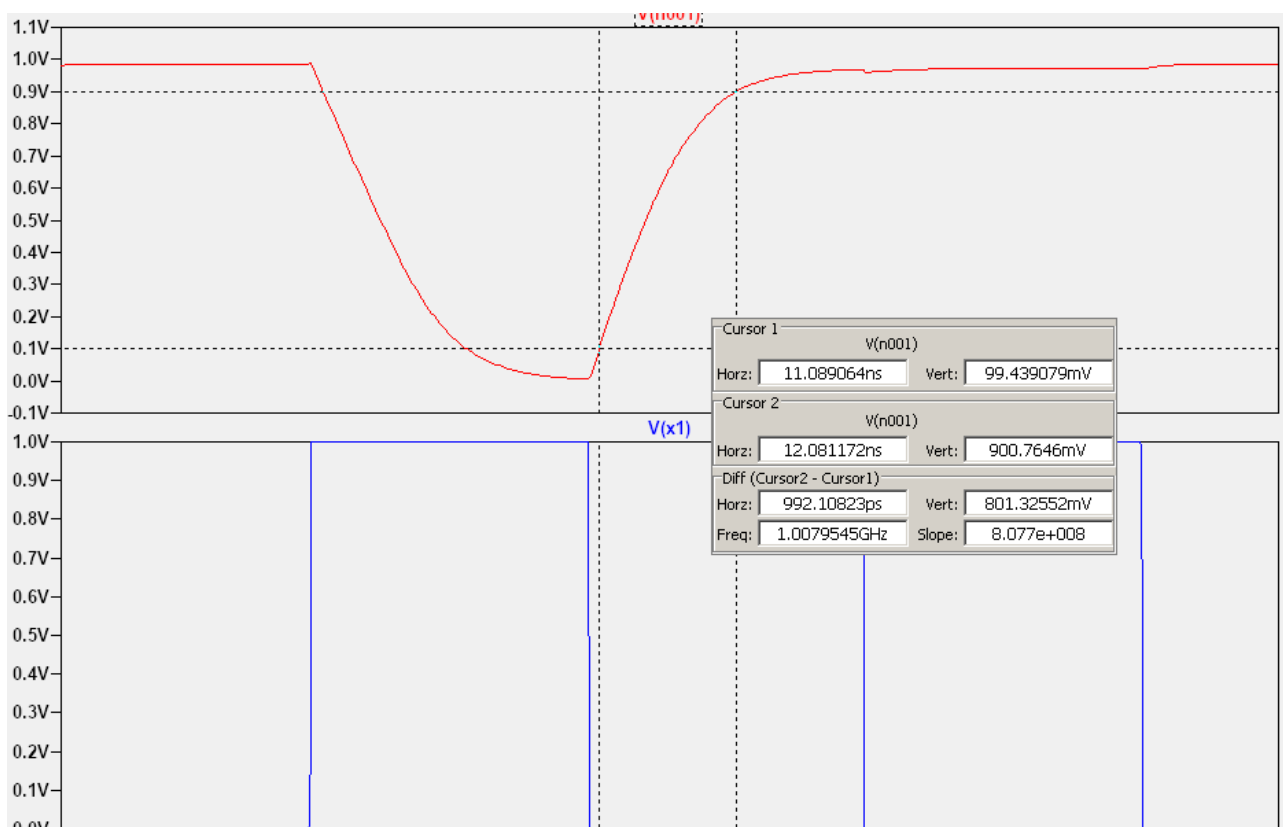


Рисунок 7: Время фронта от 0.1 до 0.9 В

- $t_{10} = 10.127 - 9.095 = 1.032 \text{ ns}$ — для спада
- $t_{01} = 12.081 - 11.089 = 0.992 \text{ ns}$ — для фронта

Тогда максимальная частота работы вентиля для спада и фронта:

- $f_{10} = 1 / t_{10} = 0.968 \text{ ГГц}$
- $f_{01} = 1 / t_{01} = 1.008 \text{ ГГц}$

А для всей схемы как минимум:

- $f = \min(f_{10}, f_{01}) = 0.968 \text{ ГГц}$

3.1.6 Схема разработанного БОЭ

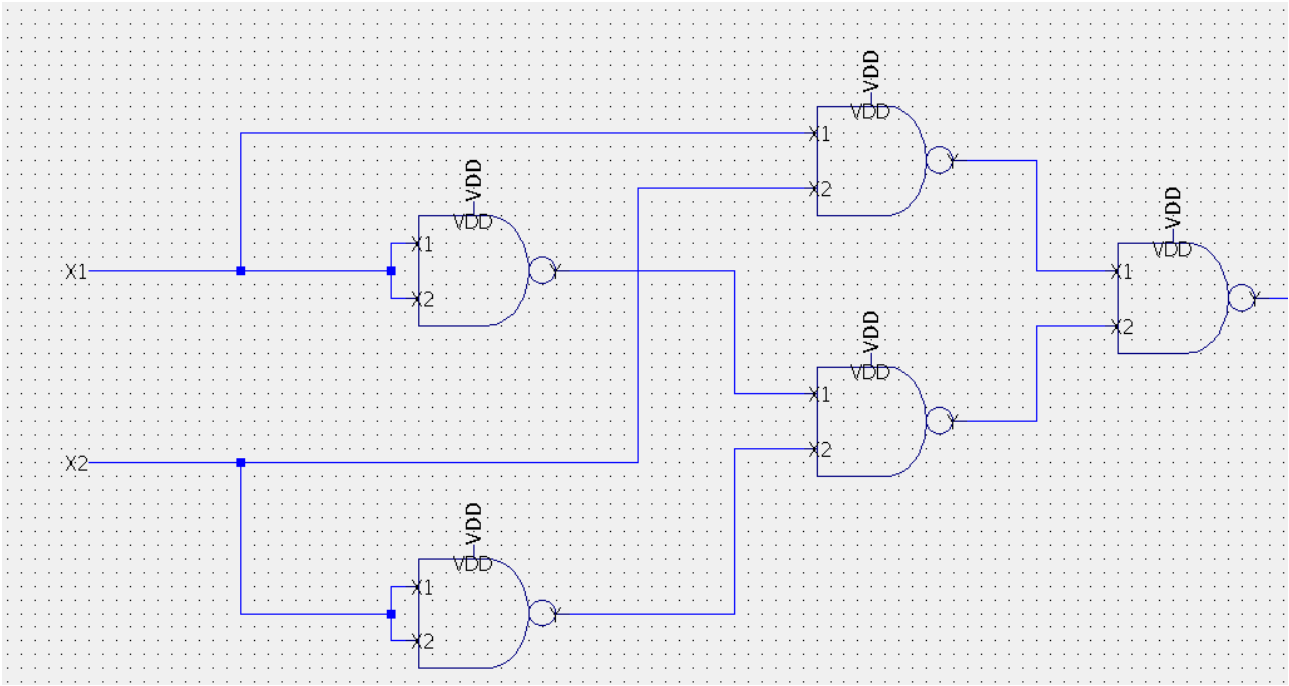


Рисунок 8: Схема части компаратора с двумя одноразрядными входами

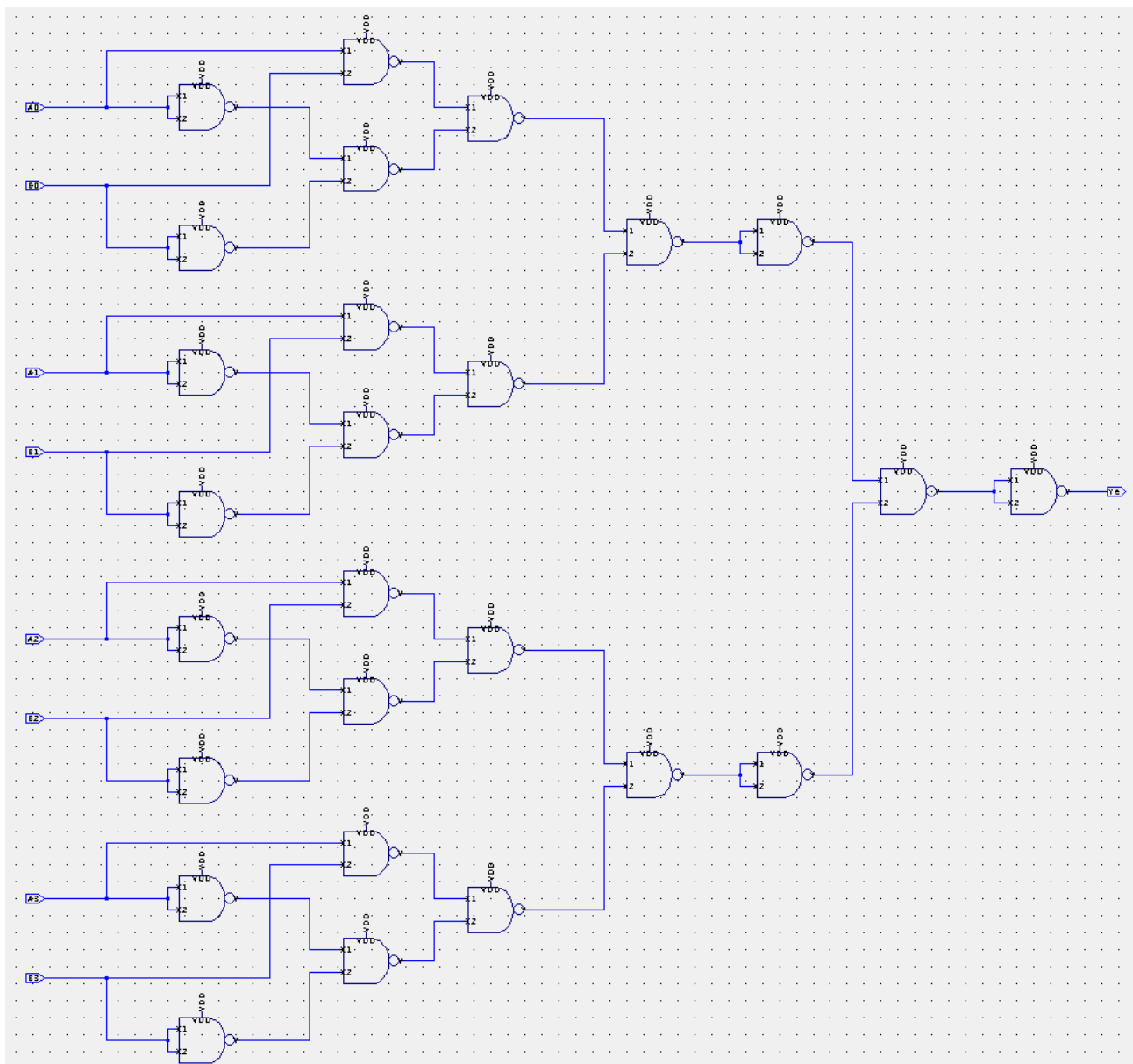


Рисунок 9: Схема полного четырехразрядного компаратора

3.1.7 Символ разработанного БОЭ и схема тестирования

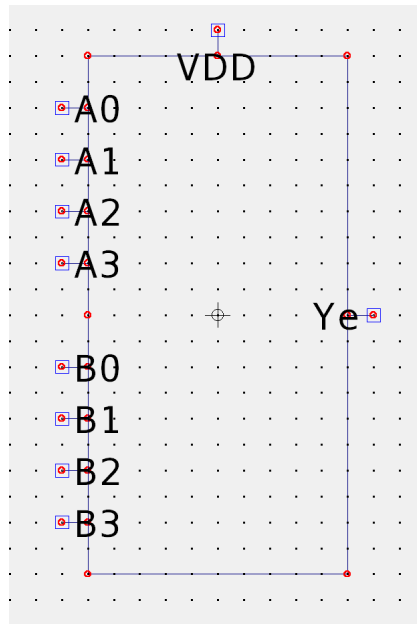


Рисунок 10: Символ полного четырехразрядного компаратора

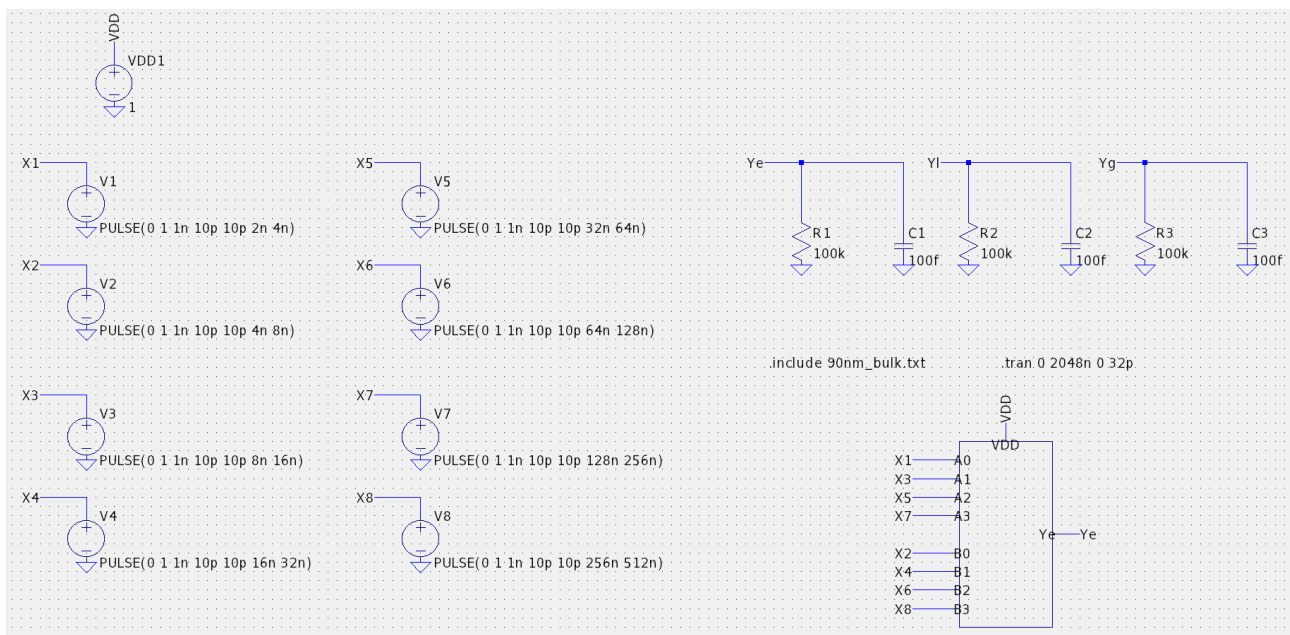


Рисунок 11: Схема тестирования БОЭ

3.1.8 Временная диаграмма процесса тестирования БОЭ

Поскольку тестировать все возможные выходы сразу нет смысла, так как слишком много всевозможных вариантов, *Временная диаграмма со всеми возможными входами*. Поэтому изначально производилось тестирование Схема части компаратора с двумя одноразрядными входами.

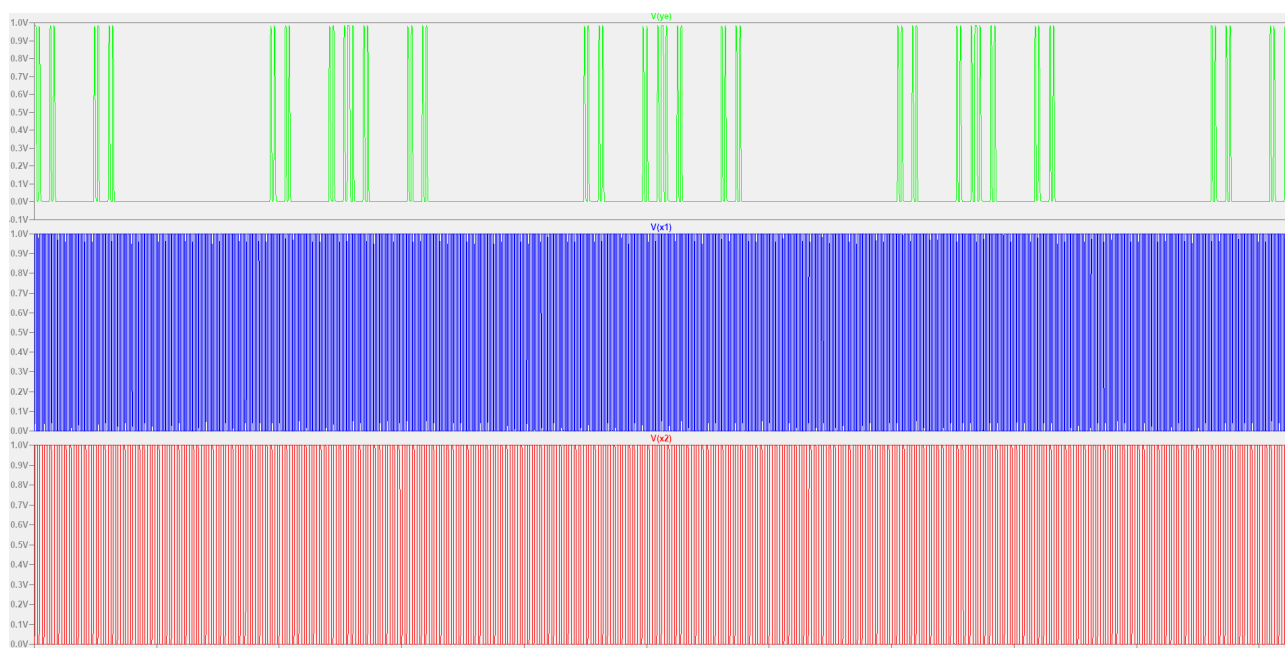


Рисунок 12: Временная диаграмма со всеми возможными входами

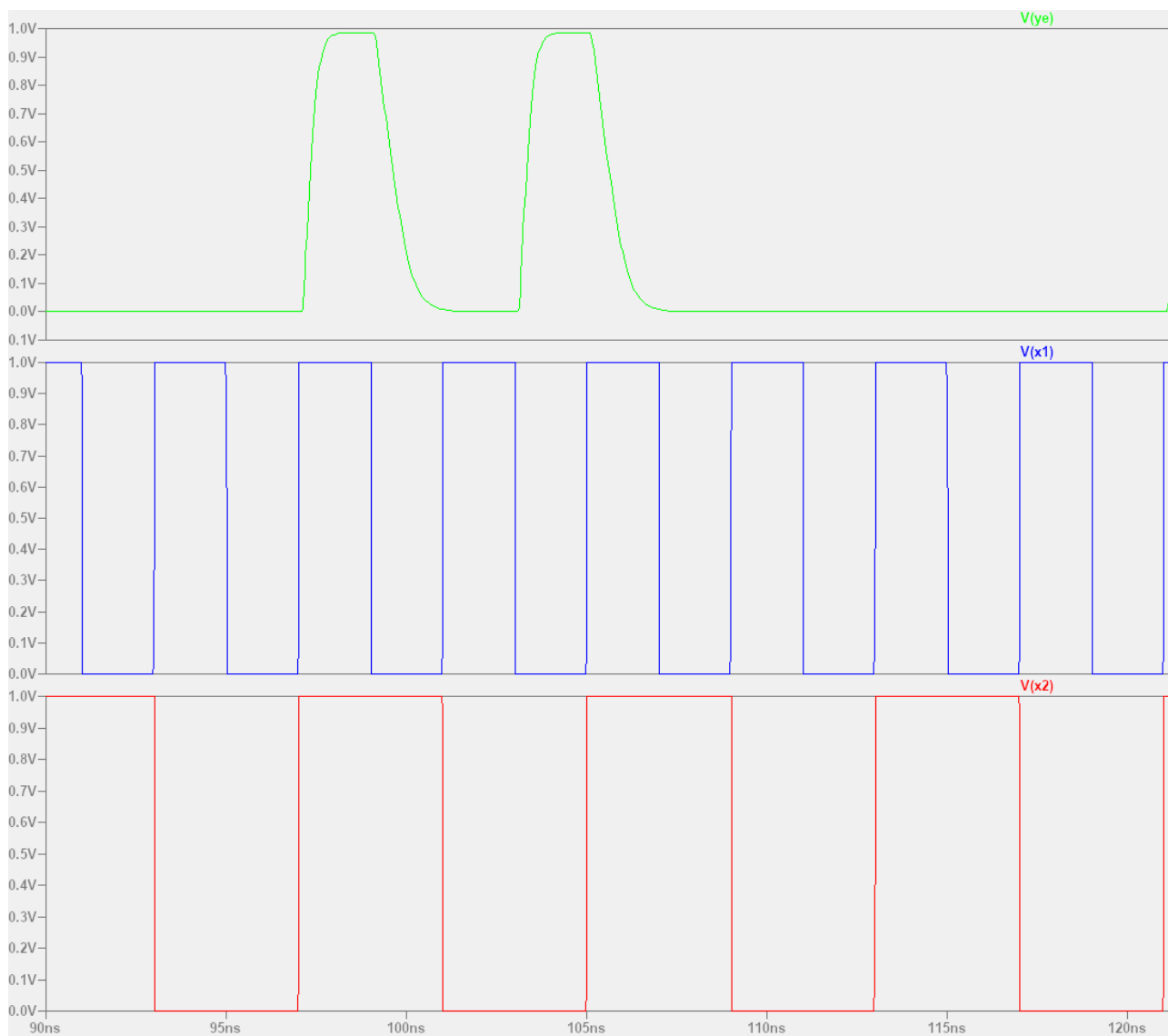


Рисунок 13: Приближенная временная диаграмма процесса тестирования БОЭ

3.1.9 Результат измерения задержки распространения сигнала через БОЭ

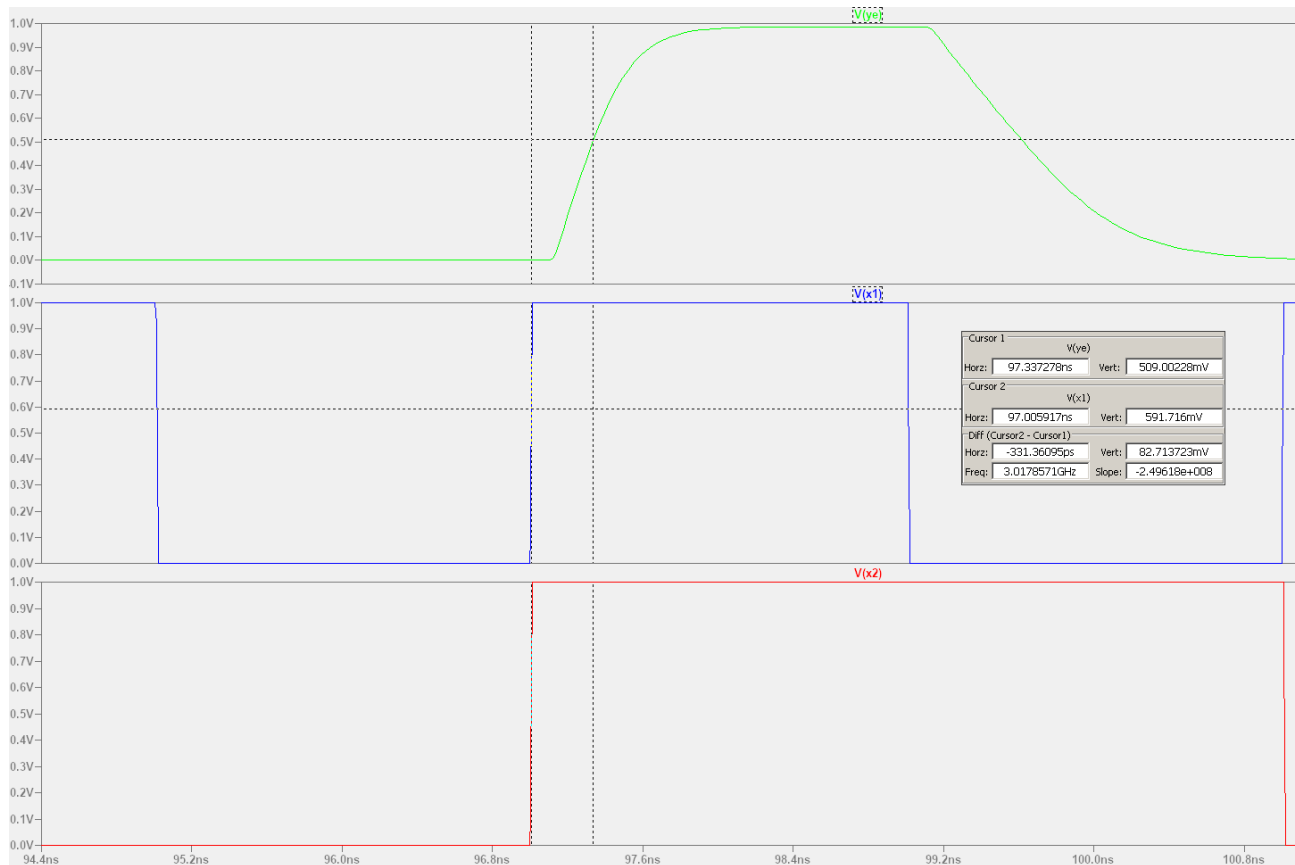


Рисунок 14: Подсчет задержки распространения сигнала для 0-1 на входе

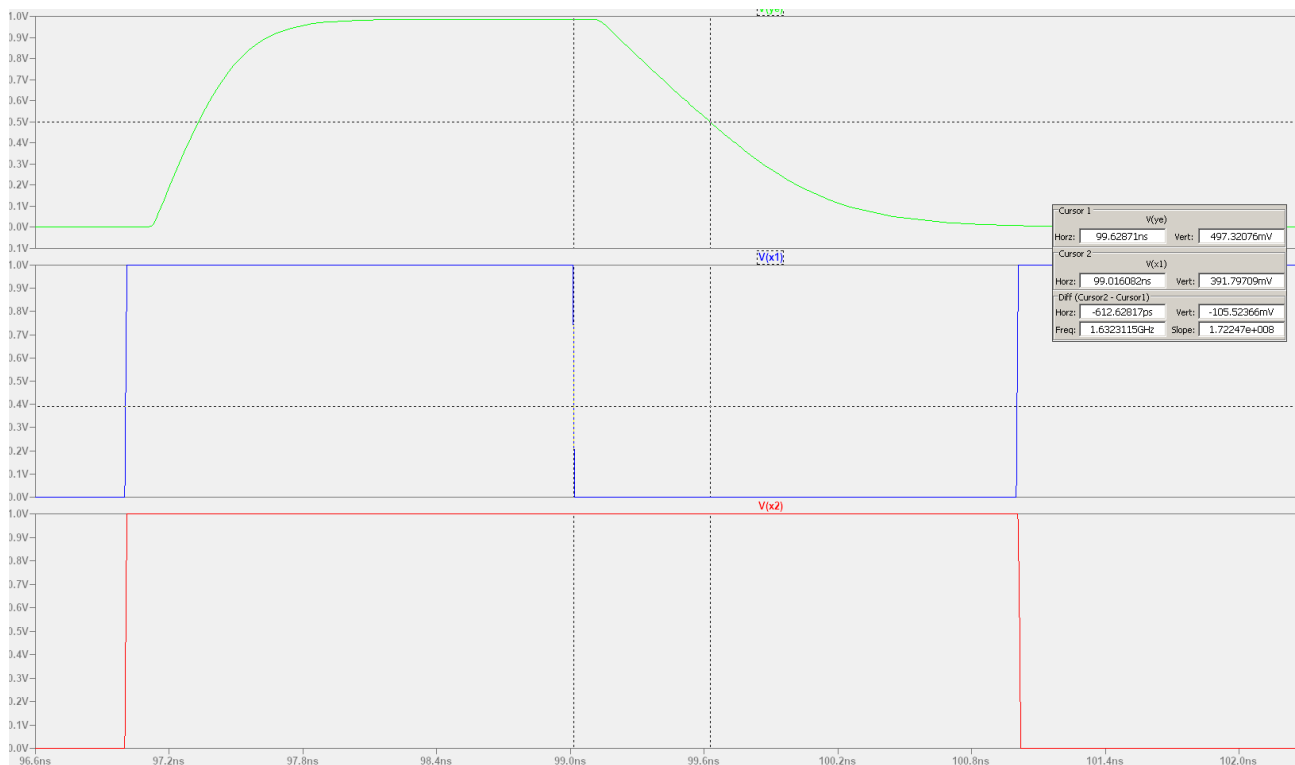


Рисунок 15: Подсчет задержки распространения сигнала для 1-0 на выходе

- $t_{pd01} = t_2 - t_1 = 97.337 - 97.006 = 0.331 \text{ ns}$ — для 0-1 на выходе схемы
- $t_{pd10} = t_2 - t_1 = 99.629 - 99.016 = 0.613 \text{ ns}$ — для 1-0 на выходе схемы

3.1.10 Максимальная частота работы БОЭ

Не учитываем время удержания и предустановки, а только считаем время спада/фронта от 0.9/0.1 до 0.1/0.9 В соответственно:

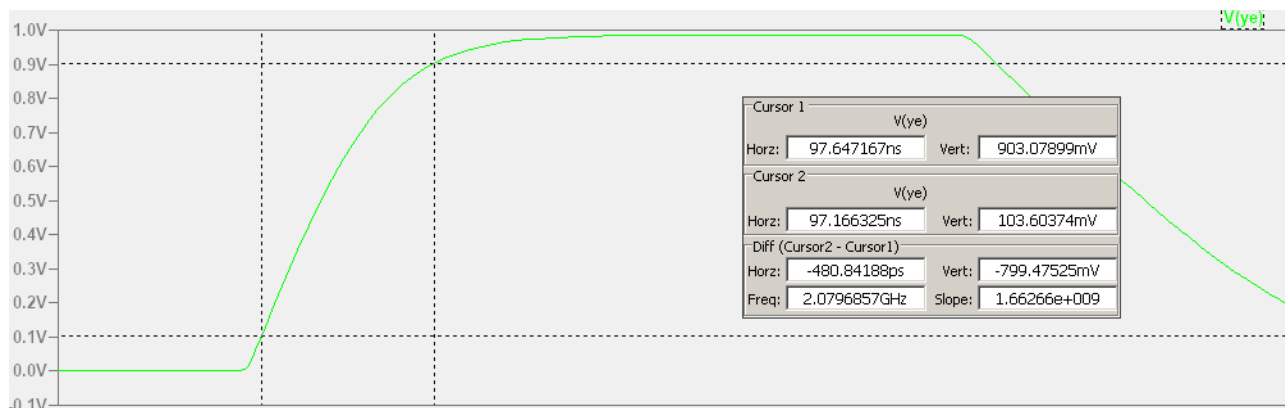


Рисунок 16: Время фронта от 0.1В до 0.9В

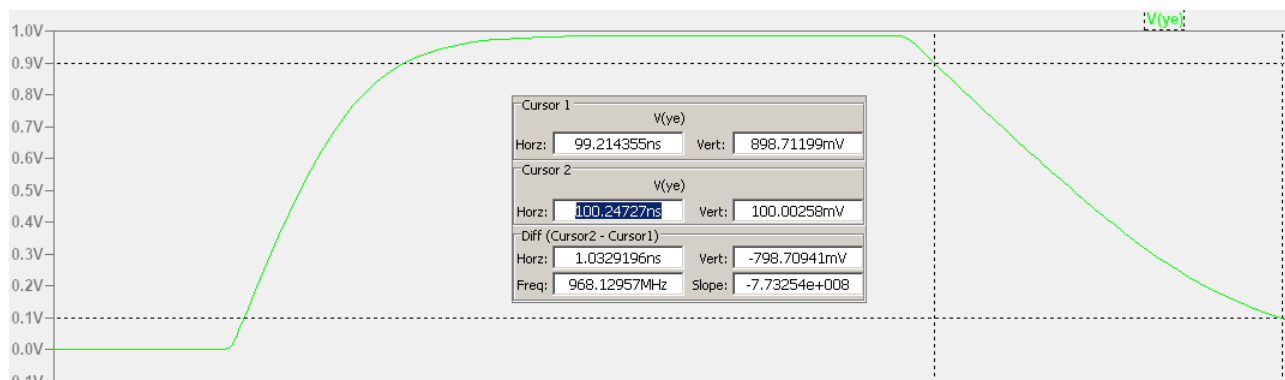


Рисунок 17: Время спада от 0.9В до 0.1В

- $t_{01} = 97.647 - 97.166 = 0.481 \text{ ns}$
- $t_{10} = 100.247 - 99.214 = 1.033 \text{ ns}$

Тогда максимальная частота работы вентиля для спада и фронта:

- $f_{01} = 1 / t_{01} = 2.079 \text{ ГГц}$
- $f_{10} = 1 / t_{10} = 0.968 \text{ ГГц}$

А для всей схемы вычисляем как минимум:

- $f = \min(f_{01}, f_{10}) = 0.968 \text{ ГГц}$

3.2 Vivado Design Suite

3.2.1 Код разработанного модуля БОЭ

```
`timescale 1ns / 1ps
```

```
// Для однобитового компаратора  
module one_bit_part(  
    input a, b,
```

```

    output out
);

wire not_a, not_b;
wire v1, v2;
    nand(not_a, a, a);
    nand(not_b, b, b);

    nand(v1, b, a);
    nand(v2, not_a, not_b);

    nand(out, v1, v2);
endmodule

module full_comparator4(
    input[3:0] a,
    input[3:0] b,
    output y
);

wire[3:0] bcomp_out;
wire v1, v2;
    one_bit_part obp0(a[0], b[0], bcomp_out[0]);
    one_bit_part obp1(a[1], b[1], bcomp_out[1]);
    one_bit_part obp2(a[2], b[2], bcomp_out[2]);
    one_bit_part obp3(a[3], b[3], bcomp_out[3]);

wire not_v1, not_v2;
    nand(v1, bcomp_out[0], bcomp_out[1]);
    nand(not_v1, v1, v1);

    nand(v2, bcomp_out[2], bcomp_out[3]);
    nand(not_v2, v2, v2);

wire not_y;
    nand(not_y, not_v1, not_v2);
    nand(y, not_y, not_y);

endmodule

```

3.2.2 Код разработанного тестового окружения БОЭ

```

`timescale 1ns / 1ps

module full_comparator4_tb;

reg [3:0] test_a;
reg [3:0] test_b;
wire test_res;

reg ex_res;

integer i, j;

full_comparator4 comparator(test_a, test_b, test_res);

// not synthesizable
initial begin
    for (i = 0; i < 16; i = i + 1) begin
        test_a = i;

        for (j = 0; j < 16; j = j + 1) begin
            test_b = j;

```

```

    ex_res = (i == j);

    #1 // wait for 10 nanoseconds

    if (test_res == ex_res) begin
        $display("[CORRECT]: a = %d, b = %d, test_res = %d", test_a, test_b,
test_res);
    end else begin
        $display("[INCORRECT]: a = %d, b = %d, test_res = %d, ex_res = %d",
test_a, test_b, test_res, ex_res);
    end
end
end
end

#1 $stop;

end

endmodule

```

3.2.3 Временная диаграмма процесса тестирования БОЭ

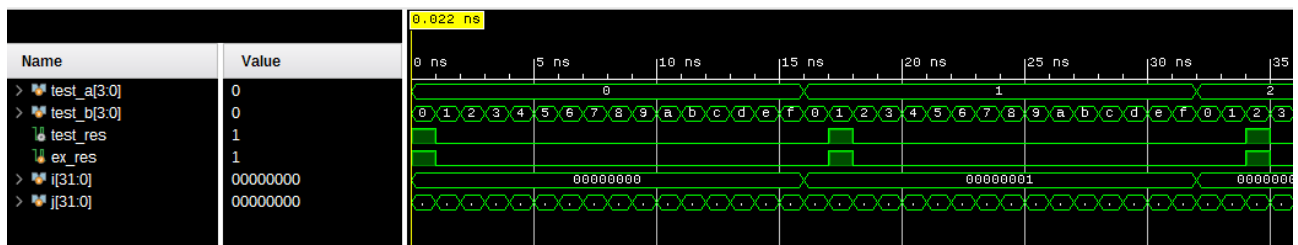


Рисунок 18: Временная диаграмма процесса тестирования БОЭ

Немного логов:

```

[CORRECT]: a = 0, b = 0, test_res = 1
[CORRECT]: a = 0, b = 1, test_res = 0
[CORRECT]: a = 0, b = 2, test_res = 0
[CORRECT]: a = 0, b = 3, test_res = 0
[CORRECT]: a = 0, b = 4, test_res = 0
[CORRECT]: a = 0, b = 5, test_res = 0
[CORRECT]: a = 0, b = 6, test_res = 0
[CORRECT]: a = 0, b = 7, test_res = 0
[CORRECT]: a = 0, b = 8, test_res = 0
[CORRECT]: a = 0, b = 9, test_res = 0
[CORRECT]: a = 0, b = 10, test_res = 0
[CORRECT]: a = 0, b = 11, test_res = 0
[CORRECT]: a = 0, b = 12, test_res = 0
[CORRECT]: a = 0, b = 13, test_res = 0
[CORRECT]: a = 0, b = 14, test_res = 0
[CORRECT]: a = 0, b = 15, test_res = 0
[CORRECT]: a = 1, b = 0, test_res = 0
[CORRECT]: a = 1, b = 1, test_res = 1
[CORRECT]: a = 1, b = 2, test_res = 0
[CORRECT]: a = 1, b = 3, test_res = 0
[CORRECT]: a = 1, b = 4, test_res = 0
[CORRECT]: a = 1, b = 5, test_res = 0
[CORRECT]: a = 1, b = 6, test_res = 0
[CORRECT]: a = 1, b = 7, test_res = 0
[CORRECT]: a = 1, b = 8, test_res = 0
[CORRECT]: a = 1, b = 9, test_res = 0
[CORRECT]: a = 1, b = 10, test_res = 0
[CORRECT]: a = 1, b = 11, test_res = 0
[CORRECT]: a = 1, b = 12, test_res = 0

```

```
[CORRECT]: a = 1, b = 13, test_res = 0  
[CORRECT]: a = 1, b = 14, test_res = 0  
[CORRECT]: a = 1, b = 15, test_res = 0  
[CORRECT]: a = 2, b = 0, test_res = 0  
[CORRECT]: a = 2, b = 1, test_res = 0  
[CORRECT]: a = 2, b = 2, test_res = 1
```

4. Выводы

4.1 LTspice

В ходе выполнения первой части лабораторной работы были получены базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП и принципах работы и устройства транзисторов. Было произведено ознакомление с технологией SPICE-моделирования схем на транзисторах с помощью программного обеспечения LTspice.

4.2 Vivado Design Suite

В ходе выполнения второй части лабораторной работы были получены навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентиляном уровне с использованием языка описания аппаратуры Verilog HDL с помощью программного комплекса Vivado 2019.1.