

2 Projeto

O projeto de coerência de cache utilizando o protocolo MESI depende da criação inicial de duas máquinas de estados, sendo uma delas a emissora e a outra a receptora. A implementação foi feita em estrutura de *Switch Case*, que faz a leitura do estado atual da máquina e da mensagem do Bus. Em seguida, alterna o estado que a máquina deve estar de acordo com as condições de entrada. Para interpretar as simulações usaremos a seguinte tabela:

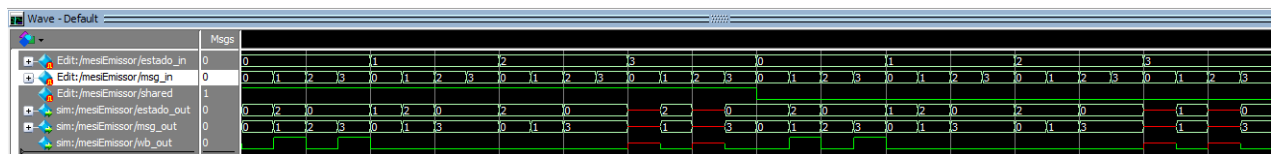
Bits	Estado	Mensagem
00	M - Modificado	Read Hit
01	E - Exclusivo	Read Miss
10	S - Shared/Compartilhado	Write Hit
11	I - Inválido	Write Miss

Assim, leia primeiro o estado atual e depois a mensagem que deve estar no Bus, por fim, veja o estado de saída de cada uma das máquinas e a mensagem de saída (se aplicável).

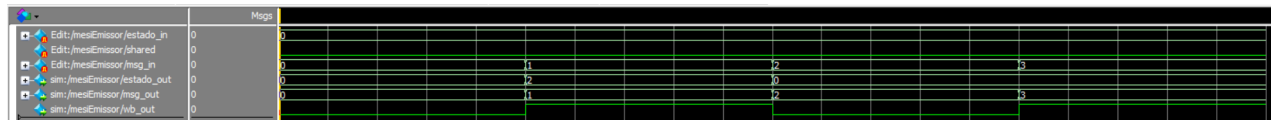
2.1 Emissor MESI

O Emissor MESI recebe como entradas o estado atual e a mensagem que está no Bus. A partir disso, ele define o estado de saída, a mensagem de saída e se ocorrerá *Writeback* dos dados contidos no bloco lido ou não.

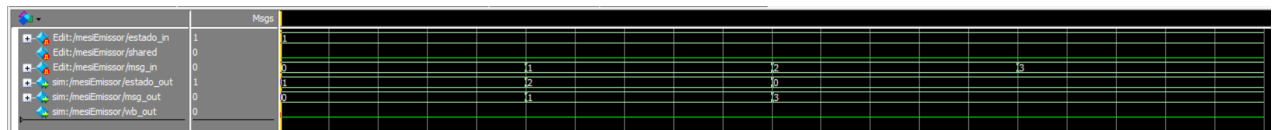
2.1.1 Simulação



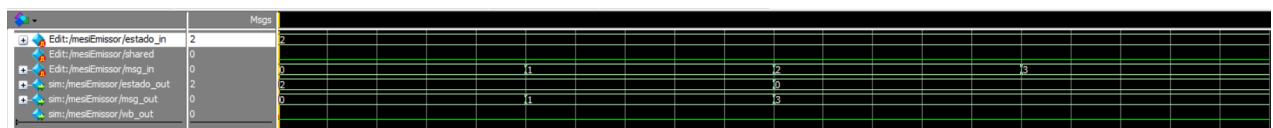
Simulação Emissor - Visão Geral



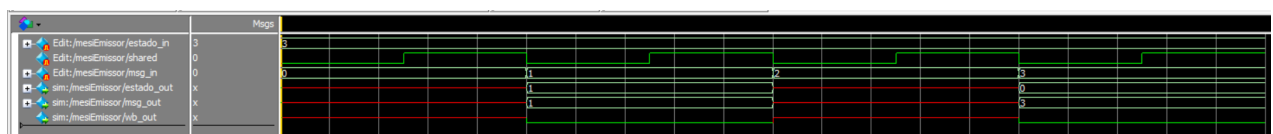
Emissor no Estado Modificado - 0



Emissor no Estado Exclusivo - 1



Emissor no Estado Compartilhado - 2

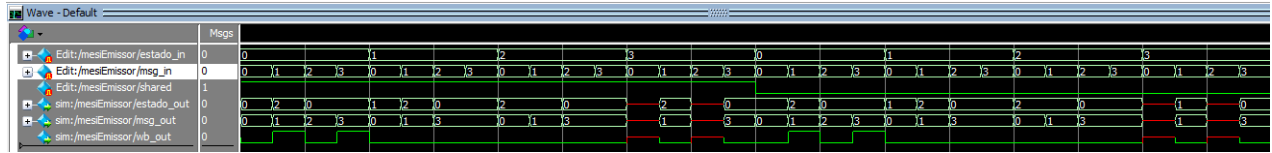


Emissor no Estado Inválido - 3

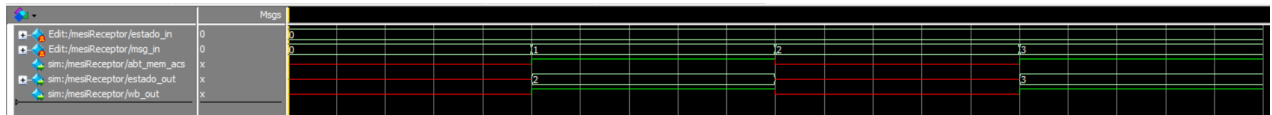
2.2 Receptor MESI

O Receptor MESI recebe como entradas o estado atual e a mensagem que está no Bus. A partir disso, ele define o estado de saída, e se ocorrerá *Writeback* dos dados contidos no bloco lido e se o acesso à memória será abortado.

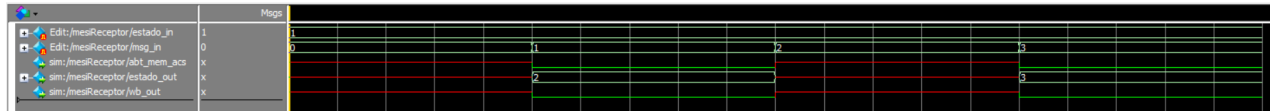
2.2.1 Simulação



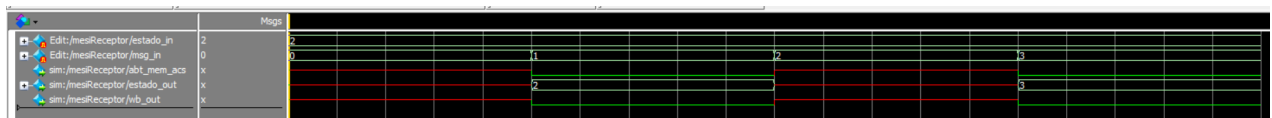
Simulação Receptor - Visão Geral



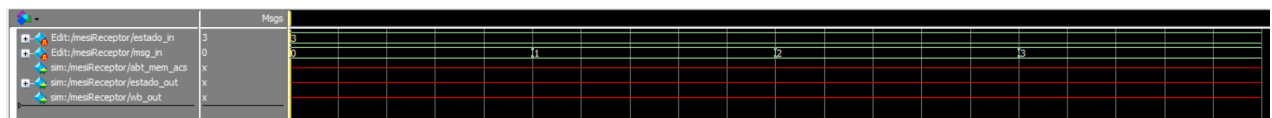
Receptor no Estado Modificado - 0



Receptor no Estado Exclusivo - 1



Receptor no Estado Compartilhado - 2



Receptor no Estado Inválido - 3

3 Conclusão

A implementação da primeira parte foi feita com sucesso, a dupla sugere inserir as máquinas no PDF, o que facilitará a implementação inicial da *parte 1* utilizando protocolo MESI.

Em relação à segunda parte da implementação, encontramos dificuldade na implementação dos blocos necessários para funcionamento da hierarquia de memória completa utilizando Protocolo MESI. Sugestão: adicionar maior profundidade de detalhes ao explicar como deve ser o projeto. Explicar melhor como deve ser implementada a CPU, qual abordagem devemos utilizar.