

第十六届 蓝桥杯（电子类）FPGA设计与开发项目 省赛

第一部分 客观试题（15 分）

不定项选择, 共 10 题（1.5 分/题）

01. 以下哪些属于基本逻辑门电路（ ）。
- A. AND
 - B. OR
 - C. XOR
 - D. NOT
02. 关于 D 触发器描述正确的是（ ）。
- A. 可以存储 1 比特数据
 - B. 输出值在有效边沿更新
 - C. D 触发器是时序电路的基本单元
 - D. 输入端可以直接改变输出端的输出结果
03. FPGA 系统中的 PLL 典型功能包括（ ）。
- A. 倍频
 - B. 分频
 - C. 相位调整
 - D. 幅值调整
04. 某滤波电路的通带增益为-3dB，表示（ ）。
- A. 信号功率衰减为输入的一半
 - B. 输出电压幅度衰减为输入的约 50%
 - C. 输出电压幅度衰减为输入的约 70%
 - D. 信号功率无衰减
05. 下列哪些串行通讯方式必须包含独立的时钟线（ ）。
- A. SPI
 - B. USART
 - C. I2C
 - D. CAN
06. 关于 UART 通信，以下哪些描述是正确的（ ）。
- A. 波特率误差可能导致通信失败
 - B. 支持多主、多从的通信拓扑
 - C. 通信过程中，发送端与接收端波特率应保持一致
 - D. 典型帧结构包括起始位、数据位、校验位和停止位
07. 下列哪些属于可以综合的 Verilog 代码（ ）。
- A. `#5 clk = ~clk;`

- B. `always @(posedge clk) cnt <= cnt + 1;`
- C. `assign data = (sel) ? a : b;`
- D. `initial begin reset = 1'b1; end`

08. FPGA 开发流程中，综合环节的主要目的是（ ）。

- A. 检查代码语法错误
- B. 将代码转换为网表
- C. 优化电路面积与速度
- D. 分配芯片引脚资源并生成时序约束文件。

09. 在 FPGA 调试、测试过程中，合理、有效的手段包括（ ）。

- A. 通过串口输出程序中间结果
- B. 通过功能仿真验证功能逻辑的正确性
- C. 使用集成的逻辑分析仪抓取 FPGA 内部信号
- D. 使用外部的仪表测量片外芯片时序

10. 某基于 LDO 设计的电源转换电路中，LDO 芯片发烫，可能是哪些原因导致的（ ）。

- A. 输入电压过高
- B. 输出端短路
- C. LDO 器件 PCB 热布局不良
- D. 输入电压波纹较大（峰峰值为 100mV）