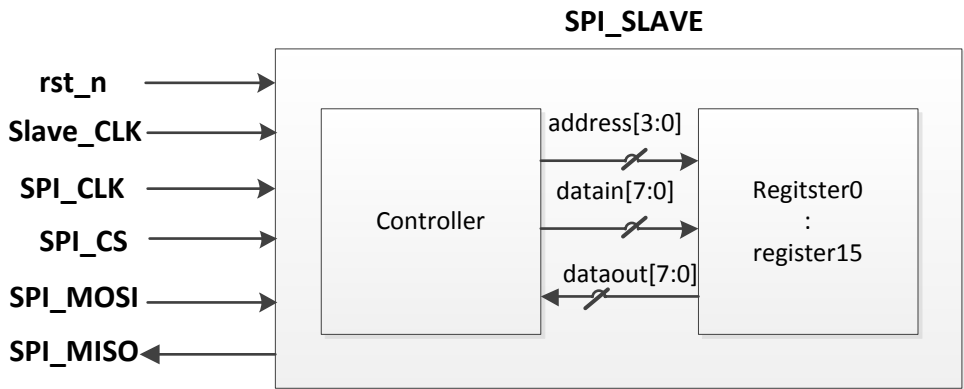


Project 说明

- 一、题目：设计一个 SPI_Slave 端电路，能完成对寄存器的读写操作。
- 二、要求：
- 1、根据提供的 testbench 程序(SPI_MASTER 端)代码，对 16 个寄存器（地址：0000~1111，每个寄存器宽度为 8bits）进行读操作和写操作。示意图如下：

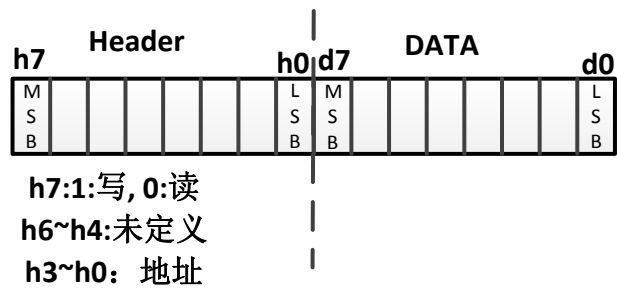


1) 端口信号

端口信号名称	位宽	方向	说明
Slave_clk	1	in	系统时钟
rst_n	1	in	低电平有效复位信号
spi_clk	1	in	spi 时钟，其频率至少小于 slave_clk 的 1/4
spi_cs	1	in	spi 片选信号，低有效
spi_mosi	1	in	master output, slave input，信息输入
spi_miso	1	out	master input, slave output，信息输出

本设计规定 spi_clk=5MHz。

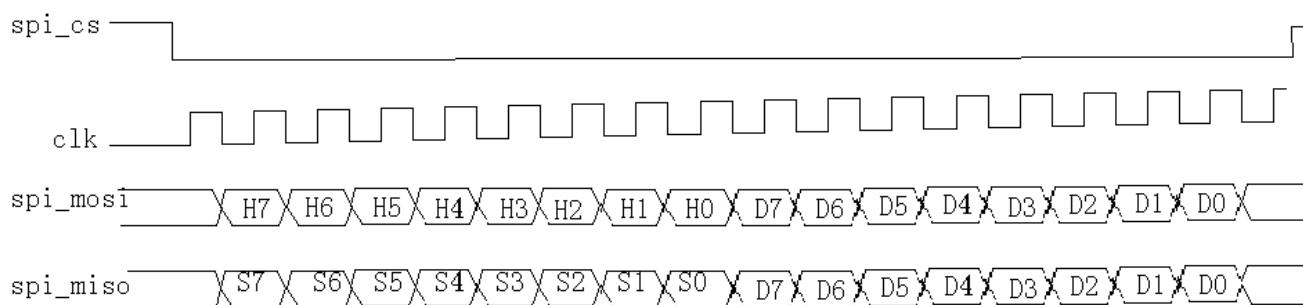
2) 数据格式



数据包括两部分：header 和 data，分别为 8 位。其中 header 的最高位为读写指示位，1：写数据；0 为读数据。Header 的低四位为地址位。

3) 时序关系

- SPI 接口数据在 spi_clk 的下降沿输出。一次 SPI 读或者 SPI 写操作中,spi_cs 必须维持低电平,这段时间内,spi_clk 一共会有 17 个完整的时钟周期。
- 当 spi_cs 由高变低后,在 spi_clk 的第一个下降沿,spi_mosi(testbench 产生)的数据将被改变(testbench),此后每一个 spi_clk 下降沿,spi_mosi 的数据都将改变,依次给出 H7 H6 H5....H2 H1 H0 D7 D6... D1 D0。
- 当 spi_cs 由高变低后,在 spi_clk 的第一个下降沿,spi_miso(spi_slave 产生)的数据将被改变,此后每一个 spi_clk 下降沿,spi_miso 的数据都将改变,依次给出 S7 S6 S5....S2 S1 S0 D7 D6... D1 D0，其中 S7 S6 S5... S1 S0 为内部 8 位的状态信息 state indication[7:0]。
- 写操作时，spi_mosi 给出 HEADER 和 DATA 信息，spi_miso 的值可以是任意值（初始值或者保持上一个值）。
- 读操作时，spi_mosi 给出 HEADER 信息，后 8 个时钟周期给出的 DATA 值可以任意。spi_miso 的值为状态和读出的 data：S7 S6 S5....S2 S1 S0 D7 D6... D1 D0。



例如：给 1 号寄存器（地址 0001）写入数据 8'b11000001 并读出来。

写操作时，spi_mosi 在连续 16 个时钟周期输出值为：1000000111000001，此时 spi_miso 的数据可以为任意。

读操作时，spi_mosi 在连续 16 个时钟周期输出值为：0000000100000000（后 8 位可以为任意，这里设为 0），spi_miso 的数据为 s7~s011000001，其中 s7~s0 为 slave 当前的状态值。

2、完成电路的前端设计(电路设计、Verilog 代码编写及 NC 仿真，DC 综合及综合后仿真) 及后端版图设计（布局布线）。

3、提交内容和时间：

- 1) 设计报告：6 月 10 号之前网上提交
- 2) 结果（波形和版图）展示：暂定 6 月 2 号、3 号上午 8:00~12:00，地点：微电子所上机机房