

设计作业：SRAM 存储器设计

2014-12-07

一、背景和概述

SRAM 存储器具有读写速度快、稳定性高、工艺兼容性好和使用方便等优点，广泛用于各种集成电路系统中。SRAM 存储器模块主要包括存储单元阵列和外围电路（行译码器和列电路等），如下图 1 所示。

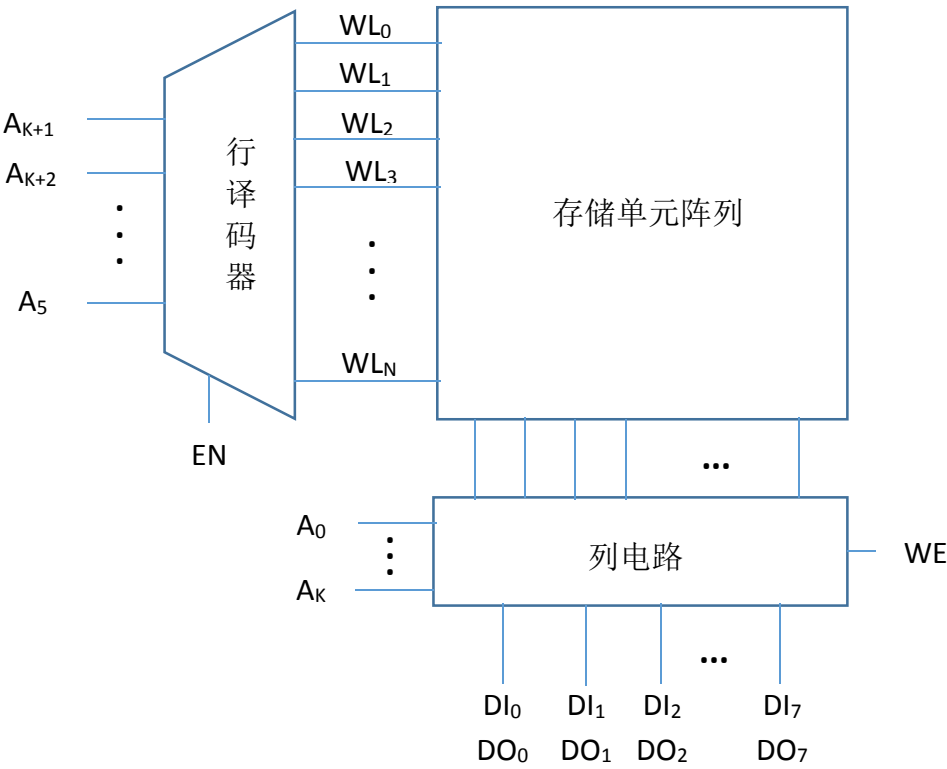


图 1 SRAM 存储模块结构框图

本设计作业需要根据提供的 SRAM 单元电路，分析其特性，并做必要的优化（根据需要，可选），设计出 64 字节存储容量的 SRAM 存储器模块，包括：单元阵列、行译码电路和列电路。

二、设计要求

设计总的目标是实现功能正确、速度快、功耗低和面积小的 SRAM 模块。存储容量为 64 字节，外部以字节为单位访问该存储器模块。其外部访问端口包括：

- 模块选择信号 EN：控制整个模块是否被选中，高电平时有效；
- 写入控制信号 WE：高电平表示写入模式；
- 6 位地址输入 A[5: 0]：选择 64 字节中的一个字节进行访问；
- 8 位数据输入 DI[7: 0]：写入操作时并行输入 8 位数据；
- 8 位数据输出 DO[7: 0]：读出操作时并行输出 8 位数据。

时序示意图如图 2 所示。

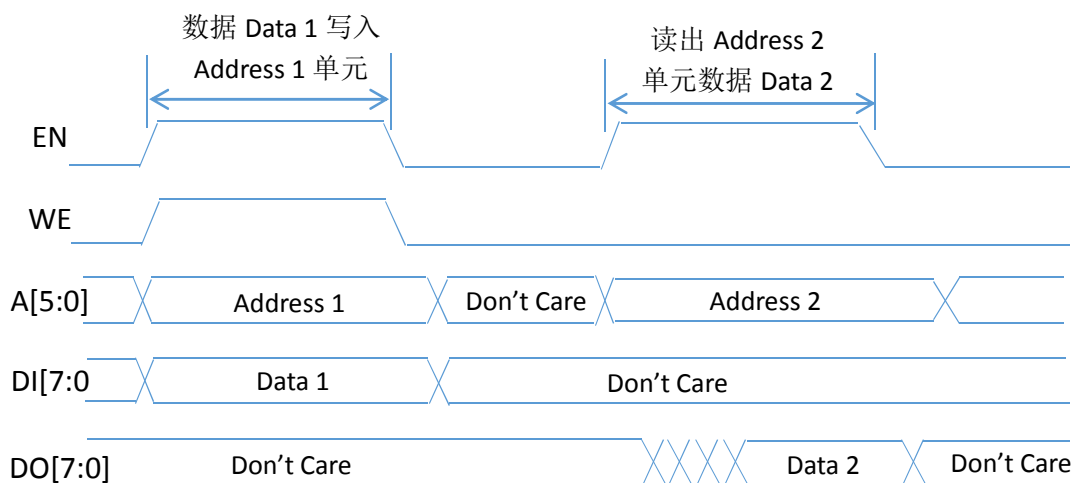


图 2 SRAM 模块时序示意图

具体设计内容包括以下几部分：

1. **SRAM 单元特性分析和优化。**根据提供的 SRAM 单元，分析单元的稳定性，用 Hspice 仿真得到读余量和写余量。根据仿真结果，可对单元晶体管尺寸作必要的优化（可选）。

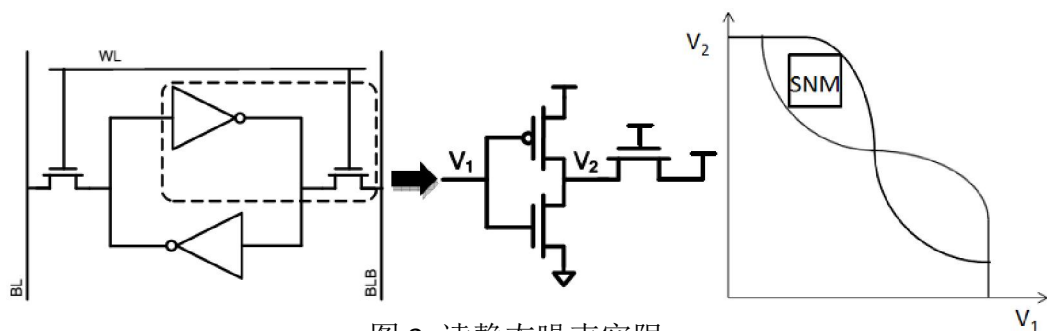


图 3 读静态噪声容限

读余量：读出时，字线和位线都保持在高电平。图 3 显示如何用图解法获得 SRAM 单元的读静态噪声容限（SNM）。首先，将单元中交叉耦合反相器的反馈断开，由半个 SRAM 单元形成一个“反相器”；然后，对反相器的输入 V_1 从 0 到 V_{DD} 进行扫描，通过测量反相器的输出 V_2 ，从而得到该“反相器”的 VTC；由两个半单元构成的两个相互驱动的“反相器”的 VTC 构造出“蝶形图”。读出 SNM 就等于“蝶形图”中能容纳的最大的正方形的边长。你可以不计算出最大正方形的尺寸，但要画出基于 Hspice 仿真得到的蝶形图，并图示 SNM。并给出读出过程中单元内低电平节点电压上升的最坏情况。

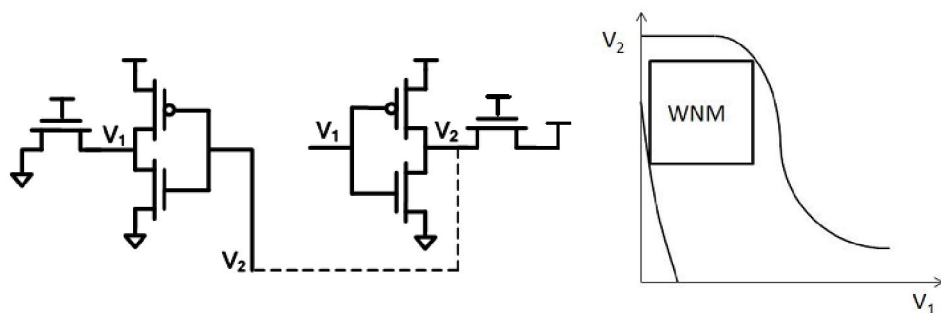


图 4 写静态噪声容限

写余量：写入过程中，字线接高电平 VDD，被写入存储单元的值驱动到位线上。图 4 显示如何用图解法获得 SRAM 单元的写静态噪声容限。与求读静态噪声容限一样，将单元中交叉耦合反相器的反馈断开，仿真得到“反相器”的 VTC。需要注意的是，此时两个反相器的 VTC 不再相同（因为一条位线被驱动到 0V，另一条驱动到 VDD）。用 VTC 构造出“蝶形图”。写 SNM 就等于“蝶形图”中能容纳的最大的正方形的边长。你可以不计算出最大正方形的尺寸，但要画出基于 Hspice 仿真得到的蝶形图，并图示 SNM。

2. 设计 64 字节 SRAM 单元阵列。每次访问（写入或读出）都以字节为单位，即每次写入 8 比特或读出 8 比特。根据整体性能优化的考虑，选择合适的阵列高度和宽度。

字线寄生电容估算：阵列每增加 1 列使得字线长度增加 3um，连线寄生电容为 0.3fF/um。

位线寄生电容估算：阵列每增加 1 行使得位线长度增加 2um，连线寄生电容为 0.3fF/um。

设计报告中应该包括阵列设计所考虑的因素、设计分析和设计结果。

3. 设计行译码电路。根据你选择的阵列结构，设计相应的行译码器电路，当 EN 信号有效时（高电平），将输入的地址转化为某条字线有效（高电平）。

外部输入的地址信号的负载能力不超过 20fF，你需要考虑译码器输出的负载能力，取决于字线上总的负载，包括字线上的所有 SRAM 单元负载和连线负载。忽略所有连线寄生电阻，但需要估算连线寄生电容，包括字线和预译码器输出端连线（该连线长度可以近似为阵列高度，即 2umX 行数）。

在设计报告中，应该包括你设计思路及分析，设计的电路图（结构图+1 条字线的详细电路和晶体管尺寸），并计算从地址输入至字线信号的延时及相应的 Hspice 仿真验证。

4. 列电路设计。设计位线调节电路、列译码选择（如需要）和读出/写入控制电路，灵敏放大器已提供。根据读出控制的需要，从输入信号产生相应的内部控制信号（如位线预充、灵敏放大器开启等）。

在设计报告中，应该包括你设计思路及分析，列电路的结构图及除灵敏放大器和单元电路外的晶体管尺寸。用 Hspice 仿真得出从单元被选中（字线有效）到数据读出或数据被写入的时间。

5. 整个 SRAM 模块的仿真验证。用 Hspice 仿真整体电路（包括行译码、单元阵列和列电路等）的功能、性能和功耗，得出你所设计的 SRAM 模块的读出时间和写入时间等参数，并估算整个模块的功耗。为缩短仿真时间，你可以只仿真一个完整行和完整的 1 比特电路（1/8 的列）。

三、报告要求

你的设计报告应该包括第二部分明确要求的内容，此外还要包括：

1. 电路的整体结构和仿真结果，并计算除单元电路和灵敏放大器之外的所有晶体管尺寸之和，以估算你的设计面积大小。
2. 你设计过程中的心得体会和建议。

3. Hspice 仿真的网表文件和相关结果作为附件提供。

四、物理和电气规格

1. 工艺

采用 0.18um CMOS 工艺，Hspice 参数采用课堂提供的 0.18um 参数。手工计算： $L=0.18\mu\text{m}$, $C_g=1.6\text{fF}/\mu\text{m}$, $C_D=1.6\text{fF}/\mu\text{m}$, $R_p=20\text{K}\Omega/\square$, $R_n=10\text{K}\Omega/\square$ 。其中 C_g 和 C_D 分别表示单位宽度晶体管的栅电容和漏端电容， R_p 和 R_n 分别表示长宽比为 1 的 PMOS 和 NMOS 管导通电阻。

2. 电源电压

所有电源电压都为 1.8V。

3. 性能测量

所有延时的测定都以输入/输出信号的 50%的点为参考。

4. 功耗

每人的设计可能工作在不同的频率，我们统一以 100MHz 的时钟频率测量功耗。

5. 面积

面积计算以模块中所有晶体管的宽度之和估算。

6. 上升/下降时间

所有输入信号的上升/下降时间为 100ps，所有输出信号的上升/下降时间不超过 400ps。

7. 负载电容

所有输出端需要驱动 20fF 负载电容。

8. 输入电容

所有输入端可驱动 20fF 电容。

附：SRAM 单元电路和灵敏放大器电路

