

SRAM 存储器设计报告

2011011142 微 11 樊明祥

2010011014 微 11 王治平

2014 年 12 月 28 日

一、背景概述

本设计作业需要根据提供的 SRAM 单元电路，分析其特性，设计出 64 字节存储容量的 SRAM 存储器模块，包括：单元阵列、行译码电路和列电路。

二、设计内容

1、SRAM 单元特性分析

SRAM 单元电路及尺寸如下图 2.1.1:

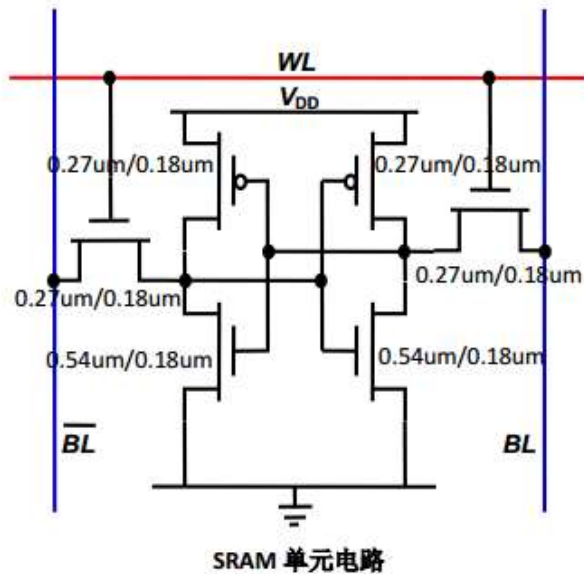


图 2.1.1

通过 HSpice 仿真对其读余量进行分析，得到蝶形图和示意读余量的正方形如下图 2.1.2:

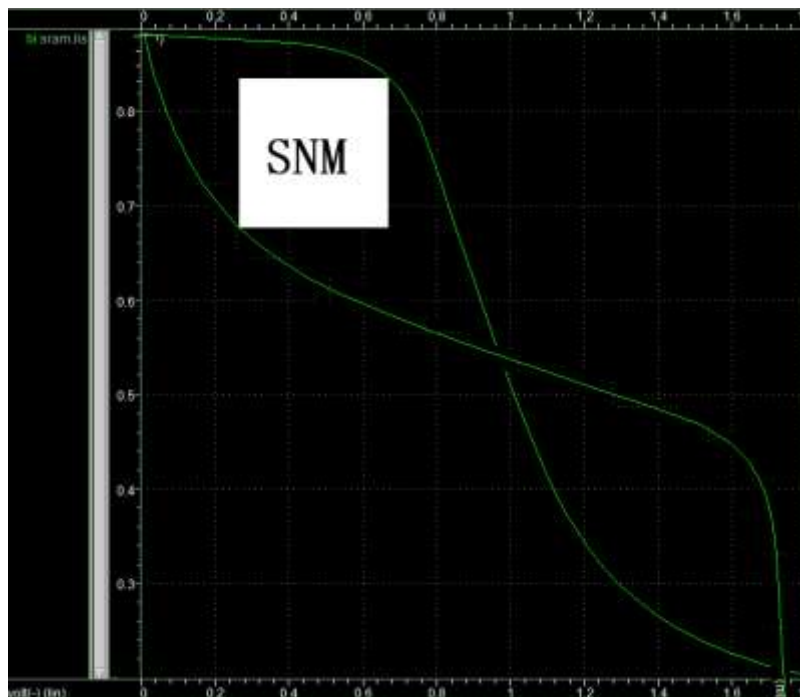


图 2.1.2

通过 HSpice 仿真其写入，得到写余量如下图 2.1.3:

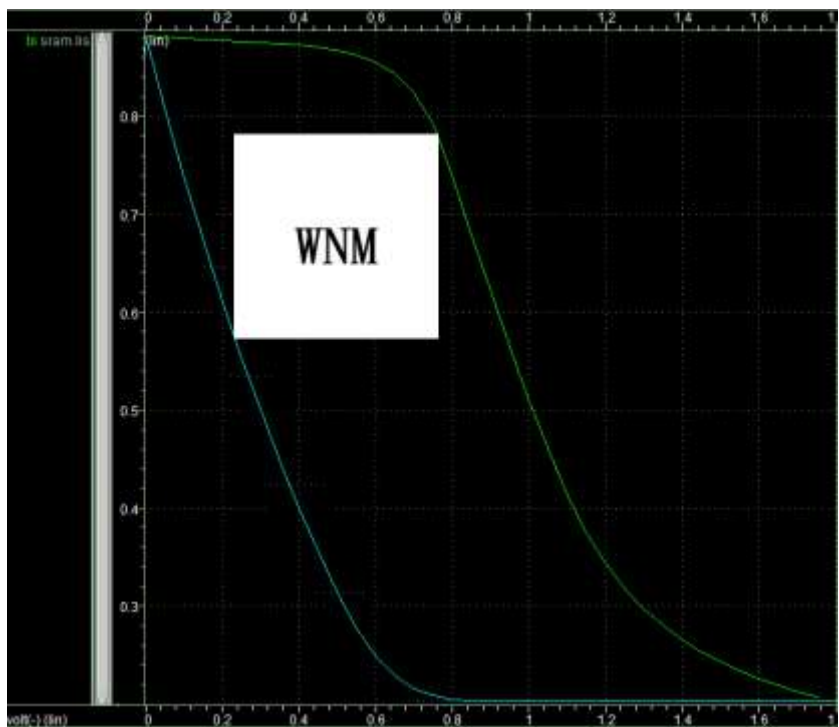


图 2.1.3

2、64 字节 SRAM 阵列设计

一个 64 字节存储容量的 SRAM 存储器模块包括存储单元阵列、行译码器和列电路三个部分。

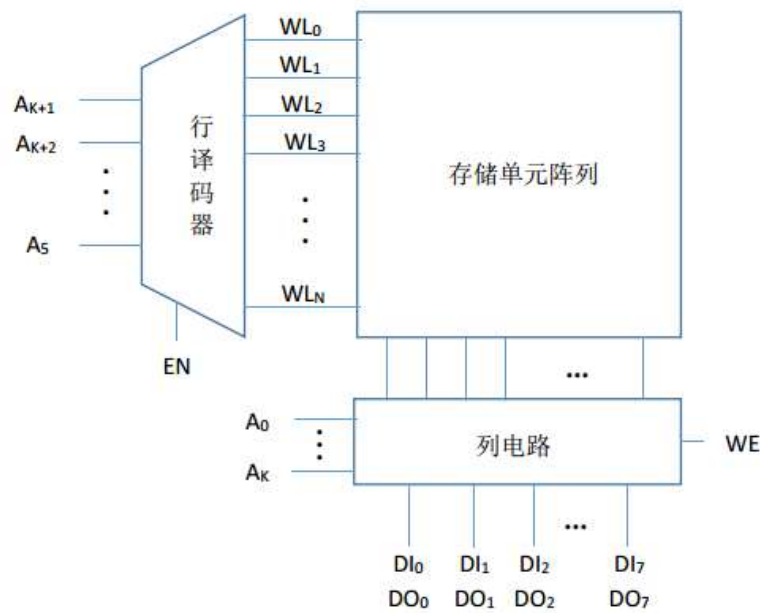


图 2.2.1

为了决定存储单元阵列的行数和列数，进行以下的估计计算：

$$x \times y = 64, y = \frac{64}{x}$$

$$\min(3x + 2y \times 16) = \min\left(3x + \frac{2048}{x}\right)$$

根据以上计算的结果，行数为 26 行时因为行、列连线产生的寄生电容取得最小值，再考虑行数应为 2 的次幂，我们决定采用 32 行（32bit），2 列（16bit）的方式排列 SRAM 单元。

3、行译码电路设计和分析

行译码器电路，主要是通过译码器的设计对字线电平进行选择与驱动，输入信号有地址信号以及使能信号。



图 2.3.1

设计采用 32 行（32bit），2 列（16bit）的方式排列 SRAM 单元，则字线(WL)数目为 32，由译码器原理可推得有 $\log_2 32 = 5$ 位扇入，再加上使能信号 EN，驱动每个字线的与非门应有 6 位扇入，考虑扇入较大， t_{pLH} 随扇入线性增加（电容线性增加，导通电阻不变）， t_{pHL} 随扇入呈二次方关系增加（电容与电阻均线性增加），决定重组逻辑结构，设计一级预译码器，使得扇入分散。大致模块如下图所示：

(1) 预译码器

以 WL_0 为例说明预译码器的设计思路

$$WL_0 = \overline{A_0} * \overline{A_1} * \overline{A_2} * \overline{A_3} * \overline{A_4} = \overline{(A_0 + A_1)} * \overline{(A_2 + A_3)} * \overline{A_4}$$

可见可以把 $A_0 A_1 A_2 A_3$ 的输入，用或非门整合，使得行译码器与非门从 5 地址输入减为 3 地址输入，具体实现电路如下图 2.3.2：

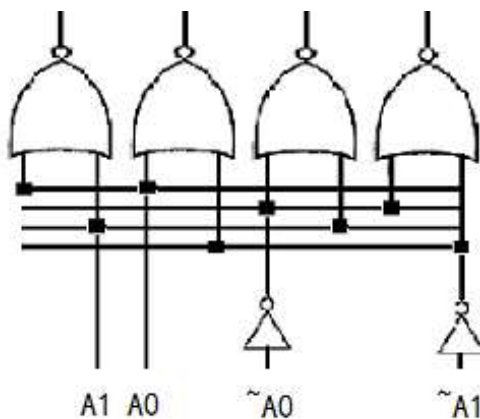


图 2.3.2

尺寸设计：

由于需要计算预译码器输出端连线电容，就会产生如下图 2.3.3 所示的组合逻辑路径：

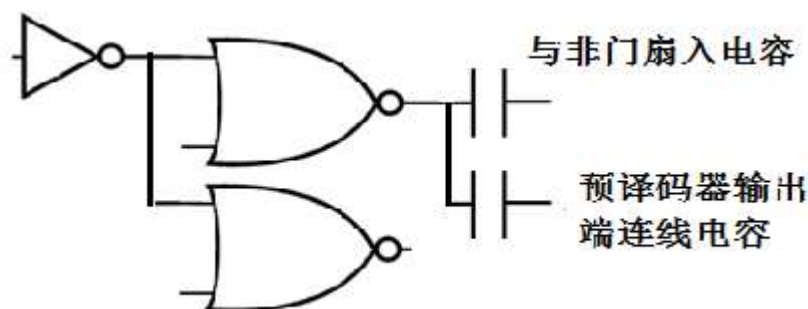


图 2.3.3

反相器取最小尺寸 NMOS 宽长比为 1，PMOS 宽长比为 2，扇入电容为 $(1+2)*0.18*1.6=0.864\text{fF}$ ，记为 1 电容单位。由于阵列高度为 32 行，预译码器输出端连线电容为： $32*2*0.3=19.2\text{fF}$ 。后方与非门的扇入电容为 $8*1.728\text{fF}=13.824\text{fF}$ 。故总负载为 33.024fF 。

已知 2 输入或非门逻辑努力为 $5/3$ ，由路径延时最小公式可得其尺寸如下图 2.3.4:

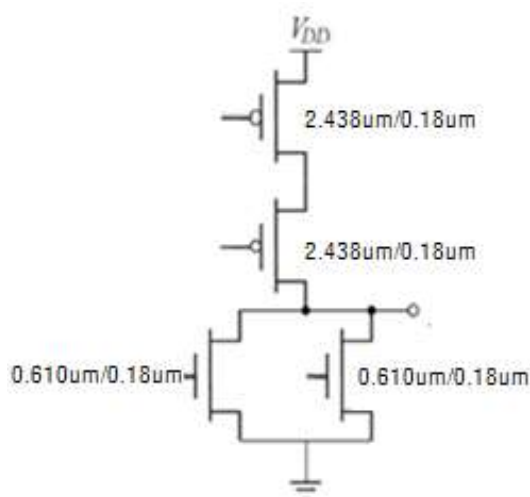


图 2.3.4

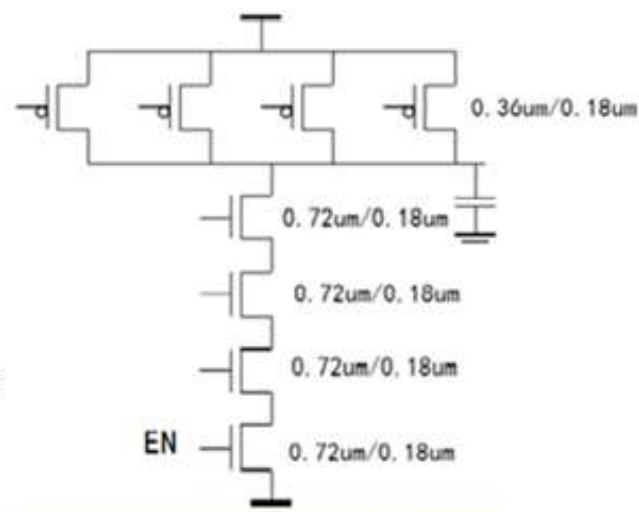


图 2.3.5

(2) 行译码器

四输入与非门尺寸设计如上图 2.3.5。有两点需要注意：首先，由于扇入较多，应把最晚到达的信号（带有反相器的或非门信号）放在靠近输出的位置，以缩短关键路径长度；与非门后应有一小尺寸（单位尺寸）反相器，原因是使字线信号反向，且能够隔离扇入与扇出，减小延时；由于地址信号负载能力不超过 20fF ，故 A4 需要加两级反相器进行放大，经最小延时计算尺寸分别为 1， $\sqrt{2}$

(3) 仿真

行译码器总体电路图如下图 2.3.6

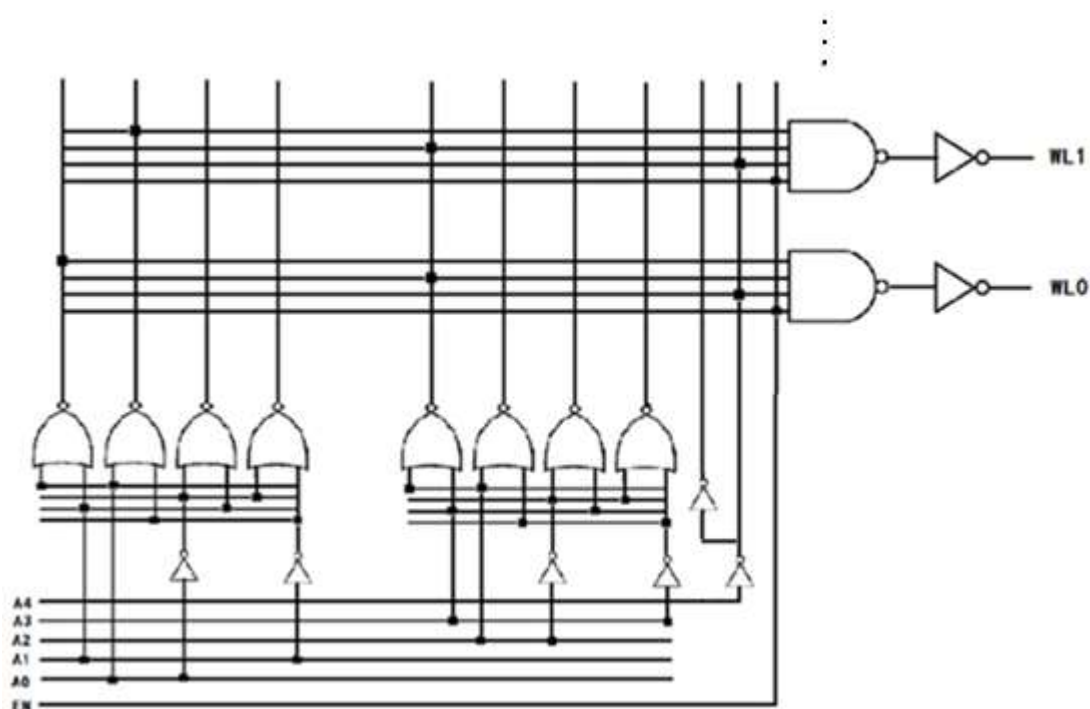


图 2.3.6

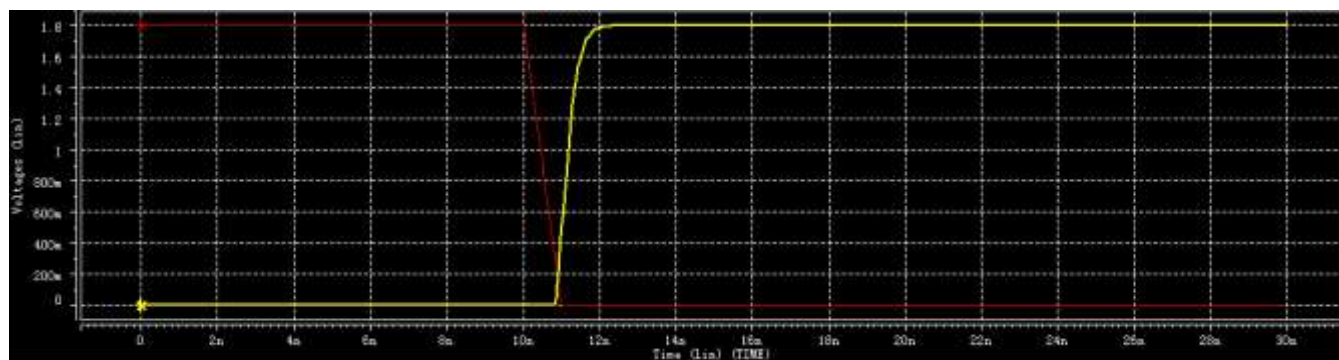


图 2.3.7

如图 2.3.7， 取字线 WL1 进行仿真，在 EN 保持高电平的情况下，图中红线代表地址信号，黄线代表 WL1 响应，可见功能正确。

(4) 延时计算及验证。

对于字线 WL1，关键路径为地址信号 A1 经过的路径。

预译码器部分延时： $D = t_{p0}(p_1 + p_2 + 2\sqrt{H}) = 0.0936\text{ns}$

与非门延时： $t_{\text{NAND}} = 0.69 * R_n * (C_d + C_g) = 0.69 * 10\text{k} * [(4 + 4 * 2 + 3) * 0.18 * 1.6\text{f}] = 0.0298\text{ns}$

字线反向器延时： $t_{\text{INV}} = 0.69 * R_p * (C_d + C_{\text{WL}} + C_{\text{SRAM}}) = 0.69 * 10\text{k} * (3 * 0.18 * 1.6\text{f} + 14.4\text{f} + 13.824\text{f}) = 0.2007\text{ns}$

$T = D + t_{\text{NAND}} + t_{\text{INV}} = 0.3241\text{ns}$

经 Hspice 测算，从地址信号 A1 翻转，到 WL1 翻转延时为 $6.4251\text{E}-10\text{s} = 0.6425\text{ns}$

猜测主要误差由于输入信号上升/下降时间不为 0 造成的。

(5) 功耗估算

对于每一根字线，地址信号翻转时，会把 2 个 NOR 门 NAND 门间节点充电，并把反相器字线节点充电，故每一根字线功耗计算如下：

$$P_{0 \rightarrow 1} = V_{dd}^2 * f * (2 * C_1 + C_2)$$

$$\text{其中 } C_1 = (2 * 0.686 + 2.743 + 6 * 0.18) * 1.6 + 19.2 = 27.512\text{fF}$$

$$C_2 = 3 * 0.18 * 1.6 + 28.224 = 29.088\text{fF}$$

$$P_{0 \rightarrow 1} = 1.8^2 * (2 * 27.512\text{f} + 29.088\text{f}) = 272.53\text{fW}$$

4、列电路设计

(1) 电路设计

列电路包括列译码器、读电路、写电路和读写控制电路四个部分，这四个部分连接的方式如下图 2.4.1 所示：

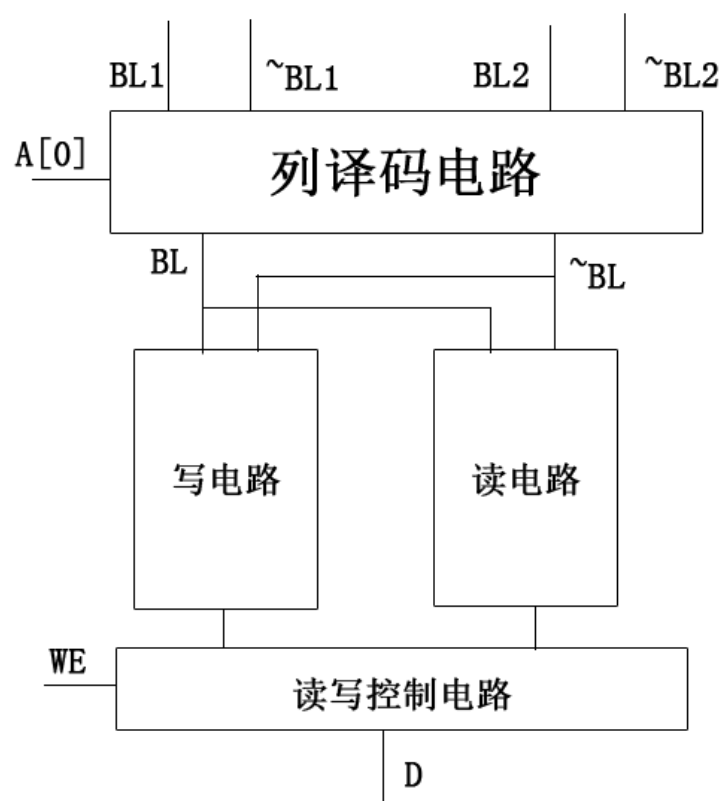


图 2.4.1

列译码电路通过四个尺寸均为 $w=1.8\mu, l=0.18\mu$ 的 MOS 管控制，当 A[0]高电平时 BL 与 BL2 间 NMOS 管近似导通，~BL 与 ~BL2 间 NMOS 管近似导通，而与 BL1 和 ~BL1 连接的 PMOS 管近似关断；当 A[0]低电平时情况相反。为减小列译码电路中 MOS 管上的压降对电路的影响，选择了较大的宽度。

或非门所有 MOS 管尺寸均为 $w=0.18\mu$, $l=0.18\mu$, 或非门两个输入为 EN 和 EN 经延时电路之后的信号, 从而在 WL 变化时, 在 PC 端产生短暂的高电平。

下图 2.4.3 为由 EN 信号产生的 SE 信号和 PC 信号。

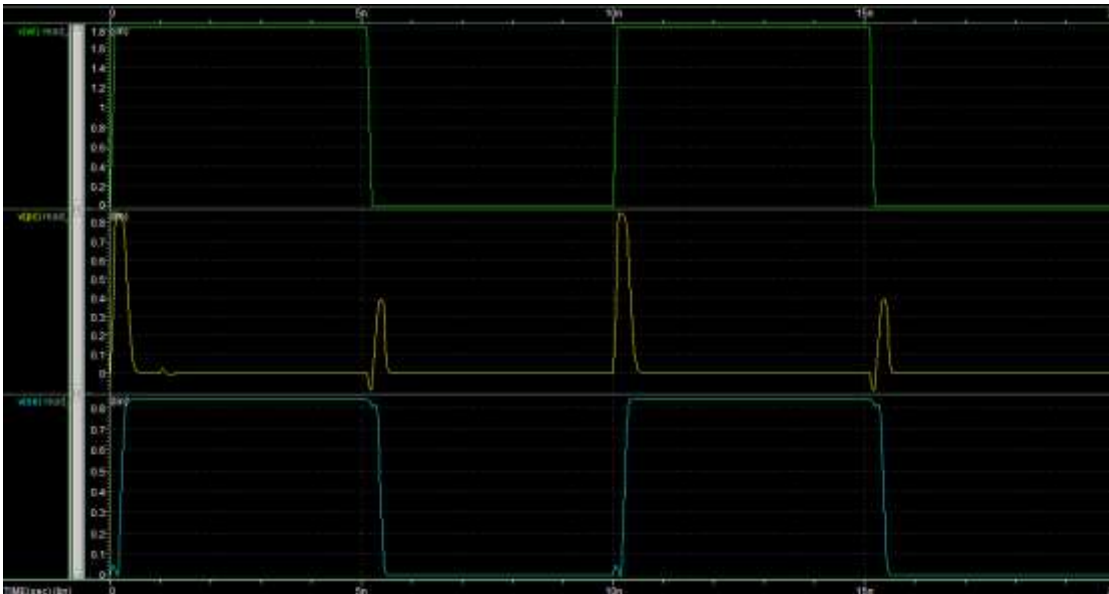


图 2.4.3

考虑到预充电电路电阻应相对较小, 采用 $w=0.54\mu$, $l=0.18\mu$ 的尺寸。

灵敏放大器尺寸由实验指导书给出。

读写控制电路与列译码电路相近, MOS 管尺寸也选择 $w=1.8\mu$ 。

(2) HSpice 仿真

经过 HSpice 仿真验证, 设计功能正确。

单独仿真一个 SRAM 单元的写入和读出, 得到如下图 2.4.4 所示的波形:



图 2.4.4

从上至下依次是 EN, WE, Din, Dout, BLi

(3) 延时计算

写入延迟为 65.6ps, 读出延迟为 497ps。

单个 SRAM 在读写过程中, 漏电电流为 1.05nA, 峰值电流在读写发生时得到。

(4) 功耗计算

写电路时, 被拉高节点电容为 $1.6 \times 0.18 \times (3 + 10 + 3 + 1.5 \times 2) = 5.472\text{fF}$, 因而功耗为 17.73fW;

读电路时, 延时电路被拉高电容为 $1.6 \times 0.18 \times 2 = 0.576\text{fF}$, 或非门电路被拉高电容为 $(1.6 \times 0.18 \times 1 + 1.6 \times 0.18 \times 2) \times 2 = 1.728\text{fF}$ (此处 $\times 2$ 是因为一次读取或非门翻转两次), 预充电路电容为 $1.6 \times 0.18 \times 3 \times 3 = 2.592\text{fF}$, 灵敏放大器为 $1.6 \times 0.18 \times (3 + 3 + 2) = 2.304\text{fF}$, 因而行电路总功耗为 $(0.576 + 1.728 + 2.592 + 2.304) \times 1.8 \times 1.8 = 23.328\text{fW}$ 。

5、电路整体结构

列电路的 MOS 管宽度之和为 $16.74 \times 8\mu\text{m}$, 单个 SRAM 管宽度之和为 $1.62\mu\text{m}$, 灵敏放大器管宽度之和为 $3.24 \times 8\mu\text{m}$, 行电路 MOS 管宽度之和为 $168.86\mu\text{m}$, 由此可以得到电路的总面积为 $432.38\mu\text{m} \times 0.18\mu\text{m}$ 。

所设计 64 字节 SRAM 电路在 100MHz 频率下的功耗为 $[(8 \times 17.73\text{fW} + 8 \times 23.33\text{fW}) / 2 + 272.53\text{fW}] \times 100000000 = 43.68\text{uW}$ 。

三、心得体会和建议

- 1、基础知识需要非常扎实, 在进行延时功耗估算的时候, 发现很多知识都是模棱两可, 需要大量的补习……
- 2、网表子电路中的原件代号, 不能与整体电路中代号共用。要注意子电路连接到整体电路时候的电路结构。
- 3、在计算具体尺寸时, 需要算清每个信号负载节点上, 到底连接了几个门, 很容易少算。
- 4、功耗计算比较粗略, 比如每一根字线信号翻转情况不同, 导致充电节点不同, 但门间节点功耗误差较小, 主要在字线负载上有较大功耗。