**组成原理实验课程第 五 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | ALU模块实现 | | | 班级 | 李涛老师 |
| 学生姓名 | 张洋 | 学号 | 2111460 | 指导老师 | 董前琨老师 |
| 实验地点 | 津南实验楼A306 | | 实验时间 | 5月23日 18：30 – 20：30 | |

1. **实验目的**

1. 了解只读存储器ROM和随机存取存储器RAM的原理。

2. 理解ROM读取数据及RAM读取、写入数据的过程。

3. 理解计算机中存储器地址编址和数据索引方法。

4. 理解同步RAM和异步RAM的区别。

5. 掌握调用xilinx库IP实例化RAM的设计方法。

6. 熟悉并运用verilog语言进行电路设计。

7. 为后续设计cpu的实验打下基础。

1. **实验内容说明**

1. 学习存储器的设计及原理，如：ROM读地址索引读取数据过程及时序，RAM读写时序，同步和异步的区别等。

2. 学习计算机中内存地址编址和数据索引方法。

3. 自行设计本次实验的方案，画出结构框图，详细标出输入输出端口，确定存储器宽度、深度和写使能位数。

4. 学习ISE工具中调用库IP的方法。

5. 本次实验要求调用xilinx库IP实例化一块RAM。实例化的RAM选择为同步RAM。本次实验的RAM建议设置为两个端口，一个端口用来正常的读写，另一个端口作为调试端口只使用读功能用于观察存储器内部数据。

6. 调用xilinx库IP实例化一块RAM，并进行仿真，得到正确的波形图。

7. 将以上设计作为一个单独的模块，设计一个外围模块去调用该模块，见图6.1。外围模块中需调用封装好的LCD触摸屏模块，显示RAM的正常端口的地址、待写入的数据和读出的数据，显示调试端口的地址和读出的数据。并且需要利用触摸功能输入正常端口的地址和写数据，以及调试端口的地址。

8. 将编写的代码进行综合布局布线，并下载到实验箱中的FPGA板子上进行演示。

1. **实验原理图**

同步RAM的顶层展示模块：



同步ROM的顶层模块：



1. **实验步骤**

（1) 在verilog中建立四个工程分别完成同步、异步的rom和ram存储器实验

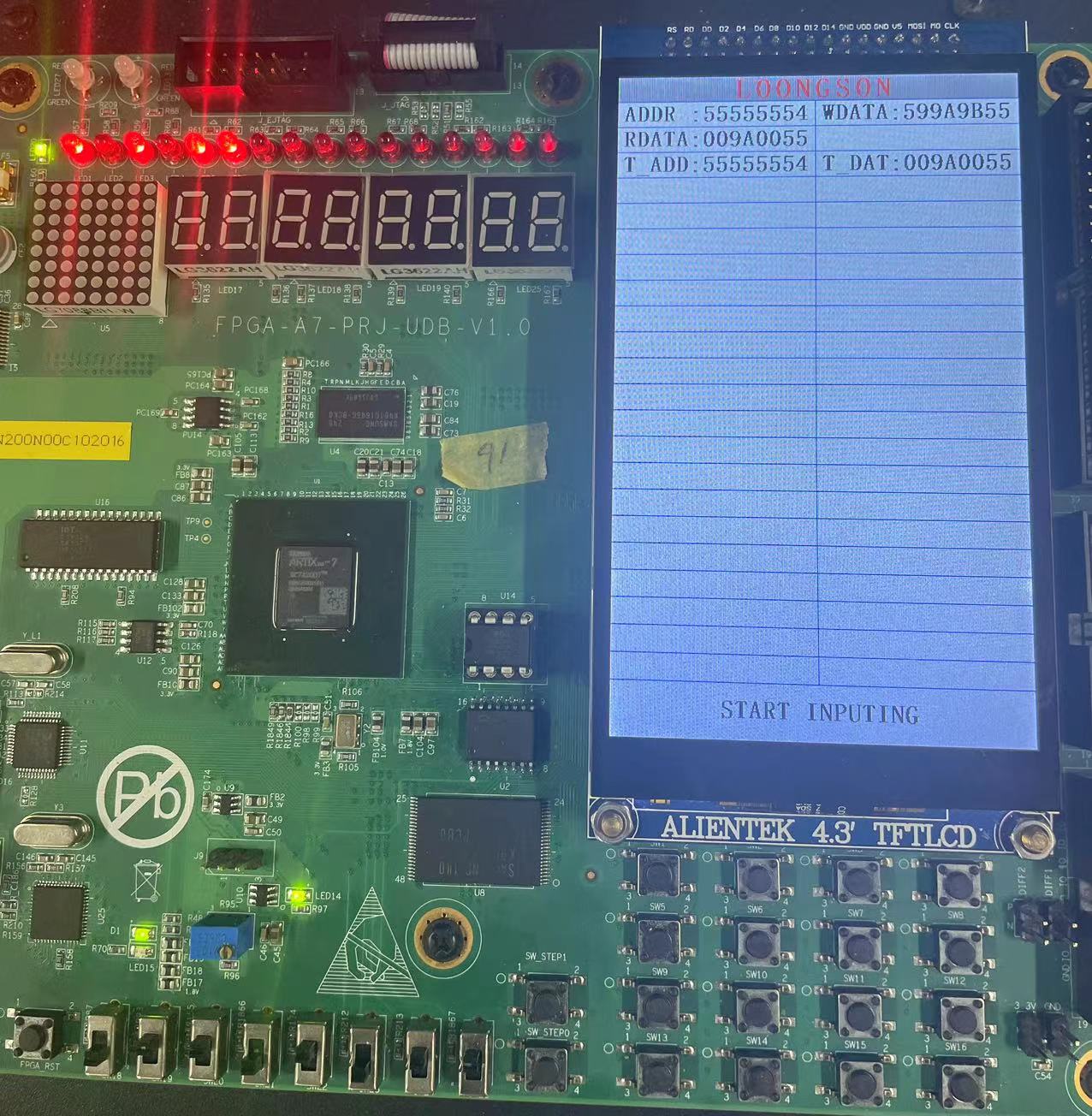
（2）上箱验证，每个工程至少用一组上箱照片和介绍性文字总结验证功能。

（3）对实验进行总结并回答问题。

1. **实验结果分析**

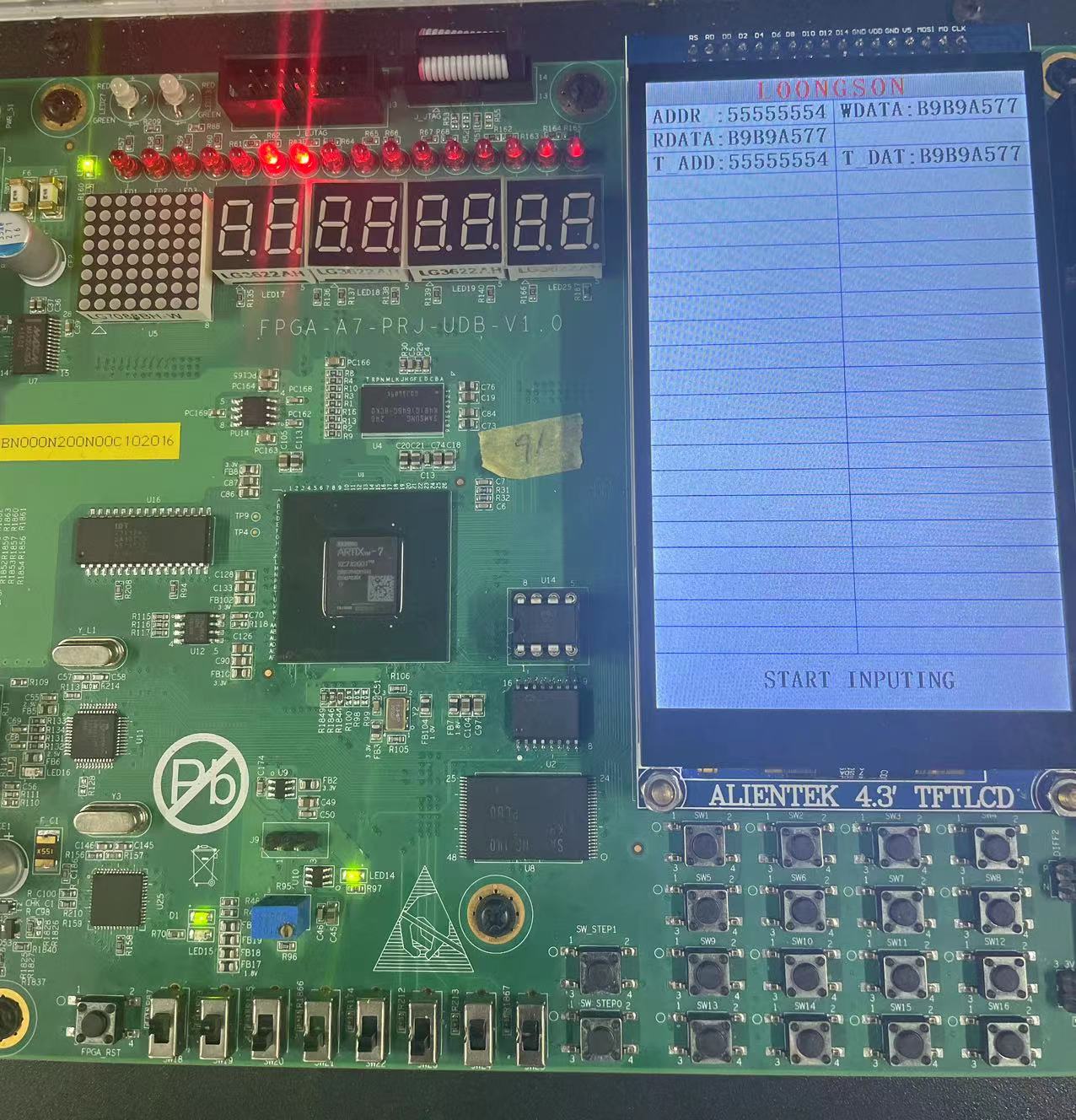
**(1)异步ram**

左边两个开关为选择开关，右边四个为置位开关，波动左边两个开关，选择输入的信息；拨动右边四个开关，将数据写入到对应内存地址中。



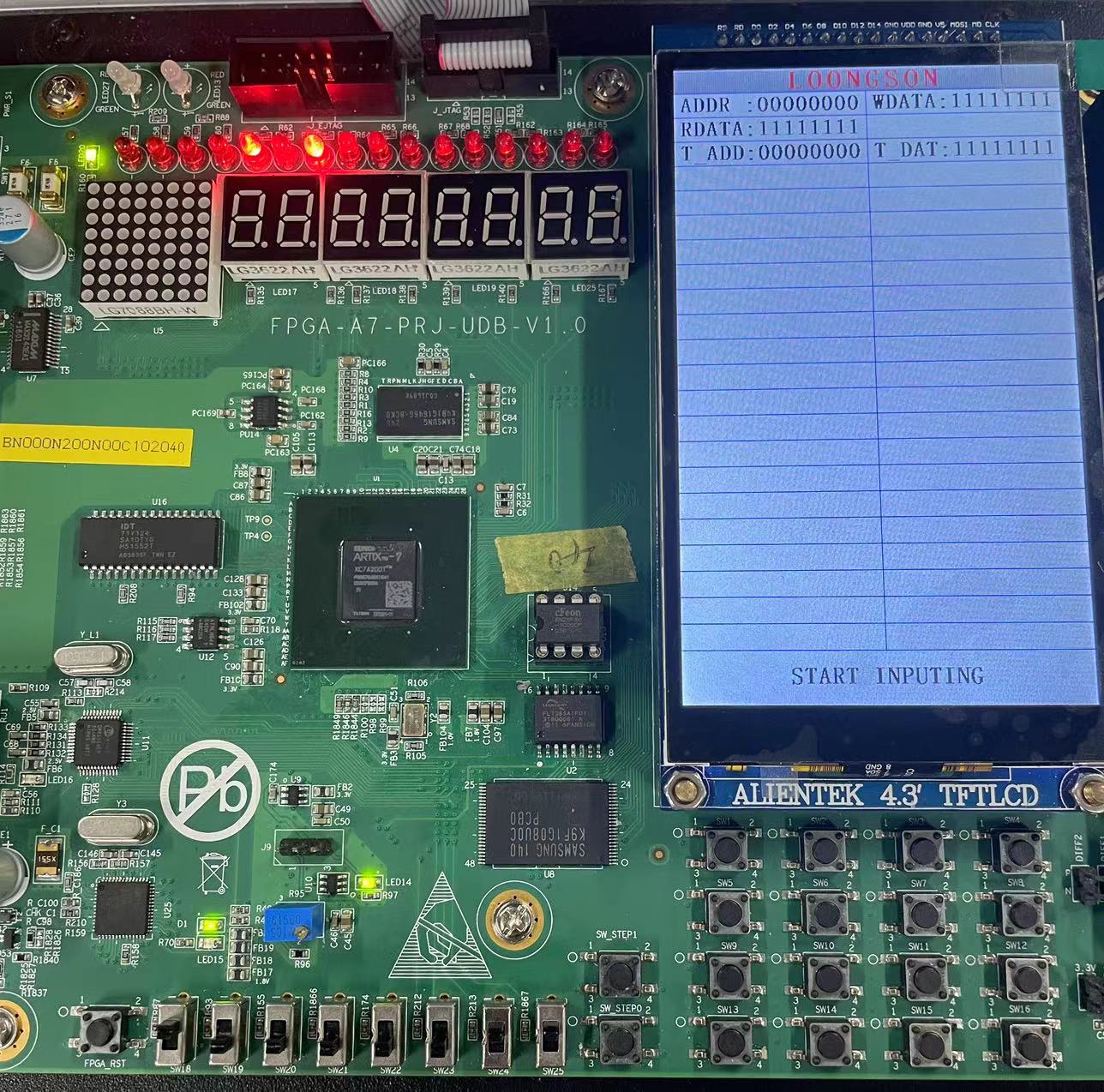
如图，设定ADDR=55555554，写入数据WDATA=599A9B55，拨动拨码开关写入图中的低一二位和低五六位，可以看到RDATA=009A0055，即RDATA显示的数据为ADDR所示的内存地址存储的数据。

输入T\_ADD=55555554可以看到T\_DAT=009A0055。

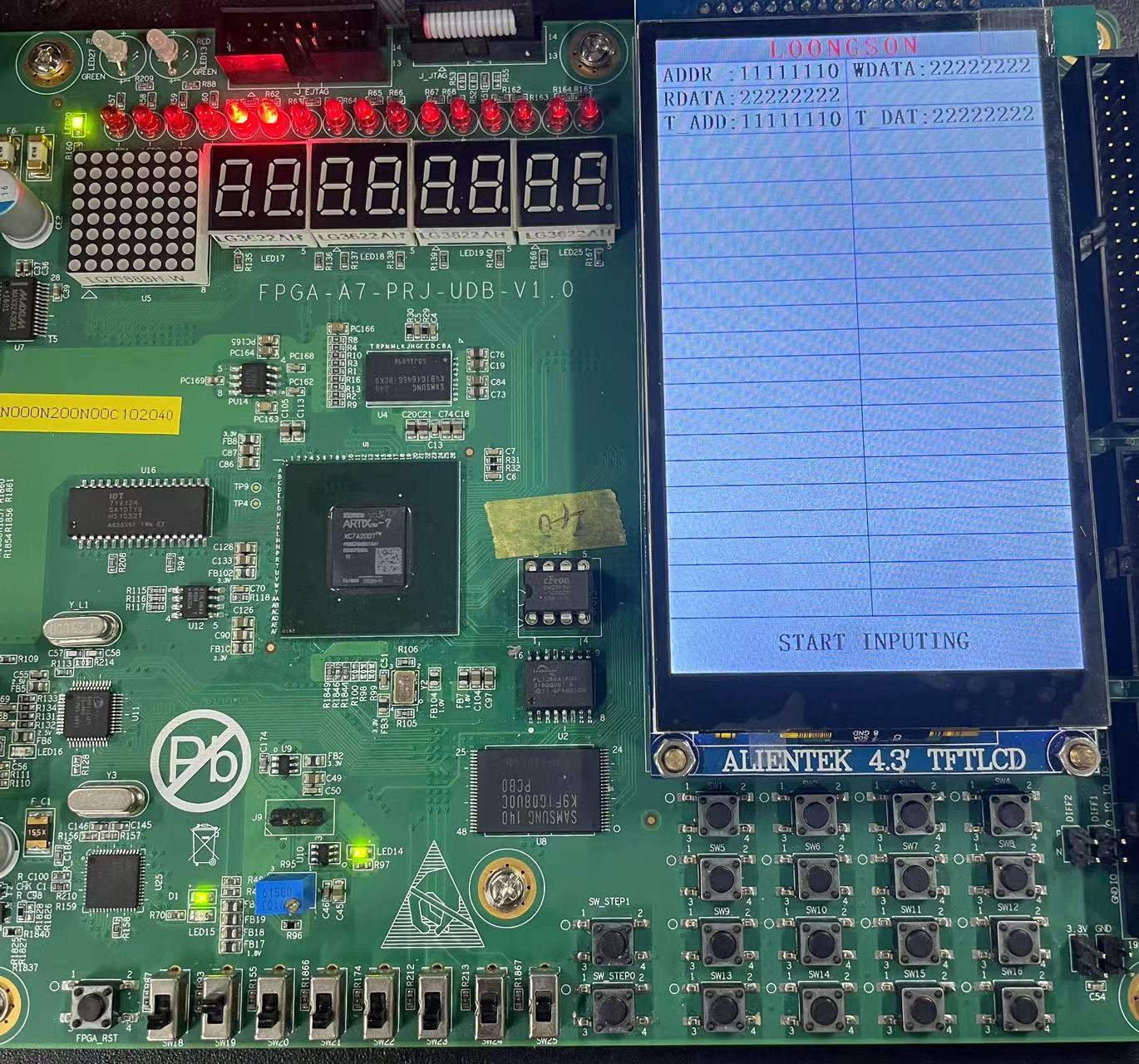


更改此地址的数据为B9B9A577，可以看到T\_DAT变为B9B9A577。

**(2)同步ram**



如图，当ADDR=00000000时，输入信息WDATA=11111111，写入的数据RDATA=11111111。此时T\_ADD=00000000，读取该地址的值为T\_DAT=11111111

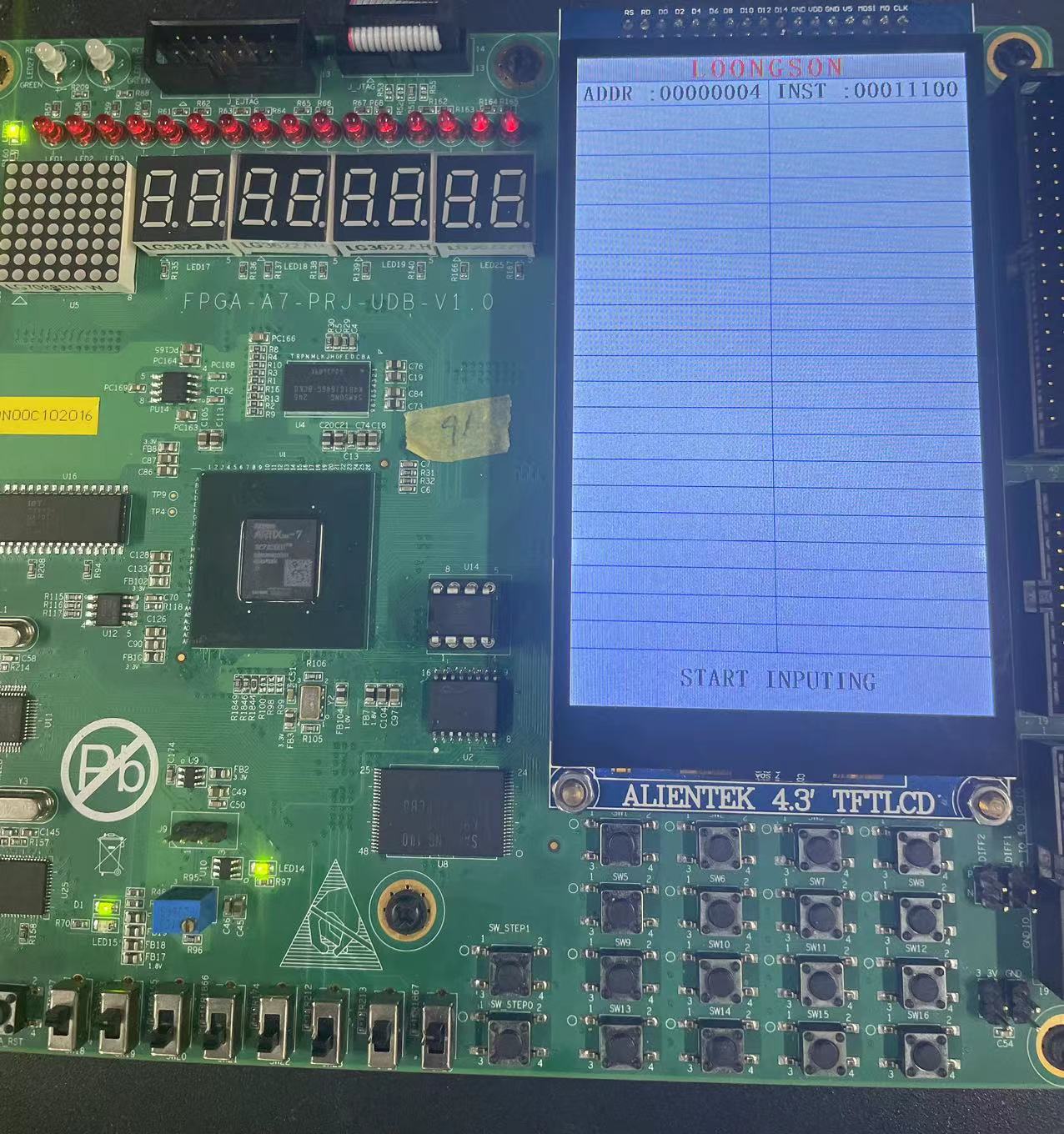


同理，ADDR=11111110时，输入WDATA=22222222，存入内存RDATA=22222222。改变T\_ADD的值为11111110，可以得到T\_DAT=22222222。

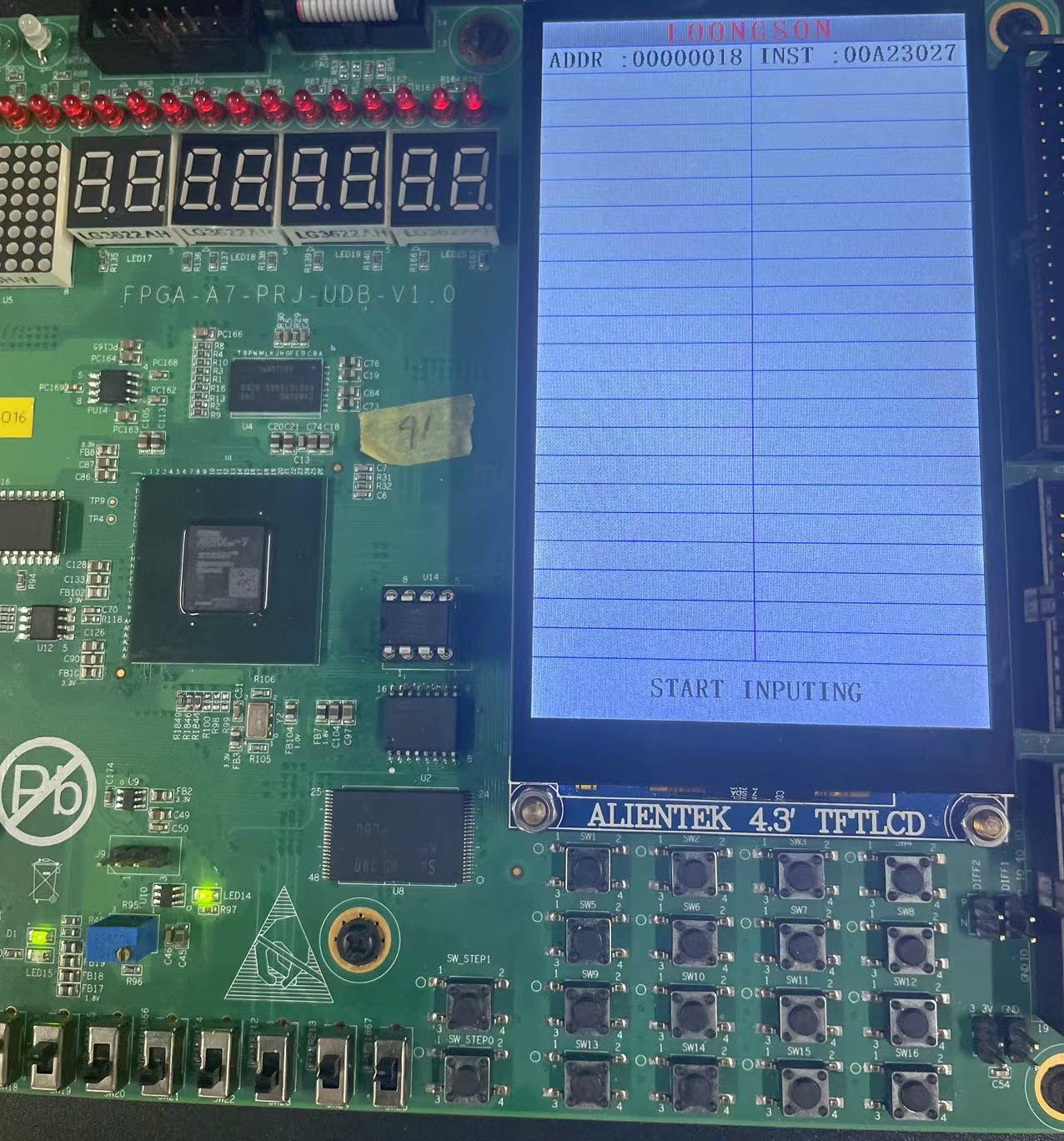
**(3)异步rom**

代码中相应地址的数据：



****

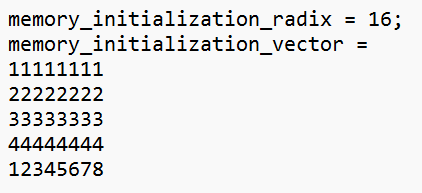
输入ADDR=00000004，得到对应低智商提前存好的数据00011100

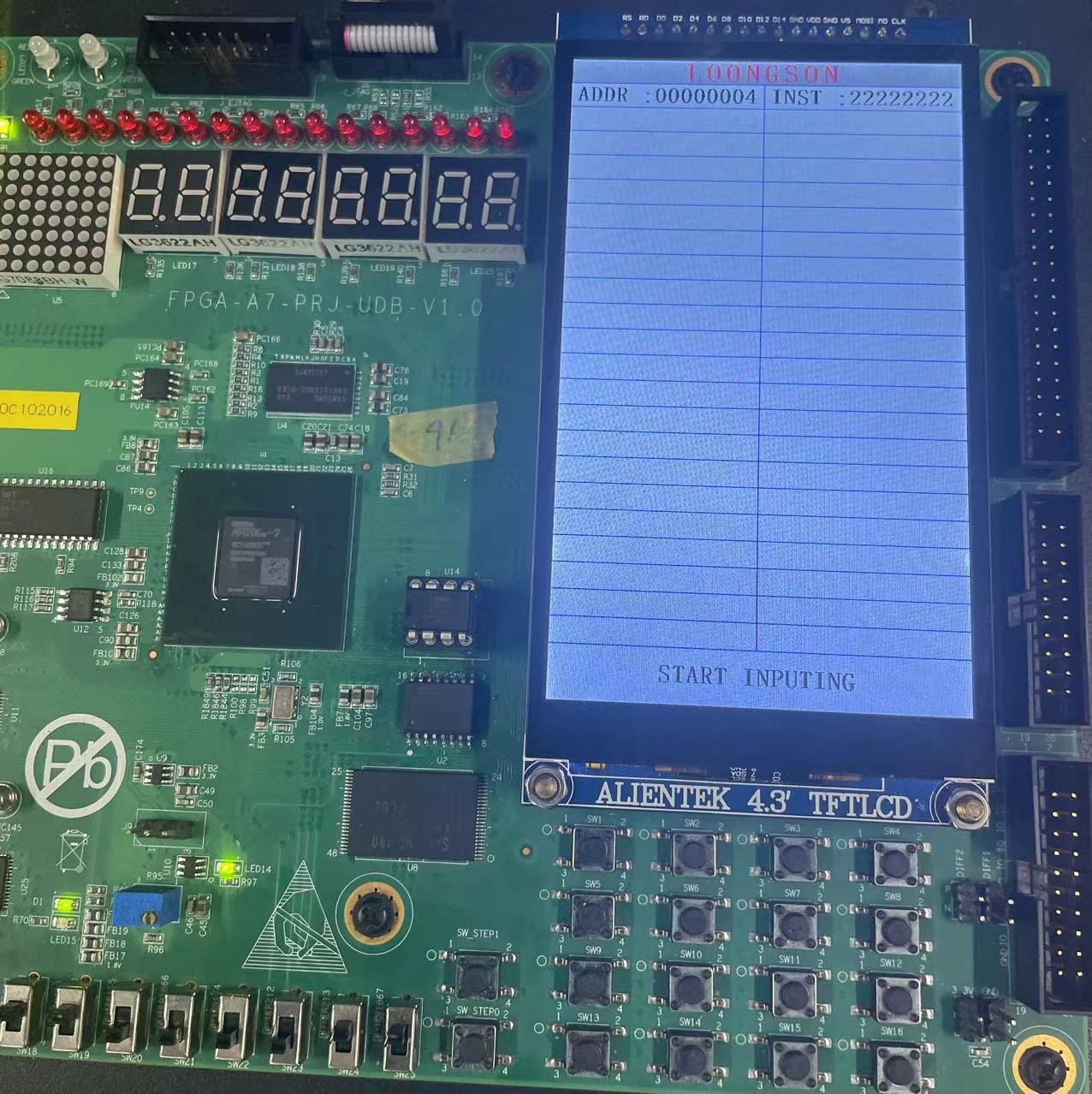


输入ADDR=00000018，得到对应地址上提前存好的数据00A23027

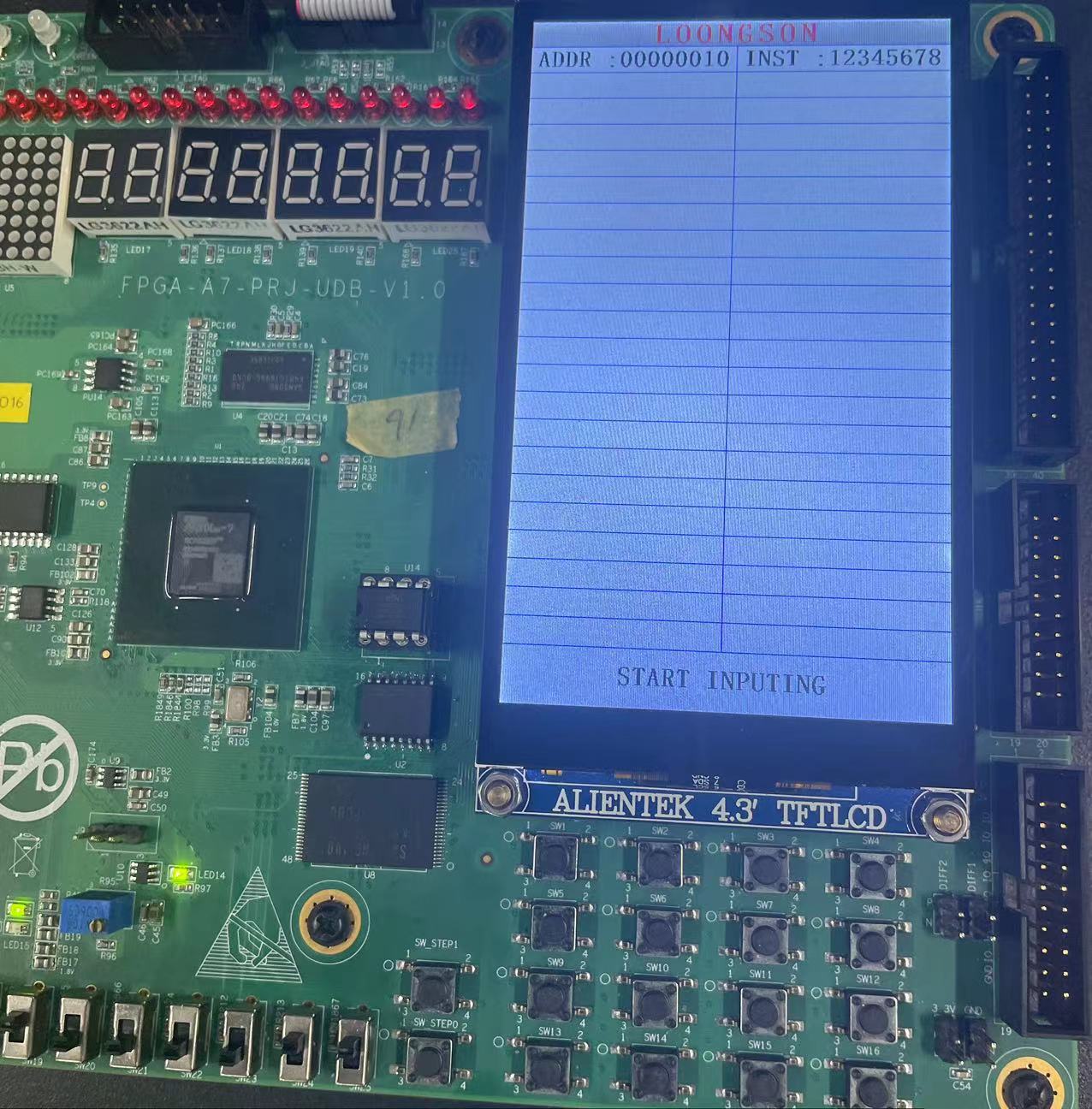
**(4)同步rom**

寄存器中的数据，第一行对应地址00H，第二行对应地址04H，第三行对应地址08H，以此类推……





输入ADDR=00000004，得到对应地址上提前存好的数据22222222



输入ADDR=00000010，得到对应地址上提前存好的数据12345678

1. **总结感想**

**1. 总结ROM和RAM的区别**

(1) ROM（只读存储器）：只能读取数据，不能写入数据。ROM中的数据是在制造过程中被写入的，因此数据是固定的，无法更改。ROM通常用于存储系统程序和固件等数据。

RAM（随机存储器）：可以读取和写入数据。RAM中的数据是暂时存储的，当计算机关闭时数据会被清空。RAM通常用于存储临时数据和程序。

(2) ROM的容量较小，通常只有几百KB或几MB，而RAM的容量较大，可以达到几GB或几十GB。

(3) RAM和ROM都是半导体存储器，但是ROM里的数据是掉电不丢失的，RAM里的数据是掉电丢失的。

**2. 分析同步存储器和异步存储器的特点，说明何时需要使用同步存储器，何时需要使用异步存储器**

同步存储器：同步存储器需要外部时钟信号来同步读写操作。在时钟信号的作用下，同步存储器可以保证读写操作的同步性和准确性。同步存储器通常具有较高的读写速度和较小的存储容量。

异步存储器：异步存储器不需要外部时钟信号来同步读写操作。异步存储器的读写操作是通过信号电平的变化来实现的。异步存储器通常具有较低的读写速度和较大的存储容量。

**RAM和ROM的差别：**

1. 访问方式

同步 RAM: 同步 RAM 使用时钟信号同步数据的读取和写入操作。访问操作按照时钟信号的边沿进行同步，数据在时钟周期内传输。每个读写操作都需要等待时钟信号的到来，因此同步 RAM 的访问速度受限于时钟频率。

异步 RAM：异步 RAM 不使用时钟信号进行同步，它使用控制信号（如地址和使能信号）来控制数据的读写。访问操作可以在任意时间点进行，不受时钟信号的限制，因此异步 RAM 的访问速度相对较快。

2. 数据传输

同步 RAM：同步 RAM 在数据传输时需要时钟信号进行同步，数据的读取和写入是按照时钟周期进行的，具有固定的数据传输速率。

异步 RAM：异步 RAM 的数据传输是根据控制信号进行的，没有固定的时钟要求，因此数据传输速率可以根据需要进行调整。

3. 控制复杂度

同步 RAM：同步 RAM 的控制电路相对复杂，需要使用时钟信号进行同步，以确保数据的正确读取和写入。

异步 RAM：异步 RAM 的控制电路相对简单，不需要时钟信号进行同步，但需要根据控制信号进行数据传输和控制。

4. 时间差

同步RAM：发送一个请求，等待返回，然后再发送下一个请求。

异步RAM：发送一个请求，不等待返回，随时可以发送下一个请求。

**需要使用同步存储器的情况：**

a. 对存储器读写速度要求较高的场合，比如高速缓存等。

b. 对读写操作的同步性和准确性要求较高的场合，比如时序控制器等。

c. 对存储器容量要求不高的场合，比如存储器控制器等。

**需要使用异步存储器的情况：**

a. 对存储器容量要求较高的场合，比如主存储器等。

b. 对存储器读写速度要求不是很高的场合，比如外部存储器等。

综上所述，同步存储器和异步存储器都有各自的特点和适用场合。在实际应用中，需要根据具体的需求和系统设计来选择合适的存储器件。

本次实验主要涉及存储器相关部分，包括同步和异步的rom和ram存储器实验。通过实验，我对存储器的工作原理和实现方式有了更深入的了解，并掌握了常见的存储器设计方法和实现技巧。这次实验让我对存储器有了更深入的了解，同时也提高了我的实践能力和编程能力。