

- 计算机组成原理复习资料

- 一、选择题（共20题，每题1分，共20分）
- 二、填空题（共10题，每题1分，共10分）
- 三、判断题（共10题，每题1分，共10分）
- 四、计算题（共5题，每小题4分，共20分）
- 五、简答题（共5题，每小题4分，共20分）
- 六、设计题（共2题，每题10分，共20分）
 - 1. 现有用16K*8位的芯片若干，欲构成64K*8位的存储器，问：
 - 2. 某模型机结构如下图所示。根据下图，请回答以下问题：
- 一、选择题
- 二、填空题
- 三、判断题
- 四、计算题
- 五、简答题
- 六、设计题

计算机组成原理复习资料

一、选择题（共20题，每题1分，共20分）

1. 下列描述中正确的是（ ）。答案：B. 一台计算机硬件系统包括输入设备、输出设备、控制器、存储器及算术逻辑运算部件五个部件
2. 移码和补码比较，只有（ ）不同，其它都相同。答案：C. 符号
3. 计算机中表示地址时使用（ ）。答案：D. 无符号数
4. ALU属于（ ）部件。答案：A. 运算器
5. 加法器中进位产生函数是（ ）。答案：D. $AiBi$
6. 在定点运算器中，无论采用双符号位还是单符号位，必须有溢出判断电路，它一般用（ ）。答案：D. 异或门
7. 组间行波进位加法器中，其进位特点是（ ）。答案：D. 组间先行进位，组内串行进位
8. Cache的地址映射中，若主存的任意一块均可映射到Cache内的任意一块的位置上，称为（ ）。答案：B. 全相联映像
9. 组成2M×8bit的内存，可以使用（ ）进行并联。答案：C. 2M×4bit
10. 某计算机字长32位，存储容量为1MB，若按字编址，它的寻址范围是（ ）。答案：C. 0~256KW-1

11. 内存储器容量为256KB时，若首地址为00000H，那么地址的末地址的十六进制表示是（ ）。答案：C. 1FFFFH
12. 直接转移指令的功能是将指令中的地址代码送入（ ）。答案：A. PC
13. 在堆栈中保持不变的是（ ）。答案：B. 栈底
14. 微程序放在（ ）中。答案：B. 控制存储器
15. 微指令格式分为水平型和垂直型，水平型微指令的位数（ ），用它编写的微程序（ ）。答案：A. 较多，较长
16. 关于取指令操作以下说法正确的是（ ）。答案：A. 取指令操作是指令执行的第一步，控制器的固有操作
17. 以下时间单位中，最小的时间单位是（ ）。答案：C. 时钟周期
18. 微程序入口地址是（ ）根据指令的操作码产生的。答案：B. 译码器
19. 串行总线与并行总线相比（ ）。答案：A. 并行总线成本高，速度快
20. 总线的电气特性包括每一条信号线的信号传递方向，信号的时序特性和（ ）特性。答案：A. 电平

二、填空题（共10题，每题1分，共10分）

1. 计算机系统的软硬件界面是 指令集体系结构（ISA）。
2. 某信息在传送没有出现错误，奇偶校验码101011011，应为 奇校验 编码。
3. ALU的核心部件是 加法器。
4. 主存 - **Cache** 存储系统 是一种常见的二级存储系统结构。
5. 寄存器间接寻址方式中，操作数处在 存储器 中。
6. 任何一条指令的指令周期的第一步必定是 取指令。
7. 微程序是 微指令 的有序集合。
8. 总线宽度是 总线一次能传输的数据位数。
9. 点距指的是 显示器上相邻两个同色像素单元之间的距离，越小越好。
10. CPU停止执行现行程序，转向处理中断请求的过程称为 中断响应。

三、判断题（共10题，每题1分，共10分）

1. ENIAC计算机的主要工作原理是存储程序和多道程序控制。（×）
2. 计算机主机是由CPU、存储器和硬盘组成。（×）
3. 浮点数的取值范围取决于阶码的位数，浮点数的精度取决于尾数的位数。（√）
4. 加法器是构成运算器的主要部件，为了提高运算速度，运算器中通常都采用并行加法器。（√）
5. 只有定点数运算才会发生溢出，浮点数运算不会发生溢出。（×）

6. 要访问 DRAM，应首先给出行地址，之后再给出列地址。（√）
7. DMA方式和中断方式一样，都必须等一条指令执行结束后才予以响应。（×）
8. 微程序的字段直接编译原则是：相容的微命令放在不同的字段，互斥的放在同一字段。（√）
9. 计算机使用总线结构的主要优点是便于实现模块化，同时减少了信息传输线的数目。（√）
10. 在主机中，只有存储器能存放数据。（×）

四、计算题（共5题，每小题4分，共20分）

1. **将二进制数+1101.101用规格化浮点数格式表示。 **答案： $+1.101101 \times 2^3$
2. 利用补码进行加减运算（用5位二进制表示，左边第一位为符号位），并使用Cn-1和Cn溢出判断公式来判断结果是否溢出？若溢出，是哪一种溢出？-0.1101 - (-0.1011) 答案：结果为-0.0010，不溢出。
3. **某计算机的控制器采用微程序控制方式，微程序中操作控制字段采用字段直接编码法，共有33个微命令，构成5个互斥类，分别包含7、3、12、5和6个微命令。问一共需要几位控制位？ **答案：需要 $3+2+4+3+3=15$ 位控制位。
4. **某外设通过RS-232串行接口与主机相连，采用异步通信方式。若传输速率1200bit/s，1位起始位、2位终止位、1位奇偶位、8位数据位。请问传输一个字节需要时间为多少？ **答案：传输一个字节需要时间为 $(1+8+1+2)/1200 = 10/1200 = 0.00833$ 秒。
5. 假设处理器时钟周期为2ns,某程序由1000条指令组成，每条指令执行一次，其中有4条指令在取指令时，没有在cache中找到，其余指令都能在cache中取到。在执行指令的过程中，该程序需要3000次主存数据访问，其中6次没有在cache中找到。
 1. **执行该程序得到的cache命中率是多少？ **答案：cache命中率为 $(1000-4)/1000 = 0.996$ 。
 2. 若在cache中存取一个信息的时间为一个时钟周期，缺失损失为4个时钟周期，则CPU在cache——主存层次平均访问时间是多少？ 答案：平均访问时间为 $0.996 \times 1 + 0.004 \times 5 = 1.016$ ns。

五、简答题（共5题，每小题4分，共20分）

1. **请解释三级存储体系的组成是什么？其解决了什么问题？**答案：三级存储体系由以下部分组成：

1. 寄存器：位于CPU内部，速度最快，容量最小，用于存储临时数据和指令。
2. **Cache**：位于CPU和主存之间，速度较快，容量适中，用于存储经常使用的数据和指令。
3. 主存：即内存，速度较慢，容量最大，用于存储当前运行的程序和数据。

三级存储体系解决了存储器速度与CPU速度不匹配的问题，提高了系统的整体性能。

2. **组合逻辑控制器与微程序控制器的特点分别是什么？**答案：

。组合逻辑控制器：

- 特点：速度快，响应时间短。
- 缺点：设计复杂，修改困难。

。微程序控制器：

- 特点：设计简单，易于修改和扩展。
- 缺点：速度较慢，响应时间长。

3. **I/O接口的功能有哪些？**答案：I/O接口的功能包括以下几个方面：

1. 数据缓冲：在主机和外设之间临时存储数据，协调两者之间的速度差异。
2. 数据格式转换：将外设的数据格式转换为主机能够识别的格式，或将主机的数据格式转换为外设能够识别的格式。
3. 地址解码：识别和选择外设的地址，确保数据传输到正确的设备。
4. 中断处理：处理外设发出的中断请求，通知CPU进行相应的处理。

4. **总线在完成一次传送过程可以分成哪几个阶段？每个阶段分别完成哪些工作？**
答案：总线传送过程可以分为以下几个阶段：

1. 请求阶段：设备发出请求信号，申请使用总线。
2. 仲裁阶段：总线控制器根据优先级等规则确定总线使用权归属。
3. 传送阶段：获得总线使用权的设备进行数据传输。

4. 释放阶段：数据传输完成后，设备释放总线。

每个阶段分别完成相应的工作，确保总线传输过程的有序进行。

5. 主存—cache地址变换的方式有哪几种？分别是如何映射的？答案：主存—cache地址变换的方式有以下三种：

1. 直接映射：将主存块固定映射到cache块。
2. 全相联映射：主存块可以映射到任意cache块。
3. 组相联映射：主存块映射到特定组内的任意cache块。

六、设计题（共2题，每题10分，共20分）

1. 现有用16K*8位的芯片若干，欲构成64K*8位的存储器，问：

- **采用什么扩展方式？**答案：采用地址扩展方式。
- **需多少片芯片？**答案：需要4片芯片。
- 请画出存储器的结构图。 答案：结构图略。

2. 某模型机结构如下图所示。根据下图，请回答以下问题：

- **请列出图中互斥的控制信号。**答案：互斥的控制信号有：读信号和写信号。
- **设计出该模型机的微指令控制字段的结构并解释设计思路。**答案：微指令控制字段的结构设计思路是将相容的微命令放在不同的字段，互斥的微命令放在同一字段。具体结构略。

一、选择题

1. B. 一台计算机硬件系统包括输入设备、输出设备、控制器、存储器及算术逻辑运算部件五个部件
2. C. 符号
3. D. 无符号数

4. A. 运算器
5. D. AiBi
6. D. 异或门
7. D. 组间先行进位，组内串行进位
8. B. 全相联映像
9. C. 2M×4bit
10. C. 0~256KW-1
11. C. 1FFFFH
12. A. PC
13. B. 栈底
14. B. 控制存储器
15. A. 较多，较长
16. A. 取指令操作是指令执行的第一步，控制器的固有操作
17. C. 时钟周期
18. B. 译码器
19. A. 并行总线成本高，速度快
20. A. 电平

二、填空题

1. 指令集体系结构（ISA）
2. 奇校验
3. 加法器
4. 主存 - Cache 存储系统
5. 存储器
6. 取指令
7. 微指令
8. 总线一次能传输的数据位数
9. 显示器上相邻两个同色像素单元之间的距离
10. 中断响应

三、判断题

(×) (×) (√) (√) (×) (√) (×) (√) (√) (×)

四、计算题

1. $+1.101101 \times 2^3$
2. 结果为-0.0010，不溢出。
3. 需要 $3+2+4+3+3=15$ 位控制位。
4. 传输一个字节需要时间为 $(1+8+1+2)/1200 = 10/1200 = 0.00833$ 秒。
5.
 1. cache命中率为 $(1000-4)/1000 = 0.996$ 。
 2. 平均访问时间为 $0.996 \times 1 + 0.004 \times 5 = 1.016\text{ns}$ 。

五、简答题

1. 三级存储体系由寄存器、Cache和主存组成，解决了存储器速度与CPU速度不匹配的问题，提高了系统的整体性能。
2.
 - 组合逻辑控制器：速度快，响应时间短；设计复杂，修改困难。
 - 微程序控制器：设计简单，易于修改和扩展；速度较慢，响应时间长。
3. I/O接口的功能包括数据缓冲、数据格式转换、地址解码和中断处理。
4. 总线传送过程分为请求阶段、仲裁阶段、传送阶段和释放阶段。
5. 主存—cache地址变换的方式有直接映射、全相联映射和组相联映射。

六、设计题

1.
 - 采用地址扩展方式。
 - 需要4片芯片。
 - 结构图略。
2.
 - 互斥的控制信号有：读信号和写信号。
 - 微指令控制字段的结构设计思路是将相容的微命令放在不同的字段，互斥的微命令放在同一字段。具体结构略。