

知识体系梳理

原理图设计

产品需求分析、成本评估、

方案选择。

AC耦合

串联二极管

耐压一般选2倍于输入电压。
220V/√2 600V、1000V、√1000V/√2。

输入处理

X电容

滤波差模干扰。两线之间。对10M以下有明显作用。

Y电容

滤波共模干扰。为两相线分别对地。对10M以上有明显作用。

共模电感

输出处理

常用于工程计算。按RCS时谐波数近似等于3~5倍电源半周期估算。

负载情况：R=UL

RC=3TUL/RC=ST

DC-DC

芯片选型

输入：输出电压、电流、效率。

电感选型

电感的峰值电流大约为开关电源最大值的30%。

常见现象

纹波

纹波是由于负载恒定电源的电压波动而造成的一种现象。

直流稳压电源一般是由交流电源经整流滤波、滤波等环节而构成。

电感在恒定电路上的是交流分量叠加称之为纹波。

纹波频率与开关的频率相同。

纹波电压是纹波的波峰与波谷之间的峰峰值。

其大小与开关电源的输入电容和输出电容的容量及品质有关。

纹波分类

低频纹波

与开关工作频率相同频率的高频纹波

寄生参数引起的共模纹波噪声

高频整流二极管和功率开关管引起的超高频纹波噪声

闭环调节控制引起的噪声

纹波抑制方法（对各种纹波都有效）

输出用π型滤波电路。

增大电容（即电解电容+低ESR低电感电容）。

增大电感。

合理布线。

测试标准及测试方法

测量纹波时使用交流耦合，1Mohm阻抗，20M带宽。测量端为电源芯片的输出端。要求不能超过电压幅值的2%。

测量噪声时使用交流耦合，50ohm/1Mohm阻抗。全带宽。测量端为功能芯片的电源输入端。要求不能超过电压幅值的3%（模拟）、5%（数字）。

芯片电源输入端电压范围不超过芯片要求的%（一般为5%、前1%裕量），对宽压稳压管注。

电源芯片的输出端只做纹波要求，且纹波要求不超过2%、1.2V及1.2V以下不超过25mV、12V以上不超过200mV。

芯片电压的测试点为尽量靠近芯片的电容器靠近处。开关电源的开关电源芯片输出的最后滤波电容处。

对于小信号测量使用1：1放大器做测量。较小误差。

过冲

过冲就是第一个峰值或谷值超过设定电压—对于上冲是指最高电压而对于下冲是指最低电压。

过分的过冲能够引起保护二极管工作，导致过早失效。

下冲

下冲是指下一个谷值或峰值。

过分的下冲能够引起假的时间或数据错误(以该计)。

振铃

过冲非常相关的是振铃，它紧随过冲发生。

信号会振荡到低于稳态值，然后可能会反弹到高于稳态。

这个过程可能持续一段时间，直到稳定接近于稳态。

振铃持续的时期在叫做安定时间。

振铃(ringing)即环绕振铃(ringing)的现象是反复出现过冲和下冲。

信号的振铃和环绕振铃由线上过度的电感和电容引起。

振铃属于无限阻抗态环绕振铃属于过阻尼状态。

信号振铃产生的原因：信号的反射。

振铃的危害：导致超标。

振铃的解决方案：串行阻抗，减小传输线阻抗。

回沟

上电过程电源不是线性增加，首先出现电压降低的现象，称为上电回沟。

高速电路上的信号线的回沟：反射，串扰，负载瞬变。

电源电路上的回沟：和上电时序有一定关系。

回沟原因

上电时序：线路上电时，后端的电压突变导致有回沟。

芯片自身的电压瞬变。

电源负载突然增加或者变动。

回沟解决方法

保证上电顺序。可以在DC/DC的EN管脚加上RC延时电路。

电源芯片的输出端增加电容，用于储能蓄电。

解决电源问题的思想

解决问题的时候要看下毛刺的频率。

先看输入，再看输出。

上电时序也很关键。

负载电对是影响电源质量的关键因素之一。

解决电源问题的三大法宝：电容、电感、延时。一般都是加大。

LDO

扩展设计、模块设计。

晶振

通讯总线

UART

电气线路

常用为8脚接口；主要有RXD、TXD、GND

通讯协议

起始位：0

资料位：可以是5、6、7、8位；低位在前。

奇偶校验位

停止位：可以是1、1.5位、2位的高电平。

空闲码：1

波特率：为传输字节数，常用：9600、115200。

比特率：为Baud。

区别

UART

嵌入式常用；为TTL电平。

RS232

电脑串口；为负逻辑电平。

测试

回环测试

Layout设计

I2C

电气线路

SCL、SDA、GND

上拉电阻

电源电压限制了上拉电阻的小值。漏电流太大，一般不小于10K欧姆。

负载电容（总负载电容）限制了上拉电阻的最大值。一般不小于10K欧姆。

新模式有关。不同模式的负载电容变化。标准模式负载电容最大。

扩展能力

负载能力为400pF，可根据线路等效电容估算。

通讯协议

起始：在SCL高电平期间，SDA由高到低。

地址7位地址：1为读，0为写。

数据：高位在前。

ACK、NACK

停止：在SCL高电平期间，SDA由高到低。

模式

标准模式：100KHz，负载电容<400pF

快速模式：400KHz，负载电容<300pF

高速模式：3.4Mbps

Layout设计

SPI

电气线路

高速（Mbps），全双工，同步通信。

CS、MOSI、MISO、SCLK、GND。

通讯协议

主器件时钟控制

数据按位传输，高位在前。

模式

Layout设计

USB

电气线路

USB版本

USB版本

理论最大传输速率 速率标号 最大输出电流 推出时间

USB1.0 1.5Mbps(12KB/s) 低速(Low-Speed) 2V/500mA 1996年1月

USB1.1 12Mbps(1.5MB/s) 全速(Full-Speed) 5V/500mA 1998年9月

USB2.0 480Mbps(60MB/s) 高速(High-Speed) 5V/500mA 2000年4月

USB3.0 5Gbps(500MB/s) 超高速(Super-Speed) 5V/900mA 2008年11月 / 2013年12月

USB 3.1 Gen 2 10Gbps(120MB/s)[1] 超高速2(Super-speed+) 20V/5A 2013年12月

VBUS、D+、D-、(ID-)、GND。

USB OTG

USB On-The-Go

从前背mini-A插头，mini-B插头和mini-AB插头增加了五个引脚（ID-），用于识别不同的电源端点。

mini-A插头中的ID引脚接地。mini-B插头中的ID引脚浮空。

当OTG设备检测到接地的ID引脚时，表示默认的是A设备（主机），而检测到ID引脚浮空的设备则为是B设备（外设）。

通讯协议

数据传输模式

控制传输类型

等时传输类型（或称同步类型）

中断传输类型

数据包（Bulk）传输类型

测试

Layout设计

TVS器件必须靠近插座位置。在PCB设计时大阻抗连接。

布局板征信号线在TVS后得到共模电源。

差分线特性阻抗±10%阻抗，等长误差为5mils

两组差分线之间保持4w，并与其信号线等长或做阻抗4w。

为抑制电磁辐射，USB信号建议PCB内层走线。如在PCB外层走线，请注意用地线做整面包地处理。

1-Wire

电气线路

Signal、GND。（需要电容储能值，用于在数据无交换器缓存数据的自身供电）

Vcc、Signal、GND。

设备并联连接，常阻4.7K电阻上拉，保持总线未被驱动时为1。

通讯协议

是半双工。单主机，多从机，异步串行数据总线。

主设备使用枚举协议（特定的广播消息）来发现所有已连接的设备。

测试

Layout设计

串口 ETH

电气线路

TD+、TD-、TC、TNC、NC、RCT/MCT、RD+、NM+、RD-、NM-、9-12、ED、13-14并壳地或固定端。

通讯协议

OS七层模型

应用层（Application） HTTP、TFTP、FTP、NFS、WAIS、SMTP

表示层（Presentation） Telnet、Rlogin、SNMP、Gopher

会话层（Session） SMTP、DNS

传输层（Transport） TCP、UDP

网络层（Network） IP、ICMP、ARP、RARP、AKP、UUCP

数据链路层（Data Link） FDDI、Ethernet、Apanet、PDN、SLIP、PPP

物理层（Physical） IEEE 802.1A、IEEE 802.2到IEEE 802.11

TCP/IP四层模型

应用层

应用层（Application） HTTP、TFTP、FTP、NFS、WAIS、SMTP

表示层（Presentation） Telnet、Rlogin、SNMP、Gopher

会话层（Session） SMTP、DNS

传输层

传输层（Transport） TCP、UDP

网络层

网络层（Network） IP、ICMP、ARP、RARP、AKP、UUCP

数据链路层

数据链路层（Data Link） FDDI、Ethernet、Apanet、PDN、SLIP、PPP

物理层（Physical） IEEE 802.1A、IEEE 802.2到IEEE 802.11

测试

Layout设计

以太网芯片距离RJ45位置，一般距离不超过5mm。

交流器件放置在中间位置。

TX+、TX-、RX+、RX-距离是单层，最小为5mils，组件不能等长，相邻距离为4mils以上。

并壳地与GND之间的电容容量要足够并壳地脚位置。并且走线做包地处理。

RJ45接口区域内部控空处理，并壳地与GND之间要做到2mm距离，或最少4mm以下。

DDR

内存分代

SDRAM（Synchronous Dynamic Random Access Memory）：为同步动态随机存取内存。

SDRAM可分为SDR SDRAM（Single Data Rate SDRAM）：Single Data Rate为单数据率传输。

DDR SDRAM（Double Data Rate SDRAM）：为双倍速率同步动态随机存取内存。

DDR2 SDRAM（Double Data Rate Two SDRAM）：为双倍速率二次同步动态随机存取内存。

DDR3 SDRAM（Double Data Rate Three SDRAM）：为双倍速率三次同步动态随机存取内存。

DDR4 SDRAM（Double Data Rate Fourth SDRAM）

内存区别

核心频率分别为133MHz到200MHz的情况下。

DDR2 1.8V 4bits 533~800 MT/s

有60ns/84ns/FBGA封装三种规格。

DDR3 1.5V 8bits 800~1600 MT/s

8bit芯片采用78pin FBGA封装。

16bit芯片采用96pin FBGA封装。

新增功能

ASR（Automatic Self-Refresh）

SRT（Self-Refresh Temperature）

DDR3L 1.35V（内行寄存1.5V） 8bits 800~1600 MT/s

DDR3 1.2V 16bits 2133~3200 MT/s

DDR3L分析 时141350ns/10:1:P

内存大小：32 Mbit x 16 x 8 banks

工作电压：1.35V（何行寄存1.5V）

96-pin 8mm x 14mm FBGA

关键时序参数

MT/s意思是Megatransfers/s，也就是以MT/s中文解释为百万次/秒。

由于MT/s线（能到端总线技术）是双向传输，所以换算成我们平时所熟悉的MHz需要乘以2。

速度等流：+107 速率：1866MT/s 13-13-13（RCD、13.91ns IRR、13.91ns CL、13.91ns

ICX = 1.07ns、CL = 13

引脚分析

A[14:13]、A12/B[6:A11]、A10/AP、A9/B input 地址输入。

BA2/B0 input Bank地址输入。

CK、CK# input 时钟，差分时钟输入。

CKE input 时钟使能。

CS# input 片选。

LDM input 输入数据使能。LDM是低八位数据。

UDM input 输入数据使能。UDM是高八位数据。

ODT input 片上终端电阻使能。

RAS#、CAS#、WE# input 控制命令输入。

RESET# input 复位。

DQ7:0 i/o 数据输入输出，低8位。

DQ15:8 i/o 数据输入输出，高8位。

LDQS、LDQS# i/o 长8位数据选通。

UDQS、UDQS# i/o 高8位数据选通。

VDD 电源输入。

VDDQ DQ电源输入（芯片内部隔离电源）。

VREFCA 用于控制，命令，地址的参考电源。

VREFPD 用于数据的参考电源。

VSS 地

VSSQ DQ线（隔离地）。

ZQ 输出驱动校正的外部参考引脚，外接240欧姆电阻到地。

NC 无连接，预留。

DDR测试

DDR3 Software leveling

其目的在于根据当前板卡的实际布线情况，通过leveling算法优化当前DDR3的数据配置。

Layout设计

时钟线最长，时钟线差分特1000mil，+/-10%，小于5mils。

地址、控制、命令参考时钟线等长，小于200mils。

QOS组内差分特1000mil，+/-10%，小于5mils。

其差分差分线为500mil，+/-10%。

DAT0 DAT17、DQM0、DQS0/P DQS0/M为一组，组内等长小于200mils、3W线宽要求。

DAT18 DAT15、DQM1、DQS1/P DQS1/M为一组，组内等长小于200mils、3W线宽要求。

所有线宽和孔间距大于0.125mm/0.15mm。

存储设备

视频

视频输入

视频输出

音频

HDMI

电气线路

4+1TMSD差分信号，1对时10~31数据。

TMSD信号传输信号，同时时钟信号和V信号也嵌入该通道

TMSD信号传输信号

TMSD信号传输信号，R/G通道的多余位用来传输音频信号

CEC，消费电子控制通道，通过设备都能通过控制设备。

DDC，液晶PC信号，主要是获取显示器基本信息