知识体系梳理

# 1. 原理图设计

## 1.1 产品需求分析、成本评估。

## 1.2 方案选择。

### 1.2.1 AC整流

#### 1.2.1.1 整流二极管

##### 1.2.1.1.1 耐压一般选2倍于输入电压。

##### 1.2.1.1.2 220V可选600V,1000V,但1000V常用。

#### 1.2.1.2 输入处理

##### 1.2.1.2.1 X电容

###### 1.2.1.2.1.1 滤除差模干扰，两线之间，对10M以下有明显作用。

##### 1.2.1.2.2 Y电容

###### 1.2.1.2.2.1 滤除共模干扰，为两根线分别对地。对10M以上有明显作用。

##### 1.2.1.2.3 共模电感

#### 1.2.1.3 输出处理

##### 1.2.1.3.1 常用于工程计算：按RC时间常数近似等于3~5倍电源半周期估算。

###### 1.2.1.3.1.1 负载情况：R=U/I

###### 1.2.1.3.1.2 RC=3T或RC=5T

### 1.2.2 DC-DC

#### 1.2.2.1 芯片选型

##### 1.2.2.1.1 输入，输出电压、电流，效率。

#### 1.2.2.2 电感选型

##### 1.2.2.2.1 电感的峰值电流大约为开关电流最大值的30%。

#### 1.2.2.3 常见现象

##### 1.2.2.3.1 纹波

###### 1.2.2.3.1.1 纹波是由于直流稳定电源的电压波动而造成的一种现象。

###### 1.2.2.3.1.2 直流稳定电源一般是由交流电源经整流稳压、滤波等环节而形成。

###### 1.2.2.3.1.3 叠加在直流稳定量上的交流分量就称之为纹波。

###### 1.2.2.3.1.4 波动频率与开关的频率相同。

###### 1.2.2.3.1.5 纹波电压是纹波的波峰与波谷之间的峰峰值。

###### 1.2.2.3.1.6 其大小与开关电源的输入电容和输出电容的容量及品质有关。

###### 1.2.2.3.1.7 纹波分类

1.2.2.3.1.7.1 低频纹波

1.2.2.3.1.7.2 与开关工作频率相同频率的高频纹波

1.2.2.3.1.7.3 寄生参数引起的共模纹波噪声

1.2.2.3.1.7.4 高频整流二极管和功率开关节电容引起的超高频谐振噪声

1.2.2.3.1.7.5 闭环调节控制引起的噪声

###### 1.2.2.3.1.8 纹波抑制方法（对各种纹波都有效）

1.2.2.3.1.8.1 输出用π型滤波电路。

1.2.2.3.1.8.2 增大电容（铝电解电容+低ESR陶瓷电容）。

1.2.2.3.1.8.3 增大电感。

1.2.2.3.1.8.4 合理布线。

###### 1.2.2.3.1.9 测试标准及测试方法

1.2.2.3.1.9.1 测量纹波时使用交流耦合，1Mohm阻抗，20M带宽，测量端为电源芯片的输出端，要求不能超过电压幅值的2%。

1.2.2.3.1.9.2 测量噪声时使用交流耦合，50ohm/1Mohm阻抗，全带宽，测量端为功能芯片的电源输入端，要求不能超过电压幅值的3%（模拟）/5%（数字）。

1.2.2.3.1.9.3 芯片电源输入端电压范围不超过芯片要求的4%（一般为5%，留1%裕量），对要低压特别关注。

1.2.2.3.1.9.4 电源芯片的输出端只做纹波要求，且纹波要求不超过2%。1.2V及1.2V以下不超过25mv，12V以上不超过200mv。

1.2.2.3.1.9.5 芯片电压的测试点为尽量靠近芯片的电容管脚处，开关电源的为开关芯片输出的最后滤波电容处。

1.2.2.3.1.9.6 对于小信号测量使用1：1放大倍数测量，较小误差。

##### 1.2.2.3.2 过冲

###### 1.2.2.3.2.1 过冲就是第一个峰值或谷值超过设定电压--对于上升沿是指最高电压而对于下降沿是指最低电压。

###### 1.2.2.3.2.2 过分的过冲能够引起保护二极管工作，导致过早地失效。

##### 1.2.2.3.3 下冲

###### 1.2.2.3.3.1 下冲是指下一个谷值或峰值。

###### 1.2.2.3.3.2 过分的下冲能够引起假的时钟或数据错误(误作)。

##### 1.2.2.3.4 振铃

###### 1.2.2.3.4.1 过冲非常相关的是振铃，它紧随过冲发生。

###### 1.2.2.3.4.2 信号会跌落到低于稳态值，然后可能会反弹到高于稳态。

###### 1.2.2.3.4.3 这个过程可能持续一段时间，直到稳定接近于稳态。

###### 1.2.2.3.4.4 振铃持续的时间也叫做安定时间。

###### 1.2.2.3.4.5 振荡(ringing)和环绕振荡(rounding)的现象是反复出现过冲和下冲。

###### 1.2.2.3.4.6 信号的振荡和环绕振荡由线上过度的电感和电容引起。

###### 1.2.2.3.4.7 振荡属于欠阻尼状态而环绕振荡属于过阻尼状态。

###### 1.2.2.3.4.8 信号振铃产生的原因：信号的反射。

###### 1.2.2.3.4.9 振铃的危害：辐射超标。

###### 1.2.2.3.4.10 振铃的解决方案：串行端接；减小传输线距离。

##### 1.2.2.3.5 回沟

###### 1.2.2.3.5.1 上电过程电源不是线性增加，而会出现电压降低的现象，称为上电回沟。

###### 1.2.2.3.5.2 高速电路上信号线的回钩：反射，串扰，负载瞬变。

###### 1.2.2.3.5.3 电源电路上的回钩：和上电时序有一定关系。

###### 1.2.2.3.5.4 回沟原因

1.2.2.3.5.4.1 上电时序：线性上电时，后端的电突然起来导致有回沟。

1.2.2.3.5.4.2 芯片自身的电压倒灌。

1.2.2.3.5.4.3 电源负载突然增加或者变动。

###### 1.2.2.3.5.5 回沟解决办法

1.2.2.3.5.5.1 保证上电顺序，可以在DC/DC的EN管脚加上RC延时电路。

1.2.2.3.5.5.2 电源芯片的输出端加电容，用于储能蓄电。

##### 1.2.2.3.6 解决电源问题的思想

###### 1.2.2.3.6.1 解决问题的时候要看下毛刺的频率。

###### 1.2.2.3.6.2 先看输入，再看输出。

###### 1.2.2.3.6.3 上电时序也很关键。

###### 1.2.2.3.6.4 负载绝对是影响电源质量的关键因素之一。

###### 1.2.2.3.6.5 解决电源问题的三大法宝：电容、电感、延时。一般都是加大。

### 1.2.3 LDO

## 1.3 扩展设计、模块设计。

### 1.3.1 晶振

### 1.3.2 通讯总线

#### 1.3.2.1 UART

##### 1.3.2.1.1 电气线路

###### 1.3.2.1.1.1 常用为9针接口：主要有RXD,TXD,GND

##### 1.3.2.1.2 通讯协议

###### 1.3.2.1.2.1 起始位：0

###### 1.3.2.1.2.2 资料位：可以是5，6，7，8位，低位在前。

###### 1.3.2.1.2.3 奇偶校验位

###### 1.3.2.1.2.4 停止位：可以使1，1.5位，2位的高电平。

###### 1.3.2.1.2.5 空闲位：1

###### 1.3.2.1.2.6 波特率：为传输字符数，常用：9600，115200。

###### 1.3.2.1.2.7 比特率：为bit数。

##### 1.3.2.1.3 区别

###### 1.3.2.1.3.1 UART

1.3.2.1.3.1.1 嵌入式常用：为TTL电平。

###### 1.3.2.1.3.2 RS232

1.3.2.1.3.2.1 电脑串口：为负逻辑电平。

##### 1.3.2.1.4 测试

###### 1.3.2.1.4.1 回环测试

##### 1.3.2.1.5 Layout设计

#### 1.3.2.2 I2C

##### 1.3.2.2.1 电气线路

###### 1.3.2.2.1.1 SCL,SDK,GND

###### 1.3.2.2.1.2 上拉电阻

1.3.2.2.1.2.1 电源电压限制了上拉电阻的最小值，灌电流太大，一般不小于1K欧姆。

1.3.2.2.1.2.2 负载电容（总线电容）限制了上拉电阻的最大值，一般不高于10K欧姆。

1.3.2.2.1.2.3 和模式有关，不同模式的负载电容变化，标准模式负载电容最大。

###### 1.3.2.2.1.3 扩展能力

1.3.2.2.1.3.1 负载能力为400pF，可根据线路等效电容估算。

##### 1.3.2.2.2 通讯协议

###### 1.3.2.2.2.1 起始：在SCL高电平期间，SDA由高到低.

###### 1.3.2.2.2.2 地址:7位地址，1为读，0为写。

###### 1.3.2.2.2.3 数据：高位在前。

###### 1.3.2.2.2.4 ACK,NACK

###### 1.3.2.2.2.5 停止：在SCL高电平期间，SDA由低到高.

##### 1.3.2.2.3 模式

###### 1.3.2.2.3.1 标准模式：100Kbit/s，负载电容<=400pF

###### 1.3.2.2.3.2 快速模式：400Kbit/s，负载电容<=200pF

###### 1.3.2.2.3.3 高速模式：3.4Mbit/s

##### 1.3.2.2.4 Layout设计

#### 1.3.2.3 SPI

##### 1.3.2.3.1 电气线路

###### 1.3.2.3.1.1 高速（几Mbps），全双工，同步通信。

###### 1.3.2.3.1.2 CS，MOSI，MISO，SCLK，GND。

##### 1.3.2.3.2 通讯协议

###### 1.3.2.3.2.1 主器件时钟控制

###### 1.3.2.3.2.2 数据按位传输，高位在前。

##### 1.3.2.3.3 模式

##### 1.3.2.3.4 Layout设计

#### 1.3.2.4 USB

##### 1.3.2.4.1 电气线路

###### 1.3.2.4.1.1 USB版本

1.3.2.4.1.1.1 USB版本 理论最大传输速率 速率称号 最大输出电流 推出时间

1.3.2.4.1.1.2 USB1.0 1.5Mbps(192KB/s) 低速(Low-Speed) 5V/500mA 1996年1月

1.3.2.4.1.1.3 USB1.1 12Mbps(1.5MB/s) 全速(Full-Speed) 5V/500mA 1998年9月

1.3.2.4.1.1.4 USB2.0 480Mbps(60MB/s) 高速(High-Speed) 5V/500mA 2000年4月

1.3.2.4.1.1.5 USB3.0 5Gbps(500MB/s) 超高速(Super-Speed) 5V/900mA 2008年11月 / 2013年12月

1.3.2.4.1.1.6 USB 3.1 Gen 2 10Gbps(1280MB/s) [1] 超高速+(Super-speed+) 20V/5A 2013年12月

###### 1.3.2.4.1.2 USB 2.0

1.3.2.4.1.2.1 VBUS，D-，D+，（ID），GND。

###### 1.3.2.4.1.3 USB 3.0

1.3.2.4.1.3.1 VBUS,D-,D+,GND,RX-,RX+,GND,TX-,TX+。

1.3.2.4.1.3.2 TX线上增加100nF交流耦合电容.

1.3.2.4.1.3.3 对称放置电容并靠近USB连接座.

###### 1.3.2.4.1.4 USB OTG

1.3.2.4.1.4.1 USB On-The-Go

1.3.2.4.1.4.2 从而使mini-A插头、mini-B插头和mini-AB插座增添了第五个引脚（ID），以用于识别不同的电缆端点。

1.3.2.4.1.4.3 mini-A插头中的ID引脚接地，mini-B插头中的ID引脚浮空。

1.3.2.4.1.4.4 当OTG设备检测到接地的ID引脚时，表示默认的是A设备（主机），而检测到ID引脚浮空的设备则认为是B设备（外设）。

##### 1.3.2.4.2 通讯协议

###### 1.3.2.4.2.1 数据传输模式

1.3.2.4.2.1.1 控制传输类型

1.3.2.4.2.1.2 等时传输类型（或称同步类型）

1.3.2.4.2.1.3 中断传输类型

1.3.2.4.2.1.4 数据块（Bulk）传输类型

##### 1.3.2.4.3 测试

##### 1.3.2.4.4 Layout设计

###### 1.3.2.4.4.1 TVS器件必须靠近插座位置，在PCB设计时大面积接地。

###### 1.3.2.4.4.2 布局保证信号流经TVS后再到共模电源。

###### 1.3.2.4.4.3 差分线特性90欧姆+/-10%阻抗，等长误差为5mil

###### 1.3.2.4.4.4 两组查分线之间保持4w，并与其他信号或灌铜保持4w。

###### 1.3.2.4.4.5 为抑制电磁辐射， USB信号建议PCB内层走线，如在PCB表层走线，请注意用地线做整组包地处理。

#### 1.3.2.5 1-Wire

##### 1.3.2.5.1 电气线路

###### 1.3.2.5.1.1 Signal，GND。（需要电容器储能，用于在数据真正交换器件储存电容给自身供电）

###### 1.3.2.5.1.2 Vcc，Signal，GND。

###### 1.3.2.5.1.3 设备并联连接，常用4.7K电阻上拉，保持总线未被驱动时为1.

##### 1.3.2.5.2 通讯协议

###### 1.3.2.5.2.1 是半双工，单主机，多从机，异步串行数据总线。

###### 1.3.2.5.2.2 主设备使用枚举协议（特定的广播消息）来发现所有已连接的设备。

##### 1.3.2.5.3 测试

##### 1.3.2.5.4 Layout设计

#### 1.3.2.6 网口 ETH

##### 1.3.2.6.1 电气线路

###### 1.3.2.6.1.1 TD+,TD-,TCT,NC,NC,RCT/MCT,RD+/MX+,RD-/MX-,9~12LED,13~14外壳地或固定脚。

##### 1.3.2.6.2 通讯协议

###### 1.3.2.6.2.1 OSI七层模型

1.3.2.6.2.1.1 应用层（Application） HTTP、TFTP, FTP, NFS, WAIS、SMTP

1.3.2.6.2.1.2 表示层（Presentation） Telnet, Rlogin, SNMP, Gopher

1.3.2.6.2.1.3 会话层（Session） SMTP, DNS

1.3.2.6.2.1.4 传输层（Transport） TCP, UDP

1.3.2.6.2.1.5 网络层（Network） IP, ICMP, ARP, RARP, AKP, UUCP

1.3.2.6.2.1.6 数据链路层（Data Link） FDDI, Ethernet, Arpanet, PDN, SLIP, PPP

1.3.2.6.2.1.7 物理层（Physical） IEEE 802.1A, IEEE 802.2到IEEE 802.11

###### 1.3.2.6.2.2 TCP/IP四层模型

1.3.2.6.2.2.1 应用层

1.3.2.6.2.2.1.1 应用层（Application） HTTP、TFTP, FTP, NFS, WAIS、SMTP

1.3.2.6.2.2.1.2 表示层（Presentation） Telnet, Rlogin, SNMP, Gopher

1.3.2.6.2.2.1.3 会话层（Session） SMTP, DNS

1.3.2.6.2.2.2 传输层

1.3.2.6.2.2.2.1 传输层（Transport） TCP, UDP

1.3.2.6.2.2.3 网络层

1.3.2.6.2.2.3.1 网络层（Network） IP, ICMP, ARP, RARP, AKP, UUCP

1.3.2.6.2.2.4 数据链路层

1.3.2.6.2.2.4.1 数据链路层（Data Link） FDDI, Ethernet, Arpanet, PDN, SLIP, PPP

1.3.2.6.2.2.4.2 物理层（Physical） IEEE 802.1A, IEEE 802.2到IEEE 802.11

##### 1.3.2.6.3 测试

##### 1.3.2.6.4 Layout设计

###### 1.3.2.6.4.1 以太网芯片靠近RJ-45放置，一般距离不超过5inch。

###### 1.3.2.6.4.2 交流器件放置在中间位置。

###### 1.3.2.6.4.3 TX+,TX-,RX+,TX-尽量走表层，组内差分5mil，组件不做等长，但间距要在4w以上。

###### 1.3.2.6.4.4 外壳地与GND之间的桥接电容要靠近外壳地管脚放置，并且走线要加粗处理。

###### 1.3.2.6.4.5 RJ-45接口区域内做挖空处理，外壳地与GND之间要做到2mm距离，或最少1mm以下。

### 1.3.3 DDR

#### 1.3.3.1 内存分代

##### 1.3.3.1.1 SDRAM（Synchronous Dynamic Random Access Memory）：为同步动态随机存取内存。

##### 1.3.3.1.2 SDRAM亦可称为SDR SDRAM（Single Data Rate SDRAM），Single Data Rate为单倍数据传输率。

##### 1.3.3.1.3 DDR SDRAM（Double Data Rate SDRAM）：为双信道同步动态随机存取内存。

##### 1.3.3.1.4 DDR2 SDRAM（Double Data Rate Two SDRAM）：为双信道两次同步动态随机存取内存。

##### 1.3.3.1.5 DDR3 SDRAM（Double Data Rate Three SDRAM）：为双信道三次同步动态随机存取内存。

##### 1.3.3.1.6 DDR4 SDRAM（Double Data Rate Fourth SDRAM）

#### 1.3.3.2 内存区别

##### 1.3.3.2.1 核心频率分别为133MHz到200MHz的情况下。

##### 1.3.3.2.2 DDR2 1.8V 4bits 533～800 MT/s

###### 1.3.3.2.2.1 有60/68/84球FBGA封装三种规格。

##### 1.3.3.2.3 DDR3 1.5V 8bits 800～1600 MT/s

###### 1.3.3.2.3.1 8bit芯片采用78球FBGA封装。

###### 1.3.3.2.3.2 16bit芯片采用96球FBGA封装。

###### 1.3.3.2.3.3 新增功能

1.3.3.2.3.3.1 ASR（Automatic Self-Refresh）

1.3.3.2.3.3.2 SRT（Self-Refresh Temperature）

##### 1.3.3.2.4 DDR3L 1.35V（向后兼容1.5V） 8bits 800～1600 MT/s

##### 1.3.3.2.5 DDR3 1.2V 16bits 2133～3200 MT/s

#### 1.3.3.3 DDR3L分析-MT41K256M16TW-107:P

##### 1.3.3.3.1 内存大小：32 Meg x 16 x 8 banks

##### 1.3.3.3.2 工作电压：13.5V（向后兼容1.5V）

##### 1.3.3.3.3 96-ball 8mm x 14mm FBGA

##### 1.3.3.3.4 关键时序参数

###### 1.3.3.3.4.1 MT/s意思是megatransfers/s，也就是说MT/s中文解释为百万次/秒。

###### 1.3.3.3.4.2 由于HT总线（端到端总线技术）是双向传输，所以换算成我们平时所熟悉的MHz需要除以2。

###### 1.3.3.3.4.3 速度等级：-107 速率：1866MT/s 13-13-13 tRCD：13.91ns tRP：13.91ns CL：13.91ns

###### 1.3.3.3.4.4 tCK = 1.07ns, CL = 13

##### 1.3.3.3.5 引脚分析

###### 1.3.3.3.5.1 A[14:13], A12/BC#,A11, A10/AP, A[9:0] input 地址输入，行、列地址输入。

###### 1.3.3.3.5.2 BA[2:0] input Bank地址输入。

###### 1.3.3.3.5.3 CK, CK# input 时钟，差分时钟输入。

###### 1.3.3.3.5.4 CKE input 时钟使能。

###### 1.3.3.3.5.5 CS# input 片选。

###### 1.3.3.3.5.6 LDM input 输入数据屏蔽，LDM是低八位数据。

###### 1.3.3.3.5.7 UDM input 输入数据屏蔽，UDM是高八位数据。

###### 1.3.3.3.5.8 ODT input 片上终端电阻使能。

###### 1.3.3.3.5.9 RAS#, CAS#, WE# input 控制命令输入。

###### 1.3.3.3.5.10 RESET# input 复位。

###### 1.3.3.3.5.11 DQ[7:0] I/O 数据输入输出，低8位。

###### 1.3.3.3.5.12 DQ[15:8] I/O 数据输入输出，高8位。

###### 1.3.3.3.5.13 LDQS, LDQS# I/O 低8位数据选通。

###### 1.3.3.3.5.14 UDQS, UDQS# I/O 高8位数据选通。

###### 1.3.3.3.5.15 VDD 电源输入。

###### 1.3.3.3.5.16 VDDQ DQ电源输入（芯片内部隔离电源）。

###### 1.3.3.3.5.17 VREFCA 用于控制，命令，地址的参考电源。

###### 1.3.3.3.5.18 VREFDQ 用于数据的参考电源。

###### 1.3.3.3.5.19 VSS 地

###### 1.3.3.3.5.20 VSSQ DQ地（隔离底）。

###### 1.3.3.3.5.21 ZQ 输出驱动校正的外部参考引脚，外接240欧姆电阻到地。

###### 1.3.3.3.5.22 NC 无连接，预留。

#### 1.3.3.4 DDR测试

##### 1.3.3.4.1 DDR3 Software leveling

###### 1.3.3.4.1.1 其目的在于根据当前板卡的实际布线情况，通过leveling算法优化当前的DDR3的参数配置。

#### 1.3.3.5 Layout设计

##### 1.3.3.5.1 时钟线最长，时钟线差分特性100欧姆，+/-10%，小于5mil。

##### 1.3.3.5.2 地址，控制，命令参考时钟做等长，小于200mil。

##### 1.3.3.5.3 DQS组内差分特性100欧姆，+/-10%，小于5mil。

##### 1.3.3.5.4 其他非差分线为50欧姆，+/-10%。

##### 1.3.3.5.5 DATA0-DATA7， DQM0， DQS0P/ DQS0M为一组，组内等长小于200mil。3W线宽要求。

##### 1.3.3.5.6 DATA8-DATA15， DQM1， DQS1P/ DQS1M为一组，组内等长小于200mil。3W线宽要求。

##### 1.3.3.5.7 所有线和孔间距大于0.125mm或0.15mm。

### 1.3.4 存储设备

#### 1.3.4.1 NOR FLASH

##### 1.3.4.1.1 块擦除，字编程（8,16,32）。

##### 1.3.4.1.2 芯片内执行（eXexute In Place，XIP）技术。

##### 1.3.4.1.3 地址映射后不需要初始化。

##### 1.3.4.1.4 标准寄存器级接口：通用闪存接口和CFI。

#### 1.3.4.2 NAND FLASH

##### 1.3.4.2.1 分类

###### 1.3.4.2.1.1 单层单元（SLC），擦除周期100K。

###### 1.3.4.2.1.2 多（2）层单元（MLC），擦除周期10K。

###### 1.3.4.2.1.3 三层单元（TLC），擦除周期1K。

##### 1.3.4.2.2 块擦除，页读写。

##### 1.3.4.2.3 错误检查和纠正（ECC）技术

###### 1.3.4.2.3.1 SLC：汉明码（可纠正1个出错位）。

###### 1.3.4.2.3.2 MLC,TLC：BCH（可纠正8个出错位）。

###### 1.3.4.2.3.3 纠错码存储在带外（out of band，OOB）。

1.3.4.2.3.3.1 SLC通常没32字节额外有1字节OOB区域。

1.3.4.2.3.3.2 如2KB大小页面OOB是64字节每页。

1.3.4.2.3.3.3 MLC和TLC芯片OOB所占比例更大。

##### 1.3.4.2.4 标准寄存器级接口：开放式NAND闪存接口（ONFi）

#### 1.3.4.3 托管闪存

##### 1.3.4.3.1 本质

###### 1.3.4.3.1.1 集成多个闪存芯片及一个微控制器。

###### 1.3.4.3.1.2 并提供与传统文件系统兼容。

###### 1.3.4.3.1.3 是一个小扇区存储设备。

##### 1.3.4.3.2 分类

###### 1.3.4.3.2.1 安全数字（Secure Digital，SD）卡及嵌入式变体eMMC。

###### 1.3.4.3.2.2 多媒体卡（MMC）。

###### 1.3.4.3.2.3 小型快闪卡（CompactFlash，CF）。

###### 1.3.4.3.2.4 USB闪存驱动器。

###### 1.3.4.3.2.5 通用闪存（universal flash storage，UFS）。

##### 1.3.4.3.3 通讯方式：串行传输（现在多使用多位传输）。

### 1.3.5 视频

#### 1.3.5.1 视频输入

##### 1.3.5.1.1 Camera Sensor

###### 1.3.5.1.1.1 Image Sensor类型

1.3.5.1.1.1.1 YUV Sensor：data格式为YUV，一般在5M以下。

1.3.5.1.1.1.2 Raw Sensor：data格式为Raw，为当前主流。

###### 1.3.5.1.1.2 硬件接口

1.3.5.1.1.2.1 DVP

1.3.5.1.1.2.1.1 并口传输，时钟PCLK极限96M，常控制在72M及以下，最大500W。

1.3.5.1.1.2.1.2 PCLK,VSYNC,HSYNC,D[0:11]（支持8/1012位数据）

1.3.5.1.1.2.1.3 使用过的方案

1.3.5.1.1.2.1.3.1 HI 3518EV200（海思） + SC2235（SmartSens）1080P@60fps 200W

1.3.5.1.1.2.1.3.1.1 D2-D11,PCLK,FSYNC（帧同步）,LREF（行同步）

1.3.5.1.1.2.1.3.2 Ambarella S2L33M + Sony IMX323 1080P@30fps

1.3.5.1.1.2.1.3.2.1 D0-D11,PCLK,FSYNC（帧同步）,LREF（行同步）

1.3.5.1.1.2.2 MIPI-CSI-2

1.3.5.1.1.2.2.1 CSI 定义了一个位于处理器和摄像模组之间的高速串行接口。

1.3.5.1.1.2.2.2 CSI-1,CSI-2（专门针对摄像头芯片接口设计）,CSI-3。

1.3.5.1.1.2.2.3 LVDS接口耦合，800W以上。

1.3.5.1.1.2.2.4 CLKP/N，DATAP/N。

1.3.5.1.1.2.2.5 一对DATAP/N为一个lane，最大支持4-lane，一般2-lane。

1.3.5.1.1.2.2.6 使用过的方案

1.3.5.1.1.2.2.6.1 Ambarella S5L66 + Omnivison OS08A10 4K@60fps

1.3.5.1.1.2.2.6.1.1 MCP/N，MDP[0:3]/N[0:3]

1.3.5.1.1.2.2.7 Layout设计

1.3.5.1.1.2.2.7.1 建议内层走线，表层的话需要包地。

#### 1.3.5.2 视频输出

##### 1.3.5.2.1 液晶屏接口

###### 1.3.5.2.1.1 RGB TTL接口

1.3.5.2.1.1.1 信号类型是TTL电平。

1.3.5.2.1.1.2 信号的内容是RGB666或者RGB888还有行场同步和时钟。

###### 1.3.5.2.1.2 LVDS接口

1.3.5.2.1.2.1 LVDS

1.3.5.2.1.2.1.1 即LowVoltageDifferentialSignaling，是一种低压差分信号技术接口。

1.3.5.2.1.2.1.2 电压摆幅（约350mV）。

1.3.5.2.1.2.1.3 几百Mbit/s的速率传输。

1.3.5.2.1.2.1.4 低噪声和低功耗。

1.3.5.2.1.2.2 信号类型是LVDS信号（低电压差分对）

1.3.5.2.1.2.3 信号的内容是RGB数据还有行场同步和时钟。

###### 1.3.5.2.1.3 MIPI DSI接口

1.3.5.2.1.3.1 DSI 定义了一个位于处理器和显示模组之间的高速串行接口。

1.3.5.2.1.3.2 信号类型是LVDS信号。

1.3.5.2.1.3.3 信号的内容是视频流数据和控制指令。

#### 1.3.5.3 图像解析度

##### 1.3.5.3.1 简称 (代号) 分辨率 像素

##### 1.3.5.3.2 subQCIF : 128 x 96 QCIF : 176 X 144 CGA : 320 x 200

##### 1.3.5.3.3 Quarter-VGA: 320 x 240

##### 1.3.5.3.4 CIF : 352 x 288 10W

##### 1.3.5.3.5 EGA : 640 x 350

##### 1.3.5.3.6 VGA : 640 x 480 30W

##### 1.3.5.3.7 SVGA : 800 x 600

##### 1.3.5.3.8 XGA : 1024 x 768

##### 1.3.5.3.9 XGA-W : 1280 x 768

##### 1.3.5.3.10 QVGA : 1280 x 960 120W

##### 1.3.5.3.11 SXGA : 1280 x 1024

##### 1.3.5.3.12 SXGA+ : 1400 x 1050

##### 1.3.5.3.13 SXGA-W : 1600 x 1024

##### 1.3.5.3.14 UGA : 1600 x 1200

##### 1.3.5.3.15 HDTV : 1920 x 1080 200W

##### 1.3.5.3.16 UXGA : 1900 x 1200

##### 1.3.5.3.17 UXGA-W : 1920 x 1200

##### 1.3.5.3.18 QXGA : 2048 x 1536 320W

##### 1.3.5.3.19 QSXGA : 2560 x 2048 500W+

##### 1.3.5.3.20 QUXGA : 3200 x 2400 700W+

##### 1.3.5.3.21 QUXGA-W : 3840 x 2400 900W+

### 1.3.6 音频

#### 1.3.6.1 I2S

##### 1.3.6.1.1 电气线路

###### 1.3.6.1.1.1 主时钟MCLK，用于同步，是采样频率的256倍或384倍。

###### 1.3.6.1.1.2 串行时钟SCLK，也叫位时钟（BCLK）。

###### 1.3.6.1.1.3 帧时钟LRCK，(也称WS)，用于切换左右声道的数据。

###### 1.3.6.1.1.4 串行数据SDATA，就是用二进制补码表示的音频数据。

1.3.6.1.1.4.1 数据输入

1.3.6.1.1.4.2 数据输出

###### 1.3.6.1.1.5 模式控制附加引脚

##### 1.3.6.1.2 通讯协议

###### 1.3.6.1.2.1 支持全双工和半双工。

###### 1.3.6.1.2.2 支持主/从模式。

##### 1.3.6.1.3 测试

##### 1.3.6.1.4 Layout

#### 1.3.6.2 MIC

##### 1.3.6.2.1 模拟接口MEMS MIC

###### 1.3.6.2.1.1 输出阻抗典型值为几百欧姆。

###### 1.3.6.2.1.2 如200欧姆MIC后接2K欧姆。

###### 1.3.6.2.1.3 存在偏置电压。

###### 1.3.6.2.1.4 信号包地，不能跨越平面。

##### 1.3.6.2.2 数字接口MEMS MIC

###### 1.3.6.2.2.1 VDD,GND,CLK,DAT,L/R（通道选择）。

#### 1.3.6.3 功放

##### 1.3.6.3.1 甲类

##### 1.3.6.3.2 乙类

##### 1.3.6.3.3 甲乙类

##### 1.3.6.3.4 丁类（D类，数字式放大器）

##### 1.3.6.3.5 功放额定输出阻抗：常见8欧姆，4欧姆。

#### 1.3.6.4 Speak

##### 1.3.6.4.1 SPK+,SPK-走类差分，需要包地，不能跨平面。

##### 1.3.6.4.2 功放与音响匹配---阻抗匹配

###### 1.3.6.4.2.1 音箱=功放：最佳设计负载线。

###### 1.3.6.4.2.2 音箱>功放：输出功率变小，音量低。

###### 1.3.6.4.2.3 音箱<功放：输出功率增大，音质失真，功放可能过载。

### 1.3.7 HDMI

#### 1.3.7.1 电气线路

##### 1.3.7.1.1 4对TMDS差分信号：1对时钟+3对数据。

###### 1.3.7.1.1.1 TMDS通道0传输B信号，同时H信号和V信号也嵌入该通道

###### 1.3.7.1.1.2 TMDS通道1传输G信号

###### 1.3.7.1.1.3 TMDS通道2传输R信号，R和G通道的多余位置用来传输音频信号

##### 1.3.7.1.2 CEC：消费电子控制通道，通过这条通道可以控制设备。

##### 1.3.7.1.3 DDC：就是I²C信号，主要是获取显示器的基本信息(比如EDID信息)。

##### 1.3.7.1.4 HPD：热插拔信号，该信号比较重要，当HPD引脚大于2V，TMDS才会输出。因此，如果屏幕没有显示，首先要测量该信号！！！

##### 1.3.7.1.5 HDMI接口连接器

###### 1.3.7.1.5.1 Type A

###### 1.3.7.1.5.2 Type B

###### 1.3.7.1.5.3 Type C

##### 1.3.7.1.6 每种类型的接口分别由用于设备端的插座和线材端的插头组成，使用5V低电压驱动，阻抗都是100欧姆。

#### 1.3.7.2 通讯协议

##### 1.3.7.2.1 HDMI 1.0 支持从DVD到蓝光格式的视频流，而且具备CEC（consumer electronics control）功能，也就是在应用中，可以在所有连接设备间形成一种共通的联络，对设备组具备更方便的控制。

##### 1.3.7.2.2 HDMI 1.1 新增对DVD音频的支持

##### 1.3.7.2.3 HDMI 1.2 带宽4.95Gbps 1080P

##### 1.3.7.2.4 HDMI 1.3 带宽10.2Gbps 1080P

##### 1.3.7.2.5 HDMI 1.4 带宽10.2Gbps 3840×2160@30FPS

##### 1.3.7.2.6 HDMI 2.0 带宽18Gbps 3840×2160@50FPS或60FPS

##### 1.3.7.2.7 HDMI 2.1 带宽48Gbps 7680×4320@60Hz

#### 1.3.7.3 测试

##### 1.3.7.3.1 输出兼容性测试

##### 1.3.7.3.2 端口插拔可靠性测试

##### 1.3.7.3.3 输出的可靠性测试

##### 1.3.7.3.4 检测标准

##### 1.3.7.3.5 输出端口功能测试

#### 1.3.7.4 Layout设计

##### 1.3.7.4.1 组内差分100欧姆，+/-15%，小于等于5mil，组间等长。

##### 1.3.7.4.2 HDMI TX信号的参考时钟为HDMI TXC，所以包括时钟在内的四组差分对都需要做等长处理。

##### 1.3.7.4.3 ESD器件靠近HDMI连接座放置。

##### 1.3.7.4.4 HDMI信号需要保证走线参考面是一个连续完整的参考面，不被分割。

##### 1.3.7.4.5 在PCB表层走线请注意用地线做整组包地处理。

##### 1.3.7.4.6 差分对之间不需要伴随地走线。

##### 1.3.7.4.7 可以直接顺序扇出到HDMI连接座， 走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续。

##### 1.3.7.4.8 每对换层的差分对旁边就近安排一个GND过孔。

## 1.4 防护设计，EMC。

### 1.4.1 雷击浪涌

#### 1.4.1.1 气体放电管

#### 1.4.1.2 压敏电阻

#### 1.4.1.3 TVS管

### 1.4.2 ESD

#### 1.4.2.1 ESD静电保护二极管

### 1.4.3 电磁兼容性（EMC）

#### 1.4.3.1 电磁发射（EMI）

##### 1.4.3.1.1 传导（Conducted Emission）（150kHz～30MHz）.

##### 1.4.3.1.2 辐射（Radiated Emission ）（30MHz～300MHz）。

##### 1.4.3.1.3 谐波（Harmonic）（2～40次谐波）。

##### 1.4.3.1.4 闪烁（Flicker）电压变化与闪烁测试。

#### 1.4.3.2 电磁抗扰度（EMS）

##### 1.4.3.2.1 电静放电抗扰度。

##### 1.4.3.2.2 辐射电磁场（80MHz～1000 MHz）抗扰度。

##### 1.4.3.2.3 电快速瞬变/脉冲群抗扰度。

##### 1.4.3.2.4 浪涌（雷击）抗扰度。

##### 1.4.3.2.5 注入电流（150kHz～230MHz）抗扰度。

##### 1.4.3.2.6 电压暂降和短时中断抗扰度。

## 1.5 生成BOM清单

# 2. Layout设计

## 2.1 创建封装，创建板框，原理图导入。

### 2.1.1 创建封装

#### 2.1.1.1 封装类型

##### 2.1.1.1.1 插件，贴片。

##### 2.1.1.1.2 规则，异形。

#### 2.1.1.2 封装构成

##### 2.1.1.2.1 焊盘

##### 2.1.1.2.2 丝印外框

##### 2.1.1.2.3 1脚标识

### 2.1.2 创建板框

#### 2.1.2.1 手绘板框

#### 2.1.2.2 导入dxf结构图转换为板框

## 2.2 设计前准备，布局，布线，地孔。

### 2.2.1 设计前准备

#### 2.2.1.1 显示颜色设置

#### 2.2.1.2 远点设置

#### 2.2.1.3 板层参数

##### 2.2.1.3.1 PCB构成

###### 2.2.1.3.1.1 一层PP（半固化片，又称预浸材料，🙏粘合芯板的作用），一层core（芯板，硬质的，特定厚度的两面包铜的材料，FR-4）。

###### 2.2.1.3.1.2 通常多层板最外层的两个介质层都是浸润层。

###### 2.2.1.3.1.3 表面铜箔厚度有：12um，18um，35um。1OZ约为35um或1.4mil。

###### 2.2.1.3.1.4 8层板叠层图

##### 2.2.1.3.2 层叠设计原则

###### 2.2.1.3.2.1 元件面相邻层为地平面，如主元件在顶层，顶层信号尽可能短，第二层为完整的地平面。

###### 2.2.1.3.2.2 所有信号层尽可能与地平面相邻。

###### 2.2.1.3.2.3 关键信号线尽可能与地平面相邻。

###### 2.2.1.3.2.4 尽量避免两个信号层直接相邻。否则要采用横平竖直的走线方式。

###### 2.2.1.3.2.5 主电源尽可能与其对应地平面相邻，且芯板厚度不宜过后，以便获得较低的传输线阻抗。

###### 2.2.1.3.2.6 确定电源和地平面层数，地平面等于或多于电源平面。减小共模EMI。

###### 2.2.1.3.2.7 兼顾层压结构对称。

###### 2.2.1.3.2.8 采用偶数层结构。

##### 2.2.1.3.3 多层PCB层叠设计方案

###### 2.2.1.3.3.1 四层板

2.2.1.3.3.1.1 方案1

2.2.1.3.3.1.1.1 信号层（元器件，微带线）

2.2.1.3.3.1.1.2 接地平面

2.2.1.3.3.1.1.3 电源平面

2.2.1.3.3.1.1.4 信号层（元器件，微带线）

2.2.1.3.3.1.2 方案2

2.2.1.3.3.1.2.1 信号层（元器件，微带线）

2.2.1.3.3.1.2.2 电源平面

2.2.1.3.3.1.2.3 接地平面

2.2.1.3.3.1.2.4 信号层（元器件，微带线）

2.2.1.3.3.1.3 方案3

2.2.1.3.3.1.3.1 接地平面（元器件）

2.2.1.3.3.1.3.2 信号层

2.2.1.3.3.1.3.3 信号层

2.2.1.3.3.1.3.4 电源平面（元器件）

###### 2.2.1.3.3.2 六层板

2.2.1.3.3.2.1 方案1

2.2.1.3.3.2.1.1 信号层（元器件，微带线）

2.2.1.3.3.2.1.2 接地平面

2.2.1.3.3.2.1.3 信号层（带状线）

2.2.1.3.3.2.1.4 接地平面

2.2.1.3.3.2.1.5 电源平面

2.2.1.3.3.2.1.6 信号层（元器件，微带线）

2.2.1.3.3.2.2 方案2

2.2.1.3.3.2.2.1 信号层（元器件，微带线）

2.2.1.3.3.2.2.2 接地平面

2.2.1.3.3.2.2.3 信号层（带状线）

2.2.1.3.3.2.2.4 信号层（带状线）

2.2.1.3.3.2.2.5 电源平面

2.2.1.3.3.2.2.6 信号层（元器件，微带线）

2.2.1.3.3.2.3 方案3

2.2.1.3.3.2.3.1 信号层（元器件、微带线）

2.2.1.3.3.2.3.2 信号层（埋入式微带线）

2.2.1.3.3.2.3.3 接地平面

2.2.1.3.3.2.3.4 电源平面

2.2.1.3.3.2.3.5 信号层（埋入式微带线）

2.2.1.3.3.2.3.6 信号层（元器件，微带线）

###### 2.2.1.3.3.3 八层板

2.2.1.3.3.3.1 方案1

2.2.1.3.3.3.1.1 信号层（元器件，微带线）

2.2.1.3.3.3.1.2 接地平面

2.2.1.3.3.3.1.3 信号层（带状线）

2.2.1.3.3.3.1.4 接地平面

2.2.1.3.3.3.1.5 电源平面

2.2.1.3.3.3.1.6 信号层（带状线）

2.2.1.3.3.3.1.7 接地平面

2.2.1.3.3.3.1.8 信号层（元器件，微带线）

2.2.1.3.3.3.2 方案2

2.2.1.3.3.3.2.1 信号层（元器件，微带线）

2.2.1.3.3.3.2.2 接地平面

2.2.1.3.3.3.2.3 信号层（带状线）

2.2.1.3.3.3.2.4 电源平面

2.2.1.3.3.3.2.5 接地平面

2.2.1.3.3.3.2.6 信号层（带状线）

2.2.1.3.3.3.2.7 电源平面

2.2.1.3.3.3.2.8 信号层（元器件，微带线）

2.2.1.3.3.3.3 方案3

2.2.1.3.3.3.3.1 信号层（元器件、微带线）

2.2.1.3.3.3.3.2 信号层（埋入式微带线）

2.2.1.3.3.3.3.3 接地平面

2.2.1.3.3.3.3.4 信号层（带状线）

2.2.1.3.3.3.3.5 信号层（带状线）

2.2.1.3.3.3.3.6 电源平面

2.2.1.3.3.3.3.7 信号层（埋入式微带线）

2.2.1.3.3.3.3.8 信号层（元器件，微带线）

#### 2.2.1.4 过孔设置

##### 2.2.1.4.1 工艺

###### 2.2.1.4.1.1 板厚与钻孔尺寸比为8:1

##### 2.2.1.4.2 常用过孔参数

###### 2.2.1.4.2.1 0503：直径0.5mm，钻孔0.3mm

###### 2.2.1.4.2.2 0402：直径0.4mm，钻孔0.2mm

###### 2.2.1.4.2.3 3502：直径0.35mm，钻孔0.2mm

#### 2.2.1.5 设计规则

##### 2.2.1.5.1 安全间距

###### 2.2.1.5.1.1 线宽：大板0.2mm；高密度板0.125mm。

###### 2.2.1.5.1.2 同一网络：0mm。

###### 2.2.1.5.1.3 孔与孔，元件与元件：0mm。

###### 2.2.1.5.1.4 板边距离：0.25-0.3mm。

###### 2.2.1.5.1.5 铜箔：0.2mm。

###### 2.2.1.5.1.6 其他：大板0.2mm；高密度板0.1mm。

### 2.2.2 布局

#### 2.2.2.1 单位及栅格设置

#### 2.2.2.2 结构件优先布局

#### 2.2.2.3 整齐划一，模块式布局

### 2.2.3 布线

#### 2.2.3.1 天线

##### 2.2.3.1.1 阻抗50欧姆

###### 2.2.3.1.1.1 2层板：0.8mm，1，2层间距大

###### 2.2.3.1.1.2 多层板：0.2mm，1，2层间距小

##### 2.2.3.1.2 禁布

###### 2.2.3.1.2.1 20mil左右

##### 2.2.3.1.3 地孔

###### 2.2.3.1.3.1 天线周边均匀分布

##### 2.2.3.1.4 ANT RF线相邻的层挖空，参考相邻的第二层。

###### 2.2.3.1.4.1 如RF线布在第6层， RF线正下方第5层GND挖空，参考第四层做阻抗设计。

###### 2.2.3.1.4.2 且要保持参考层的完整性

#### 2.2.3.2 等长线

##### 2.2.3.2.1 建立匹配长度的网络组。

##### 2.2.3.2.2 设置等长线规则。

##### 2.2.3.2.3 电子表格实时显示。

#### 2.2.3.3 蛇形走线

##### 2.2.3.3.1 振幅Lp：应尽量减小。

##### 2.2.3.3.2 间隙S：应尽量增大。

##### 2.2.3.3.3 设置蛇形走线的振幅和间隙。

##### 2.2.3.3.4 添加蛇形走线。

#### 2.2.3.4 差分走线

##### 2.2.3.4.1 组内小于等于5mil

##### 2.2.3.4.2 组间看具体要求

### 2.2.4 地孔

#### 2.2.4.1 间距为3-5mm，边缘可间距小一些。

## 2.3 检查，导出Gerber文件，阻抗说明。

### 2.3.1 验证设计

#### 2.3.1.1 间距检查

#### 2.3.1.2 连接性

### 2.3.2 导出Gerber文件

#### 2.3.2.1 光绘文件又称为Gerber，菲林，也可称为CAM文件

#### 2.3.2.2 一个正常的光绘文件应包括（n+6）个文件。其中n指层数；6指：

##### 2.3.2.2.1 顶层丝印层，Silkscreen Top

##### 2.3.2.2.2 底层丝印层，Silkscreen Bottom

##### 2.3.2.2.3 顶层阻焊层，Solder Mask Top

##### 2.3.2.2.4 底层阻焊层，Solder Mask Bottom

##### 2.3.2.2.5 钻孔参考层，Drill Drawing

##### 2.3.2.2.6 NC钻孔层，NC Drill

### 2.3.3 导出SMT文件

#### 2.3.3.1 顶层锡膏层，Solder Paste Top

#### 2.3.3.2 底层锡膏层，Solder Paste Bottom

#### 2.3.3.3 贴片坐标文件

### 2.3.4 阻抗说明

#### 2.3.4.1 单端阻抗常为50欧姆（无线电用同轴电缆50欧姆。视频为75欧姆）

#### 2.3.4.2 差分阻抗常为100欧姆

#### 2.3.4.3 USB差分阻抗90欧姆

#### 2.3.4.4 误差常为+/-10%，+/-5%看工厂能力。

# 3. 硬件调试

## 3.1 电源测试

## 3.2 功能测试

## 3.3 信号分析

## 3.4 优化分析

# 4. 嵌入式开发

## 4.1 嵌入式开发流程

### 4.1.1 选择或编译交叉工具链

### 4.1.2 配置U-boot

### 4.1.3 编译及启动U-Boot

### 4.1.4 配置设备树Device Tree和内核，构建文件系统

### 4.1.5 编译及启动内核，挂载文件系统

### 4.1.6 运行init启动程序

## 4.2 嵌入式开发分析

## 4.3 编译链接流程

### 4.3.1 阶段（别名） 命令 输入 输出

### 4.3.2 源码（.c）

### 4.3.3 预处理（cpp） gcc -E .c .i

### 4.3.4 编译（cc） gcc -S .i .s

### 4.3.5 汇编（as） gcc -c .s .o

### 4.3.6 链接（ld） gcc .o .out

### 4.3.7 注意事项：.S文件可包含预处理指令，因为后期会进行预处理操作。

## 4.4 内存管理之堆栈

### 4.4.1 栈（stack）

#### 4.4.1.1 先进后出

#### 4.4.1.2 小内存，自动化

#### 4.4.1.3 保存局部变量（非静态局部变量）

#### 4.4.1.4 预定栈大小不灵活，怕溢出

### 4.4.2 堆（heap）

#### 4.4.2.1 动态内存管理

#### 4.4.2.2 大块内存管理，手工分配/使用/释放

#### 4.4.2.3 申请

##### 4.4.2.3.1 malloc

##### 4.4.2.3.2 calloc：将返回的内存初始化为0

##### 4.4.2.3.3 realloc：修改已分配内存块大小

#### 4.4.2.4 释放

##### 4.4.2.4.1 free

#### 4.4.2.5 优劣势：管理大块内存，灵活，容易内存泄漏

### 4.4.3 静态存储区

#### 4.4.3.1 静态局部变量

#### 4.4.3.2 全局变量

# 5. Linux驱动开发

# 6. Linux应用开发

# 7. C语言

## 7.1 Linux下C程序员的内存映像

### 7.1.1 保留区域（0x0000\_0000-0x0804\_8000）

### 7.1.2 代码（text）段、只读数据段（rodata）

#### 7.1.2.1 对应程序中的代码（函数），代码段在linux中又叫文本段（.text）。

#### 7.1.2.2 rodata段常用于存储常量数据。

### 7.1.3 数据段、bss段

#### 7.1.3.1 data段：存放被初始化为非0的全局变量和static局部变量。

#### 7.1.3.2 bss段：存放未被初始化为的全局变量和static局部变量。

### 7.1.4 运行时堆区

### 7.1.5 文件映射区

#### 7.1.5.1 进程打开后的文件，被从硬盘读到进程的文件映射区。

### 7.1.6 用户栈区（stack）

### 7.1.7 内核映射区（0xC000\_0000-0xFFFF\_FFFF）

# 8. 算法