

Lab3: Complicated Calculation Units

复杂计算模块

实验目的 & 要求

通过实验熟悉两个运算:

- 有符号乘法 (Multiplier V3 或 Booth Algorithm)
- 有符号除法 (Signed Division V3)
- ⚠ 不可以用Verilog的 `*` 和 `/`
 - (即使它们远比我们的实现要快)

乘法器的接口

```
module Mul(  
    input [15:0] A,  
    input [15:0] B,  
    output [31:0] res  
);
```

🌟 输出信号的位宽将变为2倍!

除法器的接口

```
module Div (  
    input [15:0] A, B,  
    output [15:0] res,    // 商  
    output [15:0] rem,    // 余数  
    output divide_zero    // 除零的异常  
);
```

🌟 当出现除零的异常时，`res` 和 `rem` 可以是任何数，只要 `divide_zero` 被置成高位即可。

仿真

分别构造10对数据，要求正负数、**0**都要涵盖，对乘法器和除法器做仿真。

上板验证

这次有一套独立的测试框架。

- VGA_muldiv
- DataProvider
- ClockDividor和InputAntiJitter与之前一样

VGA_muldiv

- 以EDIF核的形式给出，有显示输出
- 有基本的运算信息

DataProvider

- 以源码的形式给出
- 每个时钟周期上升沿送出32-bit的数据
 - 数据在 `data.mem` 中给出，可以自行做修改
- 应用到了系统函数
 - ref. Lab0 & Lab2 Slide

编写 **Top.v** : 模块接口

```
module Top(  
    input clk_100mhz,  
    input rstn,  
    input [15:0] sw_in,  
    input [4:0] key_col,  
    input ps2_clk, ps2_data,  
    output [4:0] key_row,  
    output hs,  
    output vs,  
    output [3:0] vga_r,  
    output [3:0] vga_g,  
    output [3:0] vga_b  
);
```

编写 **Top.v**

ClockDividor和InputAntiJitter可以沿用Lab1和Lab2中的实例化

```
ClockDividor clock_dividor(  
    ...  
);  
  
InputAntiJitter inputter(  
    ...  
);
```

编写 **Top.v** : 实例化乘除法器

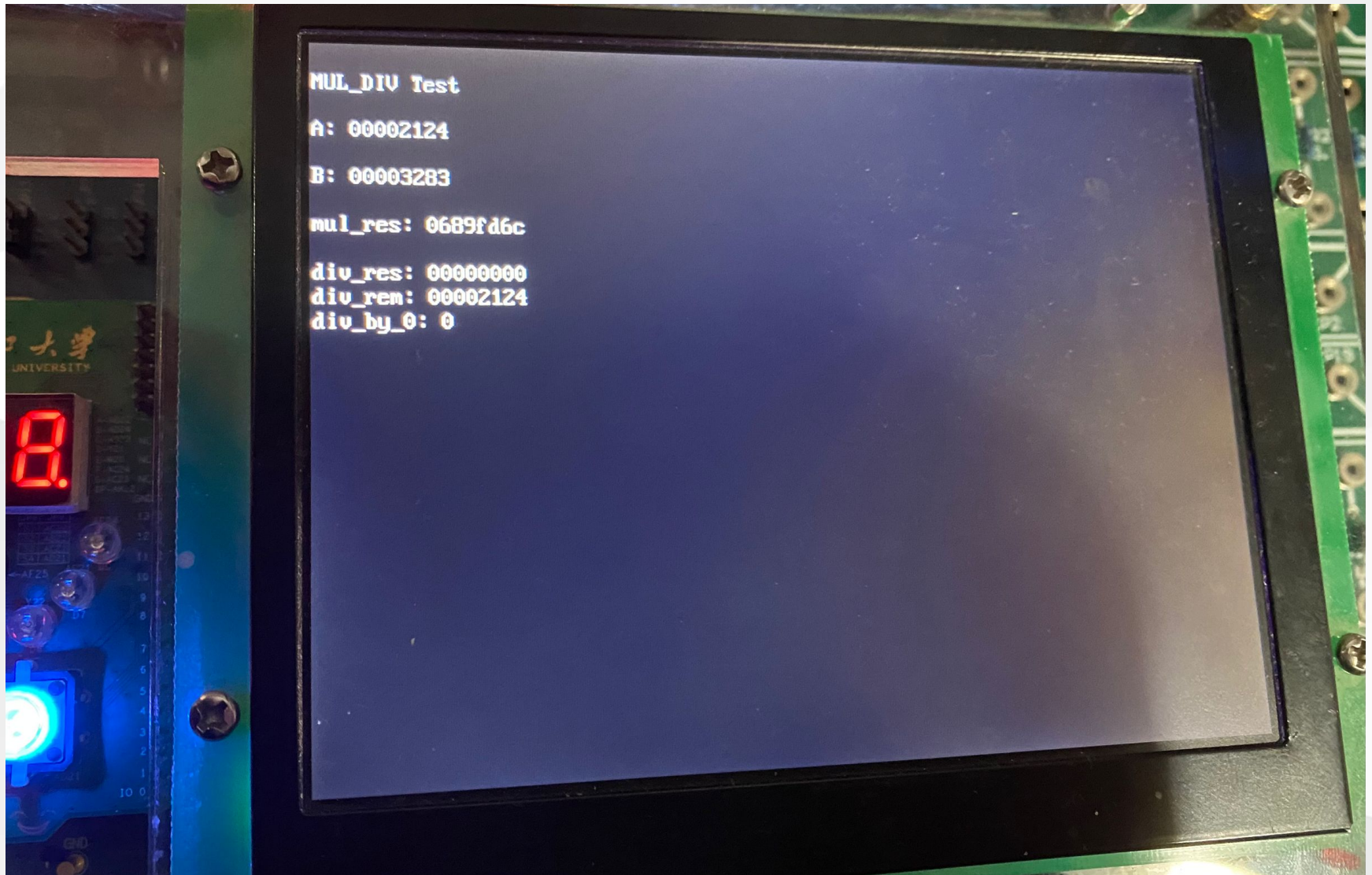
```
wire [15:0] A, B;  
wire [15:0] div_res, div_rem;  
wire [31:0] mul_res;  
wire div_by_0;  
  
DataProvider data_provider(  
    .clk(clk_cpu), .data({A, B})  
);  
  
Mul mul( ... );  
  
Div div( ... );
```

编写 **Top.v** : 实例化VGA

```
VGA_muldiv vga_muldiv(  
    .dbg_A({16'h0, A}),  
    .dbg_B({16'h0, B}),  
    .dbg_mul_res(mul_res),  
    .dbg_div_res({16'h0, div_res}),  
    .dbg_div_rem({16'h0, div_rem}),  
    .dbg_div_by_0(div_by_0),  
    .rst(rst),  
    .clk_div(clk_div),  
    ...  
);
```

上板现象

- 显示乘除法的输入输出
- 可以通过修改 `data.mem` 来控制输入的数据
 - 每一行的前4个hex输出A，后4个hex输出B
- 单步时钟、自动时钟与Lab1 & 2 相同



验收

截止日期: 2021-04-19 23:59:59

```
Lab3_319010xxxx.zip
```

```
|— Lab3.bit      // 生成的bitstream二进制文件
|— Source       // 源代码
|   |— ...
|— Project      // 工程目录
|   |— ...
|— README       // 需要补充的说明（如果没有需要特殊说明则不需要此文件）
```

报告

截止日期: 2021-04-14 23:59:59

Lab3_319010xxxx.pdf // 单个pdf文件

Q & A