



THM

TECHNISCHE HOCHSCHULE MITTELHESSEN

**CAMPUS
FRIEDBERG**

IEM

Informationstechnik-
Elektrotechnik-Mechatronik

Schaltungstechnik SS2017

Projektarbeit

Simulationsbasierter Entwurf eines A/D – Wandlers nach dem Prinzip des Integrationsverfahrens

Sergej Zuyev

10. September 2017

In diesem Dokument werden Modelle realer Operationsverstärker wie LT1800 und RC4558 untersucht und im Kontext der integrierenden Analog/Digital-Wandlung mit idealisierten Verstärkern verglichen.

1 Einführung

Im Rahmen der Veranstaltung „Elektronik 2 / Schaltungstechnik“ bei Prof. Dr. Leitis wird zur Anerkennung als Prüfungsleistung das Thema „Integrierende Analog-Digital Wandler“ behandelt.

Hierbei wird das Verhalten der idealen Operationsverstärker (im Nachfolgendem OPAMP genannt) und realitätsnaher Modelle untersucht, insbesondere im Kontext der integrierenden Analog/Digital Wandler.

2 Materialien und Methoden

Simulationssoftware

Sämtliche Schaltungen wurden in SIMetrixTM8.00p entwickelt, simuliert, und für die finale Abgabe nach SIMetrixTM5.60a portiert. Die Simulation wird ebenfalls in SIMetrixTMdurchgeführt.

Beurteilung

Eines der Hauptkriterien zur Beurteilung der Qualität eines A/D Wandlers ist das Quantisierungsrauschen: die Differenz zwischen dem Ein- und Ausgangssignal nach einer Rückwandlung in ein analoges Signal. Dieses Kriterium wird näher betrachtet.

3 Ergebnisse

3.1 Entwurf eines idealen Integrierers

Zunächst ist der Integrierer zu parametrisieren. Die Ausgangsspannung berechnet sich wie folgt:

$$V_c = \frac{1}{C} \int_0^{t_c} \frac{V_{in}}{R} dt \quad (1)$$

Es ist eine Anstiegsrate von 1 V/ms gefordert, somit sind die Zeit mit $t_c = 1$ ms und die Spannung mit

Eigenschaft	Ideal	SIMetrix TM Version	
		8.00p	5.60a
CMRR	∞	1G	1G
PSRR	∞	1G	1G
Headroom	0	0V	0V
Open-loop gain	∞	1G	1G
GBWP	∞	3Meg	1G
Slewrates	∞	1G	1G
In. resistance	∞	1G Ω	1G Ω
Out. resistance	0	0 Ω	100 Ω
In. bias current	0	0A	0A
In. offset voltage	0	0A	0V

Tabelle 1: Ideale OPAMP Parameter

$V_{in} = 1$ V vorgegeben. Die Kapazität des Kondensators wird auf 100 nF festgelegt, somit ist nur noch R zu berechnen.

Da $V_{in} = 1$ V = const vereinfacht sich die obere Gleichung zu:

$$V_c = \frac{V_{in}}{C \cdot R} t_c \quad (2)$$

Nach der Auflösung nach R werden die festgelegten Werte eingesetzt und der nötige Widerstand ermittelt:

$$R = \frac{1 \text{ V}}{100 \text{ nF} \cdot 1 \text{ V}} \cdot 1 \text{ ms} = 10 \text{ k}\Omega \quad (3)$$

Eine weitere Anforderung ist eine möglichst vollständige Idealisierung der in SIMetrixTMeingesetzten parametrisierbaren Operationsverstärker. In Tabelle 1 ist eine Zusammenstellung der wichtigsten Parameter aufgelistet.

In SIMetrixTM5.60a führt der Ausgangswiderstand $R_{out} = 0$ während der transienten Analyse zu Konvergenzproblemen oder falschen Ergebnissen und ist somit unbrauchbar. Dasselbe gilt auch für GBWP in SIMetrixTM8.00p.

3.2 Entwurf von idealen integrierenden A/D-Wandlern

Single-Slope A/D Wandler

Der Integrator aus Abschnitt 3.1 wurde um eine Komparatorstufe und Steuerlogik erweitert, letztere ist aus einem 9 bit breiten Zähler und einem 8 bit breiten Register zusammengesetzt. Der Zähler ist auf einen Wertebereich von $[0, 256]$ konfiguriert, und das 9-te Bit wird als Reset-Signal verwendet, welches

die Entladung des Integrationskondensators initiiert. Der Komparator detektiert die Überschneidung zwischen V_{in} und V_{ref} , und die unteren 8 bit des Zählers werden bis zum nächsten Auslösen ins Register übernommen.

Der Eingangssignalebereich wird auf 4 V Amplitude bei einem 7 V Offset festgelegt, und bei einer Auflösung von 8 bit berechnet sich die Taktperiode wie folgt:

$$T = \frac{|V_{max} - V_{min}|}{2^n \cdot 1 \text{ V/ms}} = \frac{4 \text{ V}}{2^8 \cdot 1 \text{ V/ms}} = 15.625 \mu\text{s} \quad (4)$$

Mit der in Gleichung (4) berechneten Periodendauer ergibt sich die folgende skalierte Ansicht:

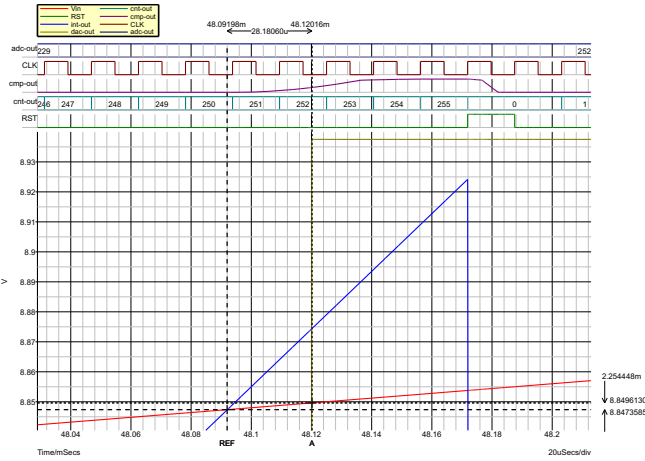


Abbildung 1: Single-slope ADC, $T \Rightarrow 15.625 \mu\text{s}$, $V_{in} \Rightarrow [5, 9]$

Man kann deutlich erkennen, dass unter diesen Bedingungen der Integrationsprozess nicht abgeschlossen ist, da die 9 V Soll nicht erreicht sind, und dass sich aufgrund der Slew-Rate des Komparators das Signal zur Aufnahme des Zählerstandes sich um einen Takt verzögert. Dies führt zur Übernahme des inkrementierten Zählerstandes, das Ausgangssignal weist einen Offset nach oben auf und das Quantisierungsrauschen steigt.

Wenn man die Periodendauer auf $16 \mu\text{s}$ aufrundet, erhält man, wie auf Abb. 2 zu sehen ist, ein wesentlich besseres Ausgangssignal, und das Quantisierungsrauschen beträgt nahezu 0 für jedes neue Sample.

Dual-Slope A/D Wandler

Aufbauend auf dem single-slope Wandler aus dem vorhergehendem Kapitel wird die Steuerlogik ange-

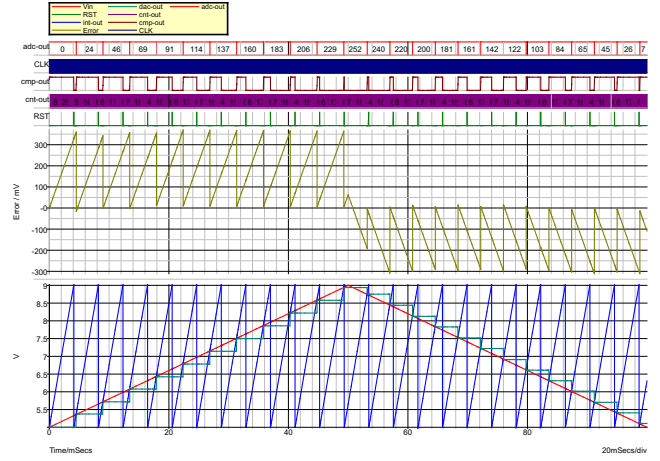


Abbildung 2: Single-slope ADC, $T \Rightarrow 16 \mu\text{s}$, $V_{in} \Rightarrow [5, 9]$

passt: der Zähler wird auf 10 bit mit einem Wertebereich von $[0, 512]$ erweitert. Bit 9 signalisiert nun die Deintegrationsphase, Bit 10 wird als Reset-Signal verwendet.

Zusätzlich wurden ein Eingangsmultiplexer, um zwischen V_{ref} und V_{in} umzuschalten, und ein invertierender Verstärker verbaut. Wird an diesen nun V_{ref} geschaltet, so wird das Signal 1:1 am Integrator anliegen. Dem V_{in} Eingang ist allerdings ein $3 \text{ k}\Omega$ Widerstand nachgeschaltet, dadurch agiert der Verstärker als Dämpfer mit einem Verstärkungsfaktor $A = \frac{1 \text{ k}\Omega}{3 \text{ k}\Omega + 1 \text{ k}\Omega} = \frac{1}{4}$ und passt den Bereich von V_{in} auf V_{ref} an. Somit ist eine konstante De- und Integrationsrate von $1 \text{ V}/\mu\text{s}$ gewährleistet.

Da von nun an eine Auswertung des Integrators nur noch jeden zweiten Takt erfolgt, führt das zu Halbierung der Abtastrate und somit dem Nyquist-Theorem entsprechend zur Halbierung der möglichen Eingangsfrequenz - das kann man auf Abb. 3 gut erkennen, trotz gleicher Taktung werden ungefähr halb so viele Samples aufgenommen. Darüber hinaus macht sich ein zum Eingangssignal proportionaler Quantisierungsfehler bemerkbar, dieser ist mit dem Quantisierungsrauschen überlagert.

3.3 Analyse des RC4558 Modells

Während der Integration des LT1800 OPAMP-Modells in die single-slope und dual-slope Wandler ist ein unerwartetes Problem aufgetreten: die Anzahl der Analogknoten ist in der frei erhältlichen SIMetrixTM Version limitiert. Nachweislich überschreitet der Einsatz zweier und mehr Operationsverstärker des Typs LT1800 die Simulationsbeschrän-

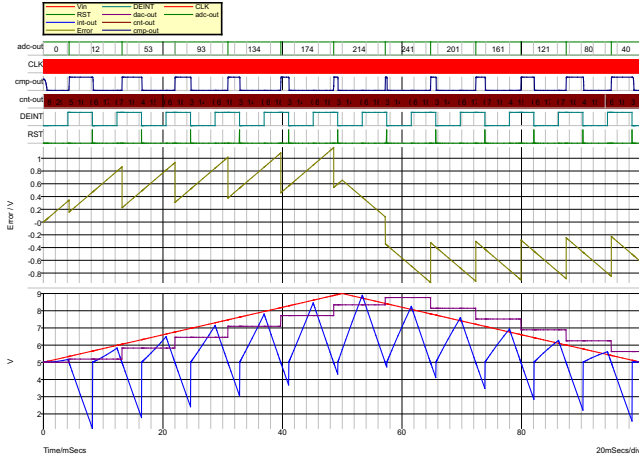


Abbildung 3: Dual-slope ADC, $T \Rightarrow 16 \mu\text{s}$, $V_{in} \Rightarrow [5, 9]$

kungen, wie der Datei „zuyev_1.4_LT1800 - dual slope adc.sxsch“ zu entnehmen ist. Darum wird im Nachfolgendem der OPAMP RC4558 von Texas Instruments untersucht. Die Analyse des LT1800-Modells ist im Abschnitt 5.1 zu finden.

Der RC4558 ist ein universeller Verstärker ohne Rail-To-Rail-Verhalten und wird für den Einsatz als Spannungsfolger empfohlen. Die Versorgungsspannung darf maximal $\pm 18 \text{ V}$ betragen, empfohlen werden $\pm 5 - \pm 15 \text{ V}$. Somit ist dieser nicht für den unipolaren Betrieb geeignet.

Bei der Simulation ergibt sich eine gute Übereinstimmung des Modells mit den Kenndaten [1]. Besondere Aufmerksamkeit im Vergleich zum LT1800 verdienen die vergleichsweise niedrigen Slew-Rate und Gain-Bandbreite: Nach 3 MHz ist der Unity-Gain-Pol erreicht, und aufgrund der niedrigen Slew-Rate kann bei hohen Frequenzen nicht die volle Ausgangsspannung erreicht werden. Diese Daten entsprechen der grundsätzlichen Empfehlung zur Verwendung als Spannungsfolger.

Die Gegenüberstellung der Simulationsergebnisse und der typischen Werte aus dem Datenblatt [1] lässt sich aus Tabelle 2 entnehmen.

3.4 Entwurf der integrierenden A/D-Wandler mit Modellen realer Komponenten

Wie im Abschnitt 3.3 bereits erwähnt, ist der RC4558 nicht für den unipolaren Betrieb geeignet. Deshalb kann die Anforderung, alle Schaltungen unipolar zu betreiben, in diesem Fall nicht erfüllt werden.

Eigenschaft	Wert	
	Simuliert	Datenblatt [1]
V_{os}	$\approx 9.4 \mu\text{V}$	0.5–6 mV
I_{bias}	≈ -139.56	150–800 nA
V_{swing}	$\approx \pm 9.8$	$\pm 10 \text{ V}$
A_{VOL}	$\approx 70 \text{ dB}$	N/A
CMRR	≈ 78.4	70–90 dB
PSRR	$\approx 99.8 \text{ dB}$	N/A
SR	≈ 1.809	1.1–1.7 V/ μs
GBWP	≈ 3.09	3 MHz

Tabelle 2: RC4558 Parameter, $V \Rightarrow \pm 15 \text{ V}$, $T_A \Rightarrow 25^\circ\text{C}$

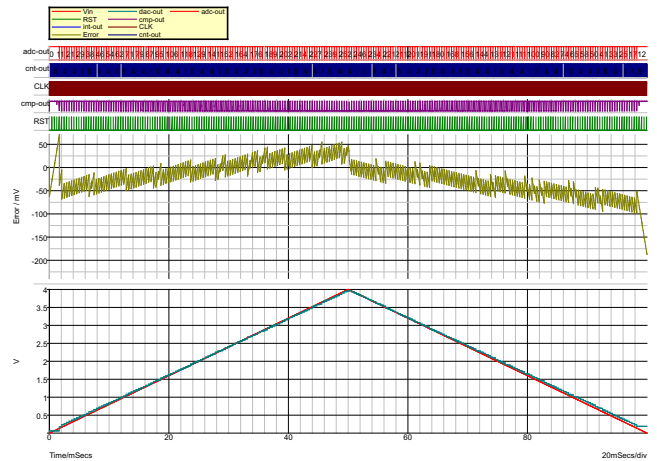


Abbildung 4: Single-slope RC4558 ADC, $T \Rightarrow 1.6 \mu\text{s}$, $V_{in} \Rightarrow [5, 9]$

Die Versorgungsspannung wurde vorsichtshalber auf $\pm 15 \text{ V}$ erhöht, da dieser OpAmp kein Rail-To-Rail Verstärker ist und bis zu $\pm 2 \text{ V}$ Headroom aufweist.

Die Abtastrate konnte für beide Wandler-Variationen verfünffacht werden, weitere Erhöhung über den Faktor 5 hinaus führte zunächst zu einer Steigerung des Quantisierungsrauschens und im Anschluss zum Versagen - aufgrund der niedrigen Slew-Rate und zu hohen Frequenz werden wie in Abschnitt 3.2 beschrieben falsche Werte ermittelt.

Auffällig ist der Verlauf des Quantisierungsrauschens im Vergleich zu den niedriger getakteten Pendanten aus Abschnitt 3.2: Im Falle des single-slope Wandlers, verändert sich der Verlauf sehr stark, wie in Abb. 4 zu sehen ist, und weist einen zum Eingangssignal proportionalen Quantisierungsfehler auf, ähnlich wie der idealisierte dual-slope Wandler.

Der dual-slope Wandler hingegen weist, abgesehen vom Offset und der höheren Frequenz, ein zur idea-

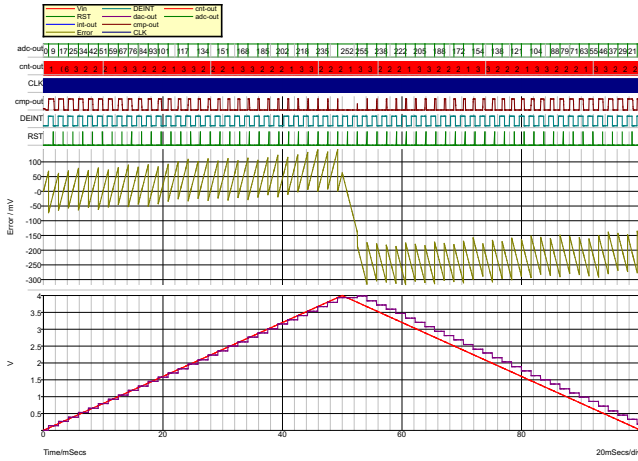


Abbildung 5: Dual-slope RC4558 ADC, $T \Rightarrow 3.2\mu s$, $V_{in} \Rightarrow [5, 9]$

lisierten Variante nahezu unverändertes Quantisierungsrauschen auf. Dieses ist in Abb. 5 dargestellt.

4 Fazit

Im Aufbau mit idealisierten Komponenten verhält sich der single-slope Wandler wesentlich besser als der dual-slope Wandler: Das Quantisierungsrauschen ist niedriger, und die Abtastrate ist doppelt so hoch. Simuliert man allerdings mit Modellen realer Komponenten, so kehrt sich die Situation um. Daraus werden die Vorteile eines dual-slope-ADC ersichtlich, nämlich die Kompensation möglicher Komponententoleranzen durch einen Deintegrationsschritt.

Der Aufbau behandelt keine Überschreitung der Eingangsspannung. Dies hat eine Aufnahme zu niedriger Werte zur Folge. Denkbar wäre es, beim Überlauf des Zählers den Maximalwert ins Register zu übernehmen, falls der Komparator keine Überschneidung signalisiert hat.

Den Komparatorausgang direkt als Clock-Eingang für das Register zu verwenden kann gefährlich sein, da die Ausgangsspannung durchaus prellen könnte (Slew-Rate Überschwinger). Möglich wäre es, den Komparator um einen Schmitt-Trigger[2] mit einer zur Abtastfrequenz passenden Hysterese zu erweitern bzw umzuwandeln.

5 Anhang

5.1 Analyse des LT1800 Modells

Der LT1800 ist ein Präzisionsverstärker, hat einen Rail-To-Rail Ein- und Ausgang, und ist insbesondere für Signalverarbeitung gedacht, dazu gehören auch A/D Wandler. Die zulässige Versorgungsspannung liegt zwischen 2.3 V und 12.6 V, jedoch werden nur 3 Bereiche empfohlen: 0–3 V, 0–5 V und ± 5 V. Die Simulation ergab vielversprechende Ergebnisse, diese entsprechen weitestgehend dem Datenblatt [3], wie in Tabelle 3 dargestellt.

Eigenschaft	Bedingung	Wert	
		Simuliert	Datenblatt [3]
V_{os}		$\approx 241.85 \mu V$	150 μV –0.7 mV
I_{bias}	$V_{cm} = 1 V$	≈ -2.39	25–350 nA
I_{bias}	$V_{cm} = V_s$	≈ 547.4	400–1500 nA
$V_{swinglow}$	$I = 0 mA$	≈ 13	12–50 mV
$V_{swinghigh}$	$I = 0 mA$	≈ 22	16–60 mV
$V_{swinglow}$	$I = 5 mA$	≈ 12.9	80–160 mV
$V_{swinghigh}$	$I = 5 mA$	≈ 80.1	120–250 mV
$V_{swinglow}$	$I = 20 mA$	≈ 12.9	225–450 mV
$V_{swinghigh}$	$I = 20 mA$	≈ 249	450–850 mV
A_{VOL}		≈ 98.5	35–85 dB
CMRR		≈ 85.8	85–105 dB
PSRR		≈ 86.2	80–97 dB
SR		≈ 24.3	13–25 V/ μs
GBWP		≈ 90.1	40–80 MHz

Tabelle 3: LT1800 Parameter, $V \Rightarrow 5 - 0V$, $T_A \Rightarrow 25^\circ C$

5.2 Messverfahren LT1800

Zur besseren Nachvollziehbarkeit der Ergebnisse folgt in diesem Kapitel eine Beschreibung der notwendigen Simulationsschritte.

Slew rate

Datei: *LT1800 - slew rate*

1. Die Kurve „VOut“ auswählen
2. Measure \rightarrow More Functions... \rightarrow Rise Time 10%-90% (auto)
3. $SR = 3 V \cdot 80\% \cdot \frac{1 \mu s}{t_{rise}}$

Input bias current

Datei: *LT1800 - input bias current*

1. Die Kurven „I(bias)“ auswählen
2. Measure → Mean

Input offset voltage

Datei: *LT1800 - voffset*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurve „VOffset“ auswählen
2. Measure → Mean

CMRR

Datei: *LT1800 - cmrr*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurven V_{cm} und V_{offset} auswählen.
2. Measure → More Functions... → Peak To Peak $\Rightarrow 2\hat{V}_{cm}$
3. $CMRR = 20 * \log_{10} \frac{2\hat{V}_{cm}}{2\hat{V}_{offset}}$

PSRR

Datei: *LT1800 - psrr*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurven V_{dd} und V_{offset} auswählen.
2. Measure → More Functions... → Peak To Peak $\Rightarrow 2\hat{V}_{dd}$
3. $PSRR = 20 * \log_{10} \frac{2\hat{V}_{dd}}{2\hat{V}_{offset}}$

Open loop gain

Datei: *LT1800 - olgain*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurve *Gain* auswählen.
2. Measure → Maximum

Gain bandwidth product

Datei: *LT1800 - unity gain bandwidth*

1. Die Kurve *Gain* auswählen
2. Measure → More Functions... → Lowpass -3 dB (db Plot, auto) $\Rightarrow f_{3dB}$
3. $GBP = A \cdot f_{3dB} = 10 \cdot f_{3dB}$

Voltage swing

Datei: *LT1800 - voltage swing*

1. Die Kurven $V_{outRL=100G}$, $V_{outRL=10k}$, $V_{outRL=2k}$ auswählen. $R_L = 100\text{ G}\Omega$ simuliert den Leerlauf.
2. Measure → Minimum $\Rightarrow V_{min}$
3. Measure → Maximum $\Rightarrow V_{max}$
4. $V_{swing,lo} = |V_{ss} - V_{min}|$
5. $V_{swing,hi} = |V_{dd} - V_{max}|$

5.3 Messverfahren RC4558

Zur besseren Nachvollziehbarkeit der Ergebnisse folgt in diesem Kapitel eine Beschreibung der notwendigen Simulationsschritte.

Slew rate

Datei: *RC4558 - slew rate*

1. Die Kurve „VOut“ auswählen
2. Measure → More Functions... → Rise Time 10%-90% (auto)
3. $SR = 500\text{ mV} \cdot 80\% \cdot \frac{1\mu\text{s}}{t_{rise}}$

Input bias current

Datei: *RC4558 - input bias current*

1. Die Kurve „I(bias)“ auswählen
2. Measure → Mean

Input offset voltage

Datei: *RC4558 - voffset*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurve „VOffset“ auswählen
2. Measure → Mean

CMRR

Datei: *RC4558 - cmrr*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurven V_{cm} und V_{offset} auswählen.
2. Measure → More Functions... → Peak To Peak
⇒ $2\hat{V}_{cm}$
3. $CMRR = 20 * \log_{10} \frac{2\hat{V}_{cm}}{2\hat{V}_{offset}}$

PSRR

Datei: *RC4558 - psrr*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurven V_{dd} und V_{offset} auswählen.
2. Measure → More Functions... → Peak To Peak
⇒ $2\hat{V}_{dd}$
3. $PSRR = 20 * \log_{10} \frac{2\hat{V}_{dd}}{2\hat{V}_{offset}}$

Open loop gain

Datei: *RC4558 - olgain*

Hier wurde ein erweitertes Messverfahren [4] verwendet.

1. Die Kurve $Gain$ auswählen.
2. Measure → Maximum

Gain bandwidth product

Datei: *RC4558 - unity gain bandwidth*

1. Die Kurve $Gain$ auswählen
2. Measure → More Functions... → Lowpass -3 dB
(db Plot, auto) ⇒ f_{3dB}
3. $GBP = A \cdot f_{3dB} = 10 \cdot f_{3dB}$

Voltage swing

Datei: *RC4558 - voltage swing*

1. Die Kurven $V_{outRL=100G}$, $V_{outRL=10k}$, $V_{outRL=2k}$ auswählen. $R_L = 100 \text{ G}\Omega$ simuliert den Leerlauf.
2. Measure → More Functions... → Peak To Peak
⇒ $2\hat{V}$
3. $V_{swing} = \pm \frac{2\hat{V}}{2}$

Abbildungsverzeichnis

1	Single-slope ADC ($T = 15.625 \mu\text{s}$)	3
2	Single-slope ADC ($T = 16 \mu\text{s}$)	3
3	Dual-slope ADC	4
4	Single-slope RC4558 ADC	4
5	Dual-slope RC4558 ADC	5

Tabellenverzeichnis

1	Ideale OPAMP Parameter	2
2	RC4558 Parameter	4
3	LT1800 Parameter	5

Literatur

- [1] (Okt. 2014). RC4558, Dual General-Purpose Operational Amplifier, Texas Instruments Incorporated, Adresse: <http://www.ti.com/lit/ds/symlink/rc4558.pdf> (besucht am 25.08.2017).
- [2] (Nov. 2002). Using Schmitt Triggers for Low Slew-Rate Input, Actel Corporation, Adresse: https://www.microsemi.com/document-portal/doc_view/130021-ac161-using-schmitt-triggers-for-low-slew-rate-input-app-note (besucht am 07.09.2017).
- [3] (2009). LT1800, 80 MHz, 25 V/ μs Low Power Rail-to-Rail Input and Output Precision Op Amp, Linear Technology Corporation, Adresse: <http://cds.linear.com/docs/en/datasheet/1800fa.pdf> (besucht am 24.08.2017).
- [4] B. Baker. (19. Feb. 2014). Measuring amplifier DC offset voltage, PSRR, CMRR, and open-loop gain, Adresse: <http://www.edn.com/electronics-blogs/bakers-best/4428555/Measuring-amplifier-DC-offset-voltage--PSRR--CMRR--and-open-loop-gain> (besucht am 25.08.2017).