（1）通项公式为，递归算法的形式化描述为

int f(int n)

{

if (n<=0)

return 0;

if (n==1)

return 1;

return fb(n-1)+fb(n-2);

}

多项式时间复杂度算法形式化描述为

int non\_recursive\_method(int n)

{

int p = 0;

int q = 1;

int tmp；

if (n == 0)

return p;

if (n == 1)

return q;

else{

for(int i = 3; i < n; i++){

tmp = p;

p = q;

q = tmp + q;

}

return q;

}

}

（5）控制部分的设计思路为从n的最高位到最低为送入移位寄存器的最右侧到最左侧。~clear接入移位端，时钟端接入处理过的clock信号与clear信号相或，保证clear信号输入时有工作脉冲。使用计数器计算时钟脉冲，将结果与6比较，clk为该结果与clock相与，若时钟脉冲小于6，clock才有效。D触发器时钟端接clock，清零端接clear，输入端D为n当前最高位与结果Q相或，在接收到n的最高位1之后start一直为1，直至下一个clear信号使start=0。

显示部分设计思路为将32位二进制数除以1000000000，得到的商为十进制的最高位，余数为下一次的被除数；用被除数除以100000000，得到的商为十进制的下一位位，余数为下一次的被除数；以此类推，依次除以10000000，1000000，100000，10000，1000，100，10，1，得到最后的结果。

主模块电路图如下：

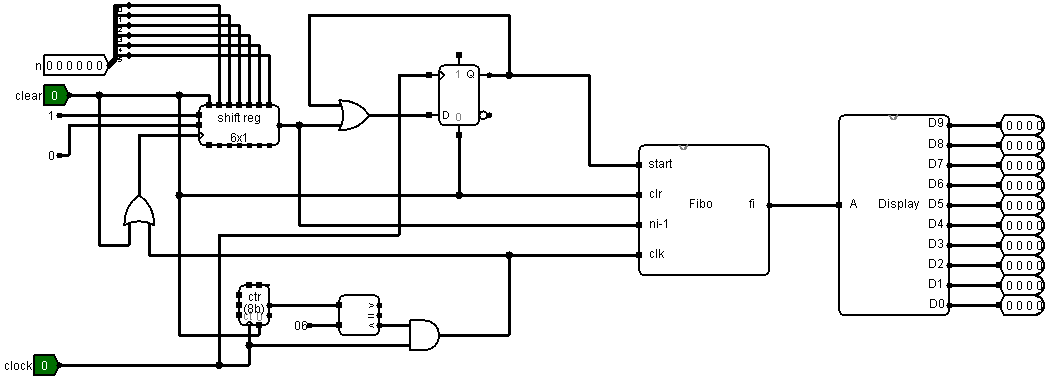


表6.1 实验结果记录表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Input n | clear | 1st clock | 2nd clock | 3rd clock | 4th clock | 5th clock | 6th clock | After  6th clock |
| 2 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 5 | 0 | 0 | 0 | 0 | 1 | 1 | 5 | 5 |
| 10 | 0 | 0 | 0 | 1 | 1 | 5 | 55 | 55 |
| 17 | 0 | 0 | 1 | 1 | 3 | 21 | 1597 | 1597 |
| 25 | 0 | 0 | 1 | 2 | 8 | 144 | 75025 | 75025 |
| 32 | 0 | 1 | 1 | 3 | 21 | 987 | 2178309 | 2178309 |
| 44 | 0 | 1 | 1 | 5 | 89 | 17711 | 701408733 | 701408733 |
| 45 | 0 | 1 | 1 | 5 | 89 | 17711 | 1134903170 | 1134903170 |
| 46 | 0 | 1 | 1 | 5 | 89 | 28657 | 1836311903 | 1836311903 |
| 47 | 0 | 1 | 1 | 5 | 89 | 28657 | 2971215073 | 2971215073 |