**实验二**

一、实验目的

1. 进一步学习multisim仿真软件的操作
2. 学会使用multisim对时序逻辑电路进行仿真分析

二、实验内容

1. 验证JK触发器的逻辑功能
2. 利用74LS160N的置数方式设计九进制计数器

三、实验步骤

**1. JK触发器仿真测试**

(1) Jk触发器

触发器有两个基本特性：一是它有两个稳定的状态，可分别用来表示二进制数码0和1；二是在输入信号作用下，触发器的两个稳定状态可相互转换，输入信号消失后，已转换的稳定状态可长期保持下来，这使得触发器能够记忆二进制信息。

74LS112D是一个带有预置和清零输入，且下降沿触发的JK触发器，具有置0、置1、保持和翻转的功能，其芯片引脚如图1所示。

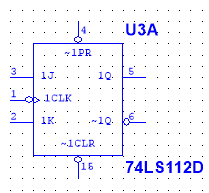


图1 74LS112D芯片引脚图

PR为异步置1端。

CLR为异步置0端。

CLK为时钟脉冲输入端。

J、K为输入端。

Q、~Q为输出端。

表1 74LS112D的功能表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | 输出 | | 功能说明 |
| CLR | PR | J | K | CP | Qn+1 | ~Qn+1 |
| 0 | 1 | x | x | x | 0 | 1 | 异步置0 |
| 1 | 0 | x | x | x | 1 | 0 | 异步置1 |
| 1 | 1 | 0 | 0 | 1 | Qn | ~Qn | 保持 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 置0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 置1 |
| 1 | 1 | 1 | 1 | 1 | ~Qn | Qn | 翻转 |
| 1 | 1 | x | x | 1 | Qn | ~Qn | 保持 |
| 0 | 0 | x | x | x | 1 | 1 | 不允许 |

其中Qn表示原态，Qn+1表示次态。

(2) 器件选取

电源和地：选择Sources组下的POWER\_SOURCES，选取元器件列表下的VCC电源和DGND地。

时钟信号：Sources->DIGITAL\_SOURCES->DIGITAL\_CLOCK。

逻辑探头：在Indicators->PROBE。

JK触发器：Place TTL->74LS，选取74LS112D。

逻辑开关：在Basic->SWITCH，选取SPDT和PB\_DPST开关。

逻辑分析仪XLA1。

(3) 仿真分析

放置器件进行如图2所示电路连接，利用时钟信号和按键式开关PB\_DPST串联实现手动式式脉冲，按一次按键，提供一个时钟信号，用SPDT开关给J、K提供输入信号。将置位端CLR和PR设置为高电平状态下，按照功能表验证JK触发器的功能。

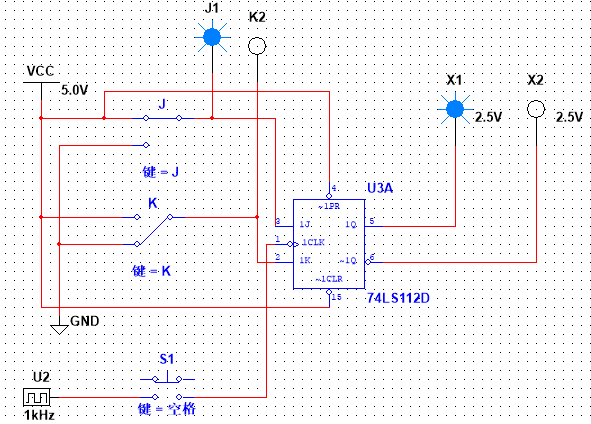


图2 JK触发器仿真电路图

将按键式开关PB\_DPST去掉，把时钟信号连接在CLK上，置J、K为高电平，使用逻辑分析仪连接时钟信号和输出端，将逻辑分析仪设置合理的时钟频率，对波形进行采集分析，如图3。

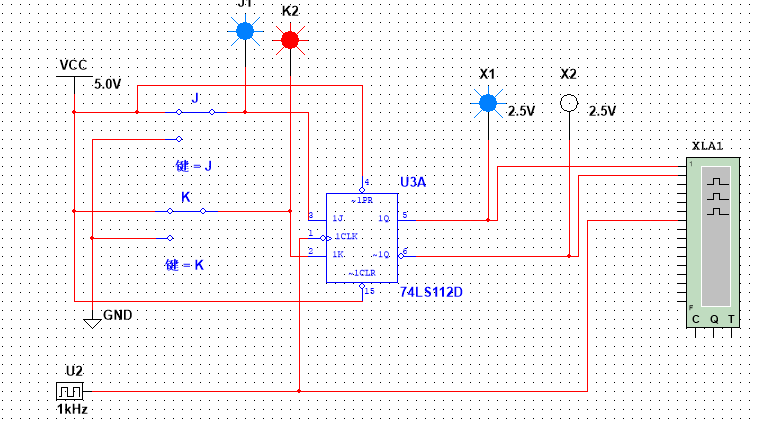


图3 信号仿真电路

**2. 九进制计数器仿真测试**

（1）74LS160N

74LS160N是集成十进制同步加法计数器，具有异步清零端和同步置数端，图4是74LS160N的芯片引脚图。

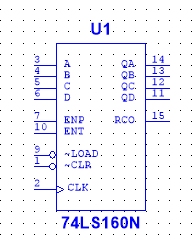


图4 74LS160N的芯片引脚图

其中A、B、C、D用于输入数据；ENP和ENT为功能控制引脚；LOAD为预制计数初值引脚；CLR为清零引脚；CLK为时钟脉冲引脚；QA、QB、QC、QD为计数输出引脚；RCO为计数的进位输出引脚。

表2 74LS160N的功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 清零 | 预置 | 使能 | | 时钟 | 预置数据输入 | | | | 输出 | | | | 工作模式 |
| CLR | LOAD | EP | ET | CP | D | C | B | A | QD | QC | QB | QA |
| 0 | x | x x | | x | x x x x | | | | 0 0 0 0 | | | | 异步清零 |
| 1 | 0 | x x | | 1 | d3 d2 d1 d0 | | | | d3 d2 d1 d0 | | | | 同步置数 |
| 1 | 1 | 0 x | | x | x x x x | | | | 保持 | | | | 数据保持 |
| 1 | 1 | x 0 | | x | x x x x | | | | 保持 | | | | 数据保持 |
| 1 | 1 | 1 1 | | 1 | x x x x | | | | 十进制计数 | | | | 加法计数 |

利用置数方式设计九进制计数器

利用置数方式将十进制计数器74LS160N设置为九进制，具体步骤是，保留计数序列0000~1000这9个状态，利用与非门对第9个输出状态1000译码，产生置数控制信号，并送至LOAD端，置数的输入数据为0000。这样，在下一个时钟脉冲上升沿到达时，计数器置入0000状态，使计数器按九进制计数。

（2）器件选取

电源和地：选择Sources组下的POWER\_SOURCES，选取元器件列表下的VCC电源和DGND地。

时钟信号：Sources->DIGITAL\_SOURCES->DIGITAL\_CLOCK。

集成计数器：Place TTL->74LS，选取74LS160N。

与非门的选取：TTL->74LS->74LS03D。

数码显示管：Place Indicators->HEX\_DISPLAY，选取DCD\_HEX数码显示管。

逻辑分析仪XLA1。

（3）仿真分析

放置器件进行连接，将ENT和ENP使能端接电源置为高电平，将CLR清零端和LOAD预置端也置为高电平，把时钟信号和CLK端连接，将芯片的输出端按图5所示依次连接DCD\_HEX数码显示管，将与非门的输入端连接QD端，与非门的输出端连接在LOAD端，将输入端A、B、C、D接地置为0000，将时钟信号频率设置为10HZ，点击仿真开关，观察数码显示管结果。

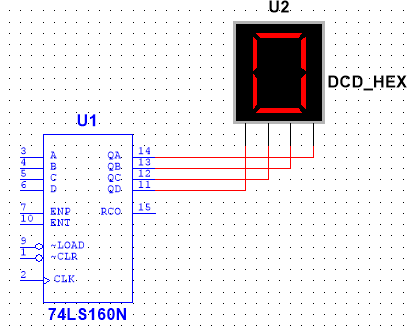


图5 数码显示管连接示意图

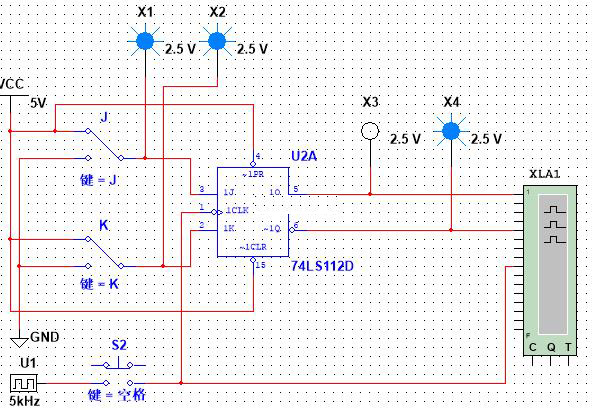
将CLK端和计数器输出端分别连接到逻辑分析仪，设置合适的时钟频率，对波形进行采集和分析。

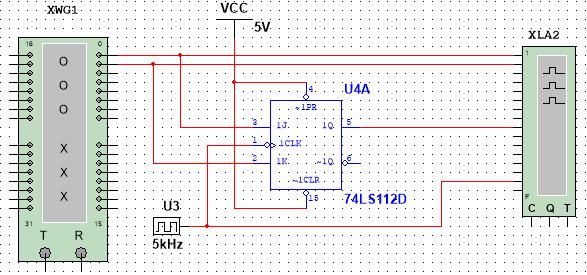
四、实验报告

1、完成JK触发器的仿真电路，采集输出波形，对结果进行分析。

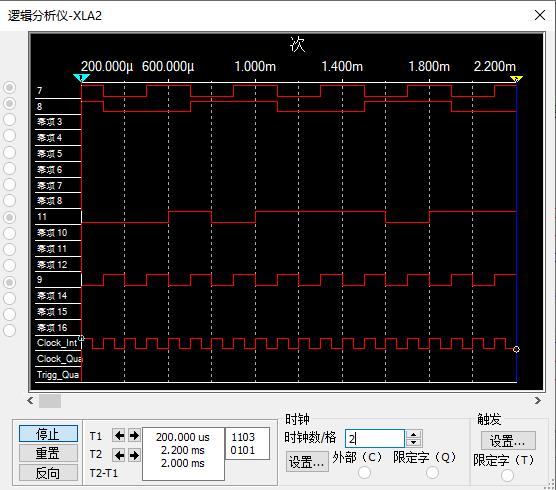
1.1仿真电路图、波形图

仿真电路图：





波形图：



1.2实验原理

JK触发器的敏感类型是时钟脉冲边沿，时钟信号为CP时是脉冲上升沿敏感。但74LS112D中对时钟信号是取反，所以电路图中应当是对脉冲下降沿敏感。当时钟脉冲信号处于下降沿时，电路图根据此时JK的信号状态决定输出信号Q的状态。

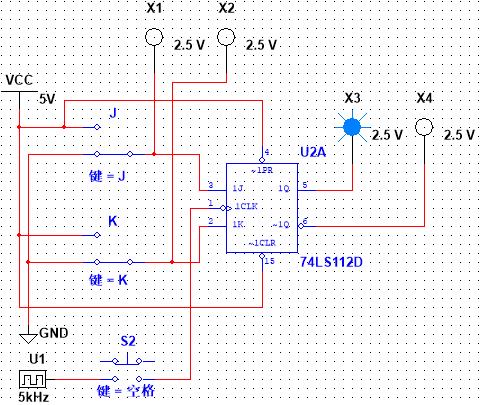
当J=K=0，输出信号Q保持原来的状态；当J=0，K=1时，输出信号Q设置为0；当J=1，K=0时，输出信号设置为1；当J=K=1时，输出信号Q进行取反操作，即原来的信号为0则此时为1，原来的信号为1则此时信号为0。

1.3实验设计思路

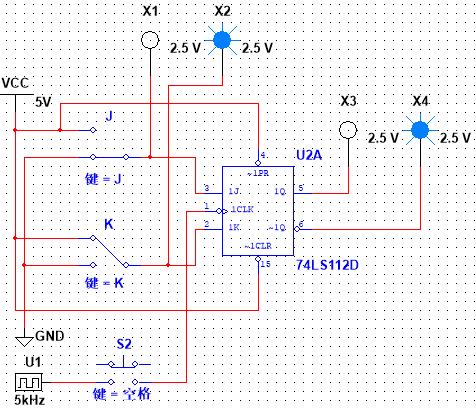
1. 先仔细阅读实验说明书，明确实验目的；
2. 实验电路图设计，先选取电路图所需要的元件，按照实验指导书的提示进行电路图连接；
3. 根据书本JK触发器的原理对电路图进行运行结果测试，检验设计正误，若正确，则下一步，否则继续进行电路图调整；
4. 利用字发生器和逻辑分析仪对电路图进行重新设计，以此获得电路运行的波形图；
5. 对电路图进行优化美观设计。

1.4运行测试及分析

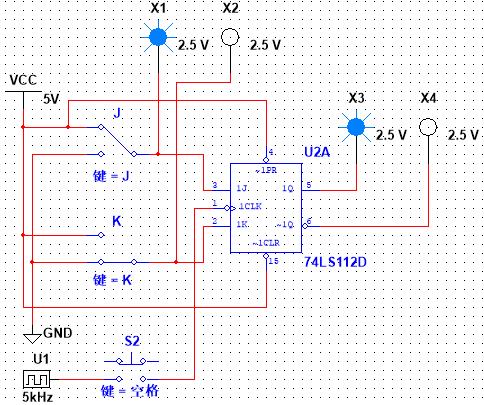
1. J=K=0，按下空格键，时钟信号变换，Q信号保持之前的状态；



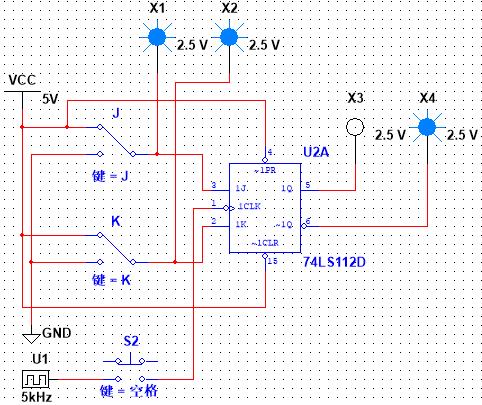
1. J=0，K=1，按下空格键，时钟信号变换，Q信号置“0”；



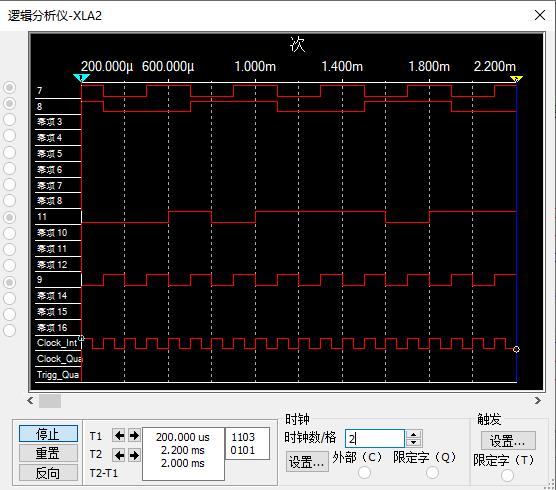
1. J=1，K=0，按下空格键，时钟信号变换，Q信号置“1”；



1. J=K=1，按下空格键，时钟信号变换，Q信号进行翻转，与原来的信号取反。



对实验电路图进行实际测试，逻辑探头能够进行正确变化，测试结果无误。



实验电路的波形图分析，图中前四根线条依次代表信号J、K、Q、CP，当CP第一次处于下降沿时，JK信号都为0，所以Q信号保持不变；CP第二次处于下降沿时，J=1，K=0，Q信号置“1”；CP第三次处于下降沿时，J=0，K=1，Q信号置“0”；CP第四次处于下降沿时，J=K=1，Q信号进行翻转，即取反。

1.5总结

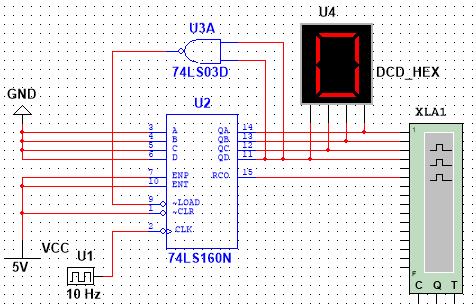
JK触发器的实验原理并不复杂，主要是对时钟脉冲沿变化时根据此时JK信号以及Q原来的信号进行调整就好了。

在实验过程中，波形图之前一直不对，主要是CP信号的那条线不对，所以导致波形图也不好分析，然后慢慢对电路图进行改变设计，不过却并没有什么用，最后发现是频率问题，频率不合适即会发生CP一直置“0”或者其他错误情况。

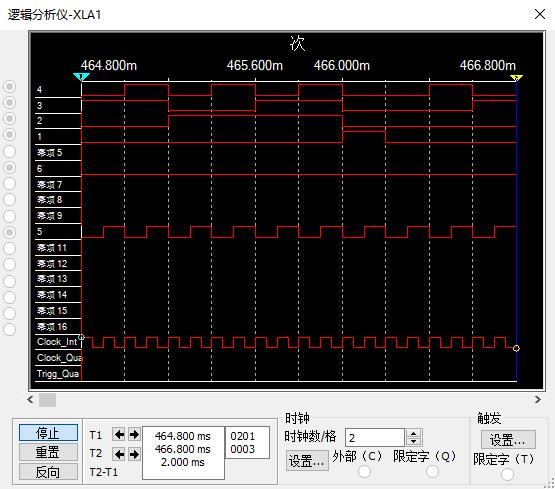
2、完成利用74LS160N设计九进制计数器功能的仿真电路，截取工作波形图，对仿真结果分析总结。

2.1仿真电路图、波形图

仿真电路图：



波形图:



2.2实验原理

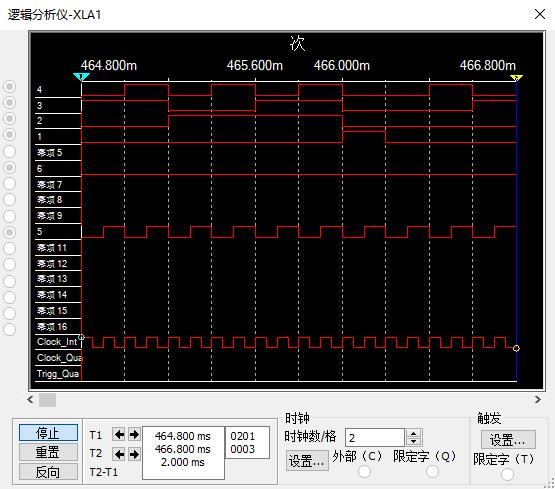
本实验利用十进制计数器修改为九进制计数器，即在数码显示管的信号为1000时接下来就置“0”，也就是在显示数字8后就显示数字0，所以只需要检测QD的信号为1时将其转化为0然后令计数重新开始即可。

2.3实验设计思路

1. 仔细阅读实验指导书，了解实验目标；
2. 进行实验电路设计，选取适当的元件，按照提示并结合自己的理解分析连接各个元件；
3. 运行测试结果，再对波形图进行分析；
4. 实验电路图优化设计。

2.4运行测试及分析

电路运行结果正确，可以从陆续显示0-8，在显示8之后重新回到0，也就是完成了九进制计数器功能的任务要求。



对波形图进行分析，时钟信号处于下降沿时，数码显示管的信号会进行改变，依次可以从0000变化到1000，也就是显示0-8，当信号为1000时，根据题目要求接下来将从0开始，波形图与预期结果相一致。所以，整个电路设计符合题目要求即九进制计数器。

2.5总结

本实验的难点在于对数码显示器及74LS160N元件的功能理解，之前一直不怎么知道如何在数码显示器的信号为1000时转化为0000，在这里就卡了很久，后来查阅资料以及与同学谈论得知，只需要检测QD端信号，将其为“1”时转化“0”，然后该信号赋给LOAD，之后数码显示器就会回归到预制计数初值，也就是之前设置好的0000，所以此题在理解这个问题后就是一个很简单的目标明确的选取元件完成信号转化并赋给指定信号位的问题了。