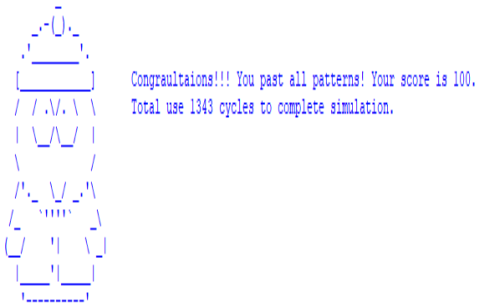
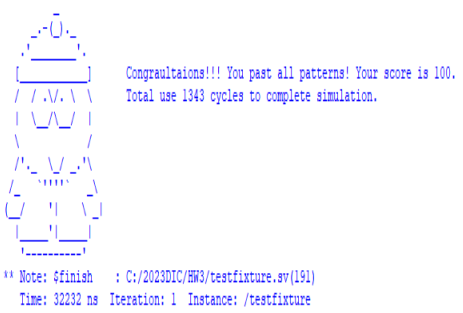
2023 Digital IC Design Homework 3

NAME	陸啟倫
Student ID	N26114950

Simulation Result

Functional simulation	100	Gate-level simulation	100





Synthesis Result

Total logic elements	856
Total memory bits	0
Embedded multiplier 9-bit elements	1
Total cycle used	1343
Clock width	24

Flow Status	Successful - Sat Apr 08 00:40:58 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	AEC
Top-level Entity Name	AEC
Family	Cyclone IV E
Device	EP4CE55F23A7
Timing Models	Final
Total logic elements	856 / 55,856 (2 %)
Total registers	207
Total pins	19 / 325 (6 %)
Total virtual pins	0
Total memory bits	0 / 2,396,160 (0 %)
Embedded Multiplier 9-bit elements	1 / 308 (< 1 %)
Total PLLs	0 / 4 (0 %)

Description of your design

這次的作業我使用了兩個 Array 來做存取，分別為 Postfix 和 Stack，前者存放後序式，後者存放運算符號。並使用了四個狀態來做控制，分別為 S0(Idle 狀態並在 Ready 訊號來時吃進第一個字元)、S1(吃進剩餘的字元，並根據字元是數字或是運算符來存放在對應的 Array)、S2(將 Stack 中的運算符號清空，並寫入 Postfix array 中)、S3(根據 Postfix array 中的字元來算出運算結果，並在計算完成的當下 cycle，拉起 valid 訊號)。以上字元若是數字，則會在存放 Array 中的當下，將 ascii 編碼轉換成對應的數字存在 array 中。但若是運算符，則維持 ascii 編碼，並存入 Array 中。並在 S3 時，再根據編碼來完成對應的運算。值得注意的是在 S1 狀態時，若吃到右括號，則需要優先處理存在 Stack 中的運算符，持續 Pop 出 array 中的運算符號到 Postfix 中，直到看到左括號為止。

*Scoring = Area cost * Timing cost*

*Area cost = Total logic elements + Total memory bits + 9*Embedded multipliers 9-bit elements*

*Timing cost = Total cycle used * Clock width*

*** Total logic elements must not exceed 1500.**