

2020 年新工科联盟-Xilinx 暑期学校团队项目 策划书

填表说明

一、申报表要按照要求逐项认真填写，填写内容必须实事求是表述准确严谨。空缺项要填“无”。

二、表格栏高不够可增加。

三、填报者须注意页面的排版。

项目名称					
申请人或申请团队		姓名	学校名称	院系专业	学号
	组长	招梓枫	东南大学	仪器科学与工程学院	22017327
	成员	王睿彪	东南大学	仪器科学与工程学院	22017110

一、项目简介（成员已具备的能力介绍，项目内容、预期结果等，要求 300---500 文字阐述）

成员介绍：

组长，招梓枫，对 FPGA 和 Vivado 工具有一定的了解，通过前期学习对 AZPR 架构及其移植有一定的了解；组员，王睿彪，对 SEA board 有一定了解，Verilog 语言使用较为熟练。

项目内容：

在 SEA 上复现 RISC 处理内核并演示。开发环境基于 Vivado2018.2，尝试将 RISC 处理内核移植到 SEA 开发板上。内核主要有 timer, IO_reg, distribute, ALU, ROM, decoder 几个部分。掌握处理器在功能仿真阶段和 FPGA 上板验证的典型方法与内容，熟悉处理器在 FPGA 板上的实现方法与编程方法，使用 mlab 编写 C 语言程序生成 hex 文件，转化为 coe 格式后载入 vivado 中，下载上板进行测试，通过 C 语言的代码实现流水灯功能。

预期结果：

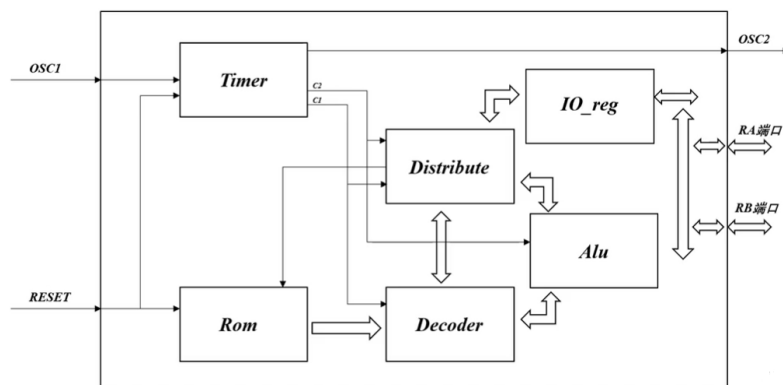
将 RISC-V 处理器内核移植至 SEA 板上，学会手动编写 MCU 的 RTL 代码，了解 MCU 的体系结构，使用 MCU 运行 C 语言编写的代码，学会搭建 MCU 内核验证平台。

二、项目技术方案

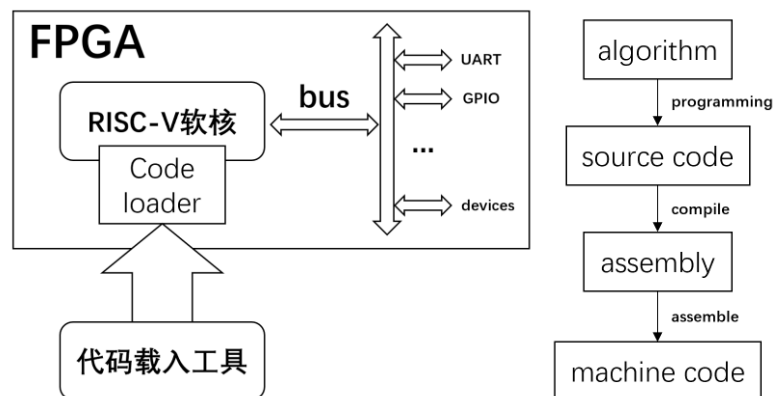
请介绍项目的技术方案，如使用到的知识点、项目框图等

技术方案概览：

5 个核心模块：timer, IO_reg, distribute, ALU, ROM, decoder



基于 RISC 内核的 CPU 验证。使用 MPLAB 编写 c 语言源程序，经过编译的到 hex 文件。将源程序编译得到的 hex 文件转为 Vivado 中 ROM 所需的 .coe 格式。得到 .coe 文件，在 Vivado 中通过引用该文件来初始化 ROM。Vivado 工程 Synthesis 后进行 Bitstream Generation，并将 bitstream 文件通过 SD 卡转移到 SEA 板上对 FPGA 进行烧录。



知识点：

FARM (基于 FPGA+RISC 的嵌入式系统开发模式)、ISA (指令集架构)、RISC (精简指令集)、SoC (片上系统)

三、项目时间进度规划（人员分工与每天的计划）

第一天——查资料，招梓枫/王睿彪

第二天——分模块读代码、硬件约束代码，招梓枫/王睿彪

第三天——仿真测试，招梓枫/王睿彪

第四天——上板测试，招梓枫/王睿彪

第五天——尝试拓展更多功能，招梓枫/王睿彪

四、项目 Github 地址

请队长为你的项目提前创建 Github 仓库，以便于组队协同设计。请在 Readme 中介绍为 2020 年新工科联盟-Xilinx 暑期学校（Summer School）项目。

https://github.com/zzFon/RISC_on_FPGA

五、老师点评