

# 数字逻辑与处理器基础实验

2024夏·绪论

王锐、张超

2024年6月29日



# 本讲提纲

- 1.综合实验要求
  - 1.1实验内容
  - 1.2外设控制
  - 1.3性能分析
- 2.时间节点
  - 2.1答疑时间
  - 2.2现场验收时间
  - 2.3实验报告提交时间
- 3.评分规则
  - 3.1现场验收评分
  - 3.2实验报告评分
  - 3.3“龙芯杯”相关评分
- 4.总结

# 本讲提纲

- 1.综合实验要求
  - 1.1实验内容
  - 1.2外设控制
  - 1.3性能分析
- 2.时间节点
  - 2.1答疑时间
  - 2.2现场验收时间
  - 2.3实验报告提交时间
- 3.评分规则
  - 3.1现场验收评分
  - 3.2实验报告评分
  - 3.3“龙芯杯”相关评分
- 4.总结

## 1.1 实验内容

- 夏季学期1-3周，占32学时，以下内容二选一完成即可
- (1) 将春季学期理论课上设计的MIPS处理器改进为**流水线结构**，并利用此处理器和理论课汇编语言大作业中的任意一种算法，完成**排序**任务。
  - 要点：
    - 外设的设计
    - 流水线中冒险和数据关联问题
    - 测试验证和性能分析
- (2) 使用**数字逻辑电路**求解**排序**问题（任选算法），针对硬件实现的特点进行优化，并和在**单周期MIPS**处理器上求解同一问题作比较。（**起评分70分**）
  - 要点：
    - 对**两种实现方式**进行比较：资源消耗、求解时间、实现灵活性等

## 1.1实验内容-设计要求

- 设计一个 5 级流水线的 MIPS 处理器，建议采用如下方法解决竞争问题：
  - a)采用完全的 forwarding 电路解决数据关联问题。
  - b)对于 Load-use 类竞争采取阻塞一个周期+Forwarding 的方法解决
  - c)对于分支指令在 EX 阶段判断（提前判断也可以），在分支发生时刻取消 ID 和IF 阶段的两条指令。
  - d)对于 J 类指令在 ID 阶段判断，并取消 IF 阶段指令。
- 指令集
  - 空指令：nop (0x00000000,即sll \$0,\$0,0)
  - 存储访问指令：lw, sw, lui
  - 算术指令：add, addu, sub, subu, addi, addiu
  - 逻辑指令：and, or, xor, nor, andi, sll, srl, sra, slt, sltu, sltiu
  - 分支和跳转指令：beq, blez, bgtz, bltz 和 j、jal、jr、jalr
  - 其他指令可以根据情况自行添加。

## 1.1 实验内容-测试数据

- 测试数据

- 测试数据格式参照理论课汇编作业要求
- 测试数据长度应不小于20个正整数

- 测试数据的输入和输出

- 基本要求

- 写在汇编指令文件中或者对RAM进行initial初始化
- 将排序结果，由小到大，以16进制的形式显示到数码管
- 每个数据保持1秒，41A8，3AF2（合理利用小数点表示16进制）

- 提高要求

- 使用UART串口输入数据，数据分隔方式自定
- 将排序结果，由小到大，用UART串口输出，保持4N个byte分别代表N个正整数（00 00 41 A8，00 00 3A F2）
- 注意大小端变化，便于阅读

- 现场验收有可能会要求临时修改部分数值

Address	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
00000000	14	00	00	00	A8	41	00	00	F2	3A	00	00	DA	AC	00	00
00000001	2B	0C	00	00	83	B7	00	00	C9	DA	00	00	D9	8E	00	00
00000002	FF	09	00	00	44	2F	00	00	4E	04	00	00	99	98	00	00
00000003	56	3C	00	00	8D	12	00	00	E3	D8	00	00	B4	D4	00	00
00000004	48	37	00	00	18	39	00	00	12	41	00	00	99	C3	00	00
00000005	55	49	00	00	+											

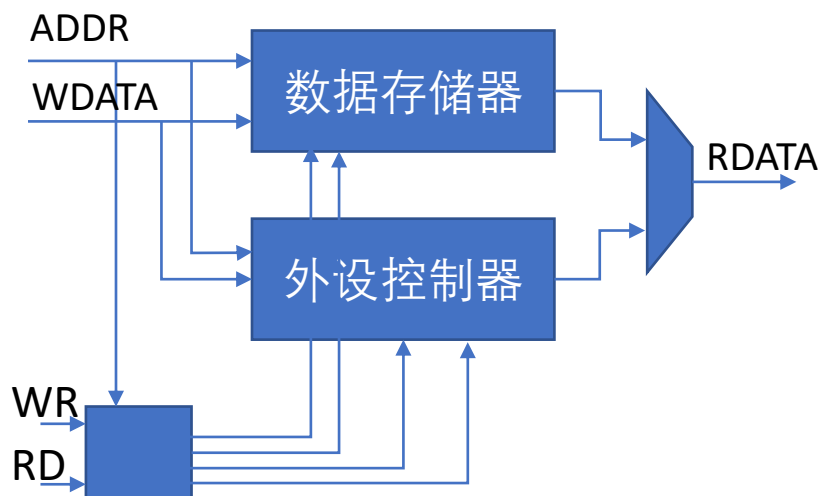
输入文件“a.in”为小端的二进制文件，其内容为  $4 \times (N + 1)$  个 byte，其中最开始的4 byte为正整数N（ $N \leq 1000$ ），N为待排序数据个数。接下来4N个byte分别为N个正整数（每个正整数占据4 byte，且皆小于 $2^{16}$ ）

## 1.2外设控制-存储

### • 地址空间

- 哈弗结构：指令地址空间和数据地址空间是分离的
- 指令存储器采用ROM实现
- 数据地址空间包括数据存储器、外设等
- 数据存储器采用RAM实现，其地址分配如下表

地址范围（字节地址）	功能
0x00000000~0x000007FF	数据存储器
0x40000010	七段数码管
0x40000018~20	UART（选做）



## 1.2外设控制-七段数码管

- 外设寄存器读写，控制数码管
- 合理利用小数点显示十六进制数

### 读外设寄存器

地址范围 (字节地址)	功能	描述
0x40000010	七 段 数 码 管	0bit: CA 1bit: CB ..... 7bit: DP 8bit: AN0 9bit: AN1 10bit: AN2 11bit: AN3

```

if(rd) begin
    case(addr)
        32'h40000010: rdata <= {20'b0,digi};
        default: rdata <= 32'b0;
    endcase
end
    
```

### 写外设寄存器

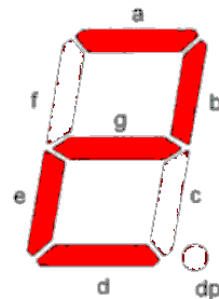
```

if(wr) begin
    case(addr)
        32'h40000010: digi <= wdata[11:0];
    endcase
end
    
```



## 1.2外设控制-七段数码管软件编程

- 不使用译码器等模块完成数字显示
- 软件操作提示：



- ① 将测试数据导入RAM
- ② 完成排序算法
- ③ 在数码管上依次显示排序结果（用软件方式译码显示）  
在数码管最低位上显示数字2为例：

对数字2，g到a查表可以得到1011011，AN0=1，其他为0。因此向0x40000010地址写入0x015B即可。

可以利用人眼视觉暂留效应，使用软件延时，每位显示1ms，轮流显示各位数字

使用软件延时，1秒后，切换下一个数字，由小到大显示排序结果，16位正整数，可省略00 00的显示。

Bit	11	10	9	8	7	6	5	4	3	2	1	0
对应管脚	AN3	AN2	AN1	AN0	dp	g	f	e	d	c	b	a
值	0	0	0	1	0	1	0	1	1	0	1	1

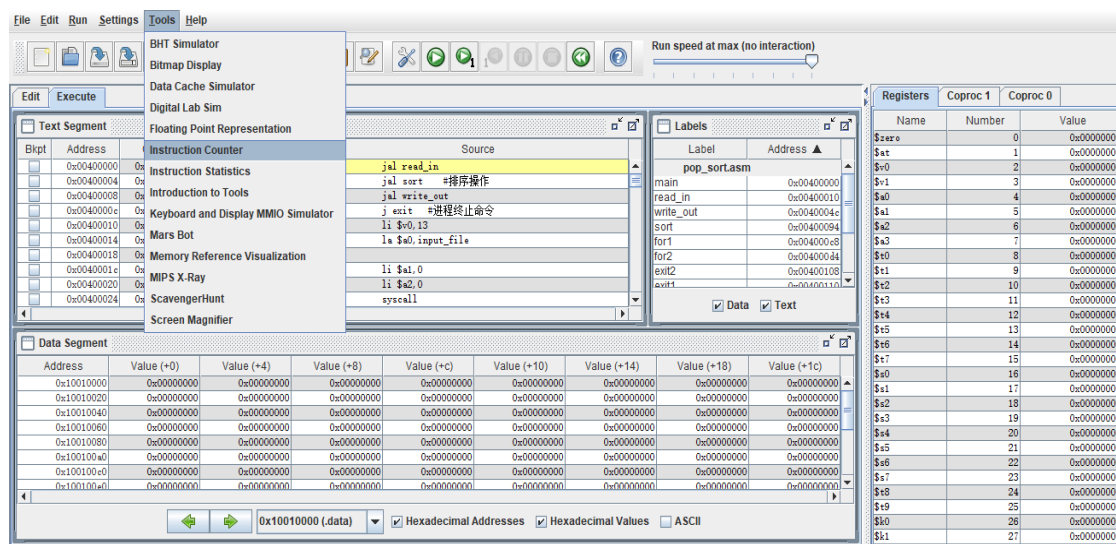
## 1.2外设控制-UART串口

- 选做内容，参考春季实验三

地址范围	功能	备注
0x40000018	串口发送数据UART_TXD	串口发送数据寄存器，只有低8bit有效；对该地址的写操作将触发新的UART发送
0x4000001C	串口接收数据UART_RXD	串口接收数据寄存器，只有低8bit有效
0x40000020	串口状态、控制UART_CON	2bit：发送状态，每当UART_TXD中的数据发送完毕后该比特置‘1’，当执行对该地址的读操作后，将自动清零 3bit：接收状态，每当UART_RXD中已经接收到一个完整的字节时该比特置‘1’，当执行对该地址的读操作后，将自动清零 4bit：模块状态，0-发送模块处于空闲状态，1-发送模块处于发送状态

## 1.3性能分析-验证及CPI

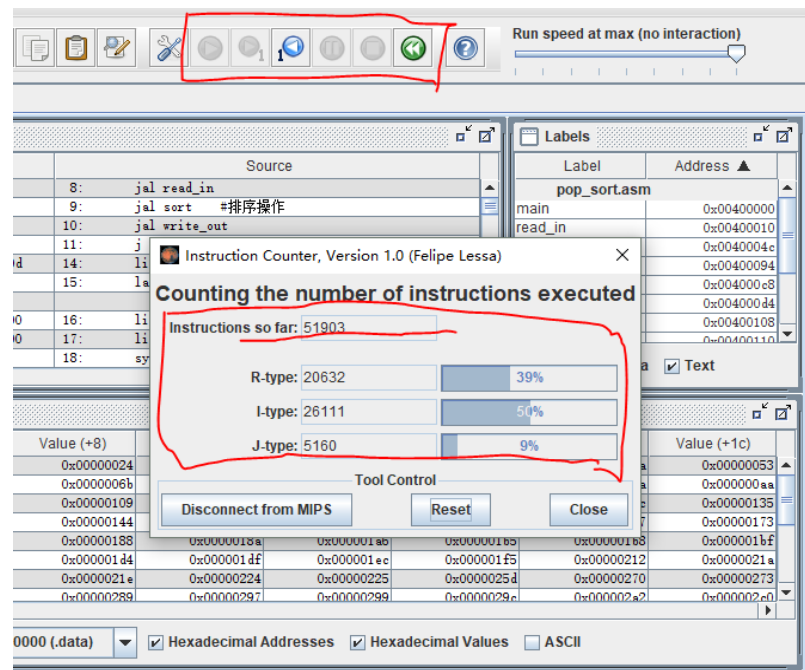
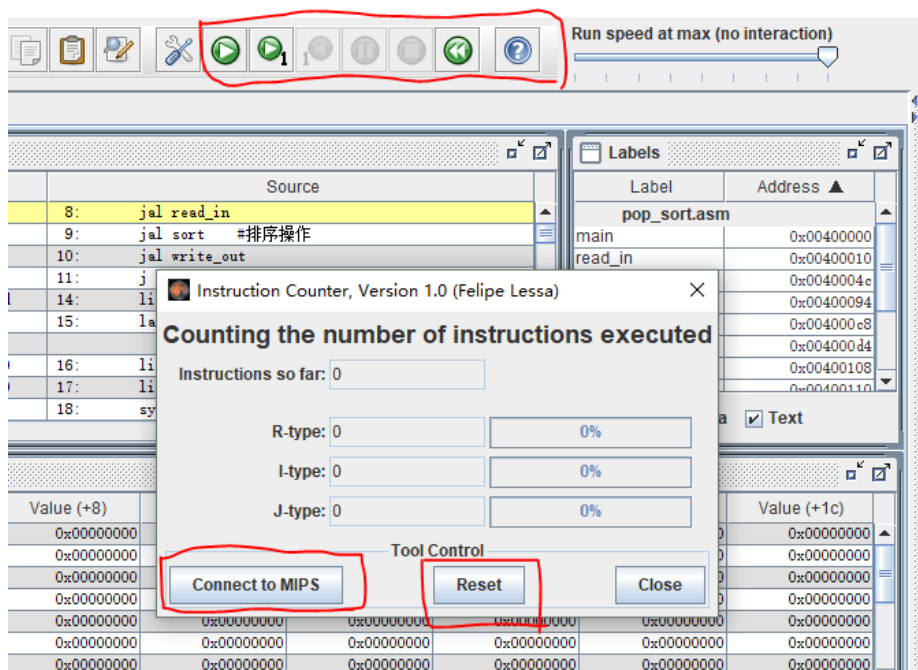
- 使用MARS等仿真器确定完成选定排序算法所执行的指令总数N，通过Verilog代码仿真确定完成算法所消耗的时钟周期数C，计算平均执行一条指令所需要的时钟周期数  $CPI = C/N$ ，并根据时钟频率计算平均每秒执行指令数目
- 指令数统计方法
  - (1) 对一个可执行的汇编程序首先进行**编译**，在执行界面选择**Tools**菜单栏，选择**Instruction counter**



## 1.3性能分析-验证及CPI

### • 指令数统计方法

- (2) 点击“**Connect to MIPS**”，如果看到的指令数不是零，可以先**reset**，然后执行汇编程序，指令数会随着程序执行变换，支持设置断点，读出 **Instruction so far**就是程序运行到指定位置的执行的指令数，或者直接到程序运行结束，统计总指令数。



## 1.3性能分析-调试及最高工作频率

- 时钟频率：流水线主频以时序报告中的**implement时序分析**为准，你的设计很可能不能正常工作在100MHz的时钟频率下，注意对输入时钟进行分频或者利用锁相环IP，使时钟频率接近但不超过最高工作频率。
- 软件调试：可以先在MIPS的软件仿真器中进行简单仿真，初期也可以利用软件仿真器将汇编代码转换为机器码，我们的指令兼容于标准MIPS32指令集
- 设计时应当考虑LUT、寄存器等资源消耗情况，并对流水线和单周期（多周期）的资源消耗对比进行分析，但资源消耗情况不是对设计进行评分的主要因素

# 本讲提纲

- 1.综合实验要求
  - 1.1实验内容
  - 1.2外设控制
  - 1.3性能分析
- 2.时间节点
  - 2.1答疑时间
  - 2.2现场验收时间
  - 2.3实验报告提交时间
- 3.评分规则
  - 3.1现场验收评分
  - 3.2实验报告评分
  - 3.3“龙芯杯”相关评分
- 4.总结

## 2.1答疑时间

- 课堂1（王锐）
  - 7月3日， 5日， 10日， 12日
  - 夏季学期第一周第二周， 周三周五
  - 下午1:30-3:05
  - 主楼916机房
- 课堂2（张超）
  - 7月2日， 4日， 9日， 11日
  - 夏季学期第一周第二周， 周二周四
  - 下午1:30-3:05
  - 主楼916机房

### 2.2现场验收时间

- 课堂1（王锐）
  - 7月17日，18日，19日
  - 夏季学期第三周，周三到周五
  - 下午1:30-5:00
  - 主楼916机房
- 课堂2（张超）
  - 7月17日，18日，19日
  - 夏季学期第三周，周三到周五
  - 上午8:30-12:00
  - 主楼916机房
- 线上验收（暂定7月19日19:00）
- 延迟验收（暂定9月2日14:00，需预先锁定代码）
- 补验收时间另行通知，扣30%的验收分数

提前验收有加分

需邮件提交正当理由，如实践，交换等



### 2.3实验报告提交时间

- 实验报告应在**8月4日23:59**前提交到网络学堂
- 报告迟交扣30%的报告分数
- 实验报告内容包括：实验目的；设计方案（原理说明及框图）；算法指令；关键代码及文件清单；仿真结果及分析；综合情况（面积和时序性能）；硬件调试情况；思想体会等。
- 明确写出CPI和最高工作频率计算过程及结果
- 报告以word或pdf文档方式完成，同时打包整个工程文件，合成一个压缩文件

# 本讲提纲

- 1. 综合实验要求
  - 1.1 实验内容
  - 1.2 外设控制
  - 1.3 性能分析
- 2. 时间节点
  - 2.1 答疑时间
  - 2.2 现场验收时间
  - 2.3 实验报告提交时间
- 3. 评分规则
  - 3.1 现场验收评分
  - 3.2 实验报告评分
  - 3.3 “龙芯杯”相关评分
- 4. 总结

综合实验按百分制计分  
(有加分项可大于100)  
总分数乘以系数与春季课程成绩合并

## 3.1现场验收评分

- 流水线CPU方案现场验收评分表

考核项目	现场验收
流水线形式 CPU 完成实验内容	50
仅以单周期形式 CPU 完成实验内容	-25
未按要求以软件形式实现七段译码器译码	-10
未按时完成验收	-15
使用串口完成测试数据的输入和输出	+10
提前验收	+2or+1

## 3.1现场验收评分

- 专用电路方案现场验收评分表

考核项目	现场验收
使用专用数字电路完成实验内容	35
未按时完成验收	-10
使用串口完成测试数据的输入和输出	+10
提前验收	+2or+1

## 3.2实验报告评分

- 流水线CPU方案实验报告评分表

考核项目	实验报告
实验报告内容完整清晰	45-50
未正确报告处理器的最高工作频率	-5
未正确计算处理器的 CPI	-5
未按时提交报告	-15
最高时钟频率在前 20 名且报告完整	+10

流水线设计功能正确且最高时钟频率在前20名的同学将可获得10分加分，申请加分的同学请在8月4日前在网络学堂课程讨论区的流水线主频擂台帖子下回复相关信息，并在课程作业中，提交完整的可方便验证的工程实现代码和一份独立的优化设计说明，报告中没有相关文档则不加分。

## 3.2实验报告评分

- 专用电路方案实验报告评分表

考核项目	实验报告
实验报告内容完整清晰	30-35
未按时提交报告	-10
设计报告具有探究性且符合相关要求	+10

选择这项任务的同学，应当在“设计方法学”上多加探索，比如在并行化、内存墙、等方面进行研究，并实现验证测试，以研究论文的样式提交设计报告，报告内容详实充分，且设计方案突出数字电路特点的加10分。

### 3.3“龙芯杯”相关评分

- 根据网络学堂公告中的已报名信息确认参赛，其他同学按时完成综合实验，若放弃参赛，应按综合实验要求完成验收及报告，7月1日24点前发邮件告知老师。
- 评分细则见相关公告，如有异议可邮件或微信群讨论
- 抓紧时间，希望大家取得好成绩！

# 本讲提纲

- 1.综合实验要求
  - 1.1实验内容
  - 1.2外设控制
  - 1.3性能分析
- 2.时间节点
  - 2.1答疑时间
  - 2.2现场验收时间
  - 2.3实验报告提交时间
- 3.评分规则
  - 3.1现场验收评分
  - 3.2实验报告评分
  - 3.3“龙芯杯”相关评分
- 4.总结



## 要点总结

- 明确实验内容和时间节点
- 独立完成，避免学术不端
- 注意对比，体会不同实现方式的优缺点
  - 软件方式实现七段数码管的译码 vs. 硬件方式实现译码
  - 单周期处理器和流水线处理器的在性能、消耗资源等方面的差异
  - 通过设计约束，在电路层面可以获得一些性能/面积上的设计空间。比如加大晶体管尺寸，用超前进位加法器代替行波进位加法器等方法可以牺牲面积获取性能，但是这种优化是有极限的。要拓展设计空间，就需要在架构方面进行探索。

电路->器件->系统

