

实验五

基于 FPGA 的 PN 码序列产生器设计

实验目的：

在熟悉Quartus基本操作、Verilog编程语言的基本规则、SignalTap的基本应用后，学习伪随机码的产生原理，并利用Verilog语言编写伪随机码产生器。

预备知识：

1. DE2-115 的基本使用方法；
2. Verilog 语言基础知识；
3. 伪随机码的基本原理

实验环境：

1. 实验人数 50 人，每 2 人一组，每组两台电脑
2. 电脑 50 台

实验内容：

利用Verilog语言编程，在FPGA中产生两路伪随机码，通过改变其中一路伪随机码的初相，验证PN码的特性，体会直接序列扩频通信系统的基本特点。

实验原理：

1. 扩频通信

香农公式是扩频通信的理论依据，其指出了带宽、信噪比和信道容量三者之间的关系，表达式为：

$$C=B\log_2(1+S/N)$$

式中：C 表示的是信道容量，B 表示信道带宽，S 表示信号功率，N 表示噪声功率，S/N 为信噪比。

在实际应用中，信道中的噪声并不是设计者可控制的，噪声通常是由信道环境所确定的。上式表明，如果信道容量 C 固定时，信道带宽 B 和信噪比 S/N 有着互换关系，当信噪比下降的时候，可以加大带宽来维持，使其保持不变。基于这一原理，扩频通信在发送端利用扩频码序列去扩展需要传输的信号的频谱，使原来的信号由窄带信号变成宽频带信号（扩频），在接收端用相应的方法把信号由宽频带变回原来的窄带信号（解扩）。由于扩频通信中所用的扩频函数（一般为伪随机序列）的速率要比原始的信息速率高很多，这就使得扩展频谱后的信号带宽要比原来信号的带宽大很多。

这种系统具有很多优点：低检测概率，能在背景噪声中很隐蔽的传输信

号，适用于保密性要求高的军事通信；很强的抗多径干扰能力；提供多址接入，允许多个用户共享频带资源。

直接序列扩频通信是目前应用较为广泛的一种扩频方式，其原理框图如图 1 所示，在发射端，经过调制与信息数据与伪随机码序列相乘，实现扩频调制，扩频调制之后进行载波调制，最后通过发射机把信号发射出去。在接收端，对接收到的信号先进行混频处理，然后再进行解扩和解调，以提取发送端发送的信息。

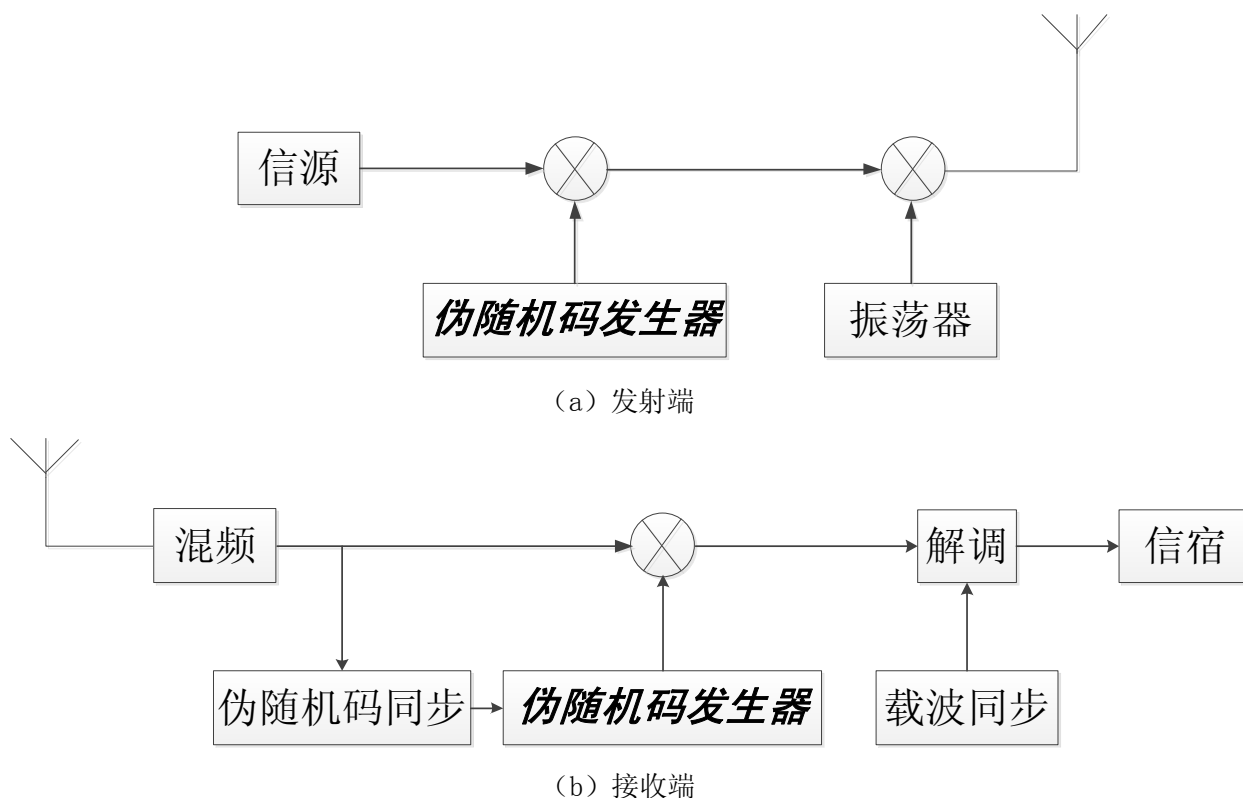


图 1. 直接序列扩频原理框图

2. 扩频序列编码

从上图可以看到，在扩频通信系统中，不论是发送端还是接收端，均需要设计一个伪随机码发生器，这就是本次试验需要设计并验证的内容。

在扩频通信系统中，所使用的扩频码都是伪随机码。理论上讲，使用具有白噪声特性的随机信号作为扩频码是最理想的，但是随机信号无法复制，无法实现解扩。在实际应用中，一般都是通过伪随机序列来模拟白噪声，并且把它当作扩频通信中的扩频码，这也就是伪随机码被叫做PN码的原因（Pseudo-Noise Code）。扩频通信使用的伪随机序列有以下几个特点：

- 自相关函数具有尖锐峰值；
- 互相关函数应该尽可能接近于零；
- 码周期足够长，这样针对不知道扩频码的非合作方来说具有很强的保密性和抗干扰性；

- 码的数量足够多，这样可以提供对多个用户的区分能力，实现码分多址的要求。
- 在工程应用中应该容易产生和控制。

码是由伪随机序列与合适的波形结合而得到的，下面讨论用于扩频系统的伪随机序列的产生方法及它们的特性。

2.1 m序列

m序列又称为最长线性反馈移位寄存器序列。由于m序列的产生结构比其它的伪随机序列简单，再加上学者们对它的研究也比较早，理论知识比较成熟，因此它是使用最多的一种伪随机序列。如图2是一个级线性反馈移位寄存器。其中 a_0, a_1, \dots, a_{n-1} 是移位寄存器的状态，也叫做码产生器的**初相**，每个寄存器的取值为0或者1。在系统时钟的驱动下，每级移位寄存器的状态从左向右移动，成为下一级状态。

c_0, c_1, \dots, c_{n-1} 为移位寄存器的反馈系数，也叫做码产生器的**生成多项式**，用来控制各级寄存器的接通与断开，当c为1时表示连通，为0时表示断开，加法器采用模2加法。反馈移位寄存器产生的序列取决于反馈系数，产生的二值序列的值为：

$$\{a_n\} = c_1 a_{n-1} + c_2 a_{n-2} + \dots + c_n a_0$$

反馈系数 c_i 一旦确定，产生的序列就确定了，其最大周期为 $2^n - 1$ 。

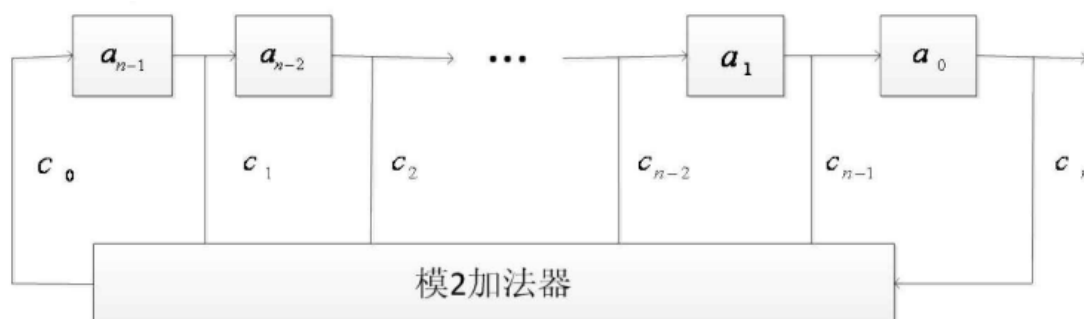


图2. n位线性反馈移位寄存器

2.2 Gold序列

m序列自相关特性良好，但是其互相关特性不好，且可用于产生m序列的本原多项式较少，在一些要求地址码多的系统中m序列就很难满足要求。Gold序列是由两个可以组成优选对的m序列构成。Gold序列的自相关特性优良，互相关特性也很好，同时它所能产生的地址码的数目比m序列要多很多。因此，Gold序列成为了一种常用的伪随机序列。

产生 Gold 码序列可以将两个m序列的移位寄存器并联再进行模 2相加。图为并联 Gold 码产生器的逻辑图。我们在本次实验中需要设计验证的就是Gold序列。

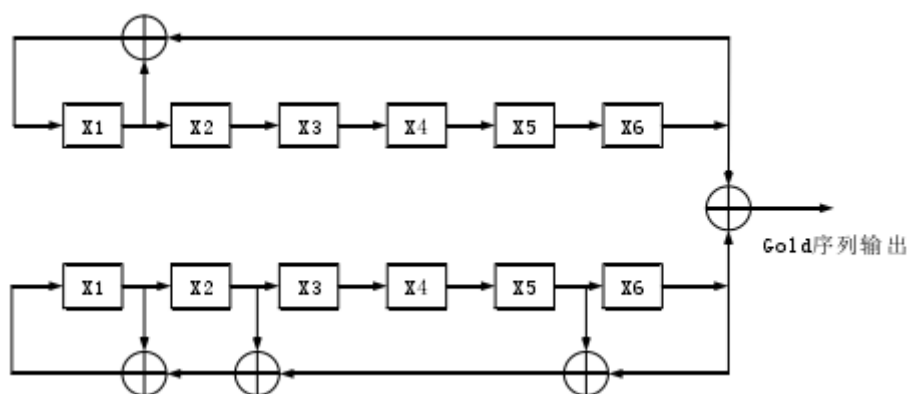


图3. Gold序列产生原理框图

2.3 M序列

M序列又称为最长非线性移位寄存器序列，与m序列相比，M序列的发生器也是由多级移位寄存器构成的，但是在m序列中这些寄存器是线性的，而在M序列中这些寄存器是非线性的。M序列的产生可以根据m序列的结构来实现。因为m序列已经包含了全部的非0状态，只是少了一个全0的状态，所以，通过m序列来产生M序列时，只需要在合适的位置上插入一个0，让它变成全0状态就可以了。这样就可以将长度为 2^n-1 的m序列变成长度为 2^n 的M序列。与同阶数的序列相比，M序列的数目要多得多，甚至和Gold序列相比，当阶数较高时，M序列的数目也占有优势，M序列是作为多址接入码的良好选择。M序列的自相关函数不具有双值特性，和m序列相比，其相关函数旁瓣振荡较大。

3. 扩频通信的应用领域

- 移动通信领域：例如美国高通公司的 CDMA 通信方式。
- 军事电台；
- 卫星通信。

PN 码产生器设计实验步骤：

1. 启动系统生成器, 生成 project, 创建 PLL 使用 50MHz 作为系统钟, 5MHz 作为码钟；
2. 构建 PN_1023_gen_1 模块，验证生成的序列码型，此码序列参数如下；
 - 码生成多项式码：407；
 - 初相：1023
 - 截短长度：1023

Verilog代码文件为：PN_1023_gen_1.v.

根据图2所示的移位寄存器原理图，我们可以用同样的方式描述PN_1023_gen_1.v的PN码产生器原理框图，如图3所示：

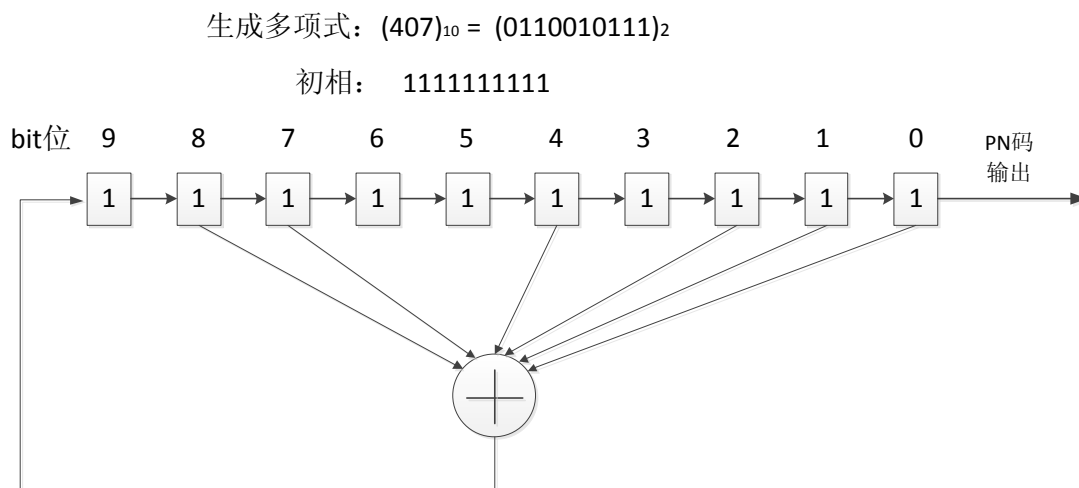


图4. 1023位m序列产生器原理框图

如果利用原理图的方式，可以选择移位寄存器设计码产生器如下图所示：

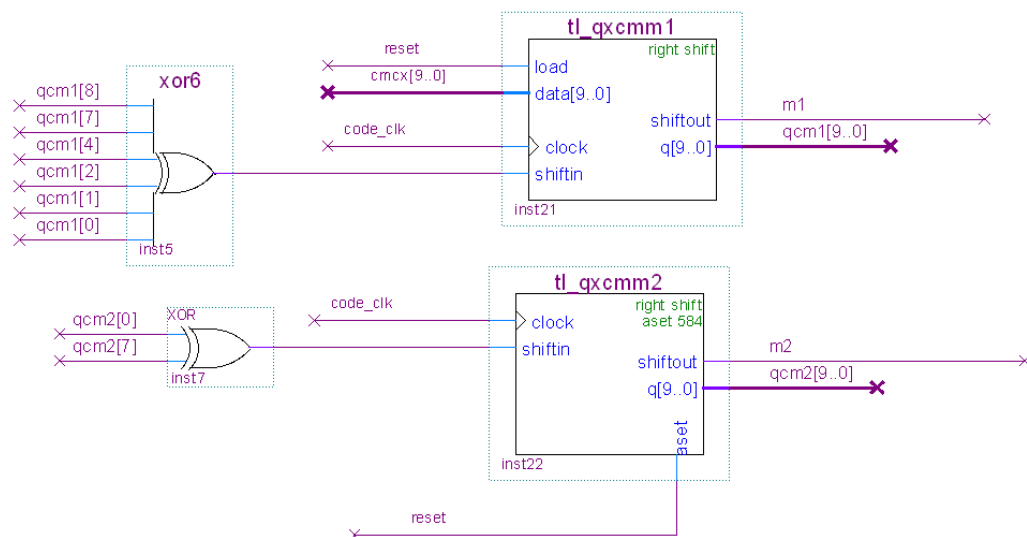


图5. 1023位m序列产生器原理图方式输入顶层文件

3. 在理解 PN_1023_gen_1 模块的基础上构建新的 PN 码序列产生模块，要求如下，并验证生成的序列码型；
 - 码生成多项式码: 129;
 - 初相: 584
 - 截短长度: 1023
4. 按照图 4 的方法，将两个模块输出的 m 码序列进行模二加，得到 Gold 码序列，并验证码型；
5. 复制一个相同的 Gold 码产生器，仅将第一个 m 序列产生器的初相改为 1022，试与前一个 Gold 码产生器生成的码型做比较，可将二者进行异或。体会 PN 码的多址特性和保密传输特性。结构框图如下图所示。

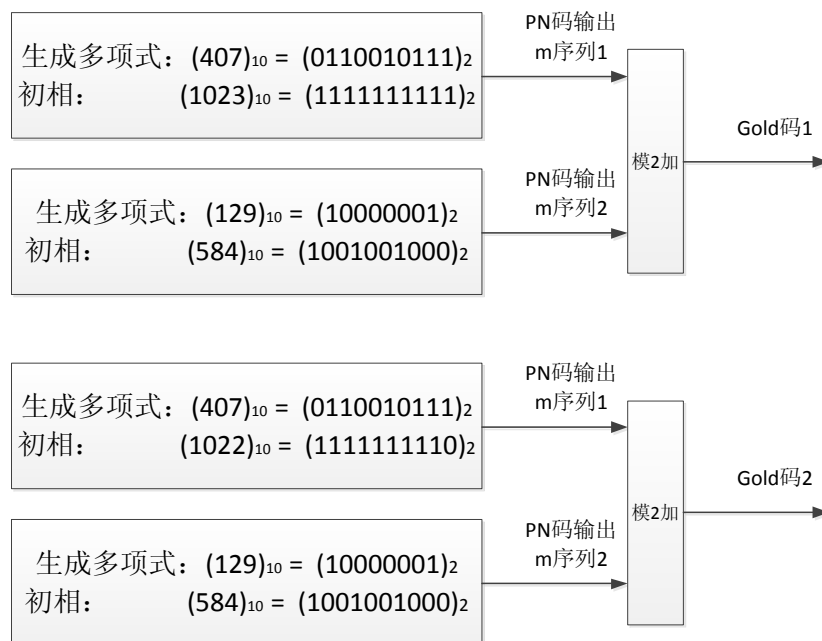


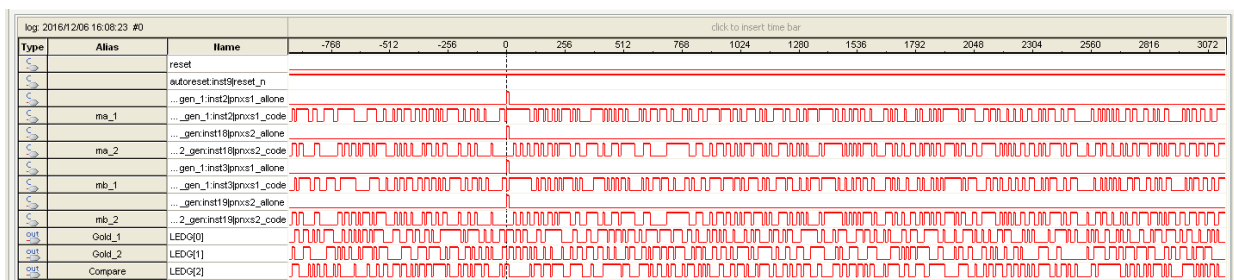
图 6. 更改初相观察 PN 码生成的变化

6. 利用 signalTap 调试、验证关键功能。

实验报告:

1. 简述实验步骤;
2. 在实验原理部分简单描述各模块的流程图;
3. 画出“生成多项式码: 129、初相: 584”的 m 序列产生器原理框图;
4. 提交“生成多项式码: 129、初相: 584”的 m 序列 verilog 代码;
5. 提交顶层设计截图;
6. 利用 SignalTap 分析重点时序;

时序分析图如下图，在报告中对时序进行解释。



7. 对本次实验做出心得体会。