

实验六

基于 FPGA 的数字 DDS 设计

实验目的：

在熟悉Quartus基本操作、Verilog编程语言的基本规则、SignalTap的基本应用后，学习数字频率直接合成（DDS）的基本原理，并利用Verilog语言、Quartus模块编写伪随机码产生器。

预备知识：

1. DE2-115 的基本使用方法；
2. Verilog 语言基础知识；
3. 数字频率直接合成的基本原理

实验环境：

1. 实验人数 50 人，每 2 人一组，每组两台电脑
2. 电脑 50 台

实验内容：

利用Verilog语言、在Quartus软件中，使用LPM模块、IPcore等模块，在FPGA中设计一种数字频率直接合成器。可以通过改变DDS的初值，改变系统时钟得到工程需要的不同频率信号源。利用SignalTap验证DDS生成的信号频率，并将之与sin表的查找表文件比较。

实验原理：

1. 频率合成技术简介

所谓频率合成技术指的是将一个或者多个具有高稳定度和高精度的频率参考源，经过混频、倍频或者分频等处理，得到具有同样稳定度和精确度的所需要频率。

早在 20 世纪 30 年代，频率合成理论便已经形成，早期主要代表器件有可控晶体振荡器。这种频率合成器需要通过手动切换开关来输出频率，石英晶体的稳定度和准确度决定了输出频率的稳定度和精度。此后出现了采用多个晶体振荡器产生所需频点的合成方法，与可控晶体振荡器相比，这种方法使用的晶体振荡器数量要少，成本要低。

随着电子技术的发展和通信领域对频率的精度和稳定度的要求的提高，出现了一种非相干频率合成技术。非相干频率合成指的是使用一个参考源产生与参考源具有相同的精确度和稳定度的频率的技术。主要有四种实现方法：

直接频率合成技术、间接频率合成技术、直接数字频率合成技术与混合式频率合成技术。

1) 直接频率合成技术

直接频率合成理论是指使用一个或多个参考频率源经过谐波发生器产生各次谐波，然后经过分频、倍频、混频滤波等处理产生所需要的各个频点。这种方法产生的波形具有：相位噪声小、频率转换时间短、工作频段宽等优点。但是直接频率合成技术使用了大量的分频器、倍频器、混频器，电路比较复杂、成本较高、设备笨重，并且容易产生杂散，因此应用范围并不是很广。

2) 间接频率合成技术

间接频率合成又被称为锁相频率合成，根据反馈原理产生频率步进，采用锁相环技术，输出高稳定度频率。锁相环理论早在1929年就被提出来，但是直到20世纪50年代第一次被使用于电视接收机水平和垂直的同步扫描。锁相环就相当于一个窄带跟踪滤波器，对杂散有很好的抑止作用，但是频率转换时间比较长，且在单环的情况下频率分辨率也不是很好。

3) 直接数字频率合成技术

直接数字频率合成 (Direct Digital Frequency Synthesis 即 DDS, 一般简称 DDS) 是从相位概念出发直接合成所需要波形的一种新的全数字频率合成技术。1971 年, 美国学者 J. Tierney, C. M. Rader 和 B. Gold 提出一种采用数字技术从相位概念出发, 直接合成所需波形的频率合成原理。限于当时的数字技术和器件工艺水平, 直接数字频率合成的性能指标还无法与已有的频率合成技术相比, 所以未能受到重视。近年来, 数字技术和器件工艺水平不断的得到发展和提高, 直接数字频率合成得到了快速发展, 在频率转换、分辨率、相位连续性、正交输出以及集成化等方面的性能都超越其他频率合成技术所能达到的水平, 为电子系统提供了高质量频率源。但是直接数字频率合成也存在一些难以克服的缺点, 如: 杂散指标差, 输出频率较低。

4) 混合式频率合成技术

混合式频率合成是综合不同合成技术的优点, 将多种频率合技术混合使用的方法, 常用的混合方案有直接数字频率合成与锁相频率合成混合方案。直接数字频率合成的优点是频率分辨率高、频率转换快、相位连续, 缺点是输出频率低, 杂散比较大。锁相频率合成的优点是频率比较高, 对信号杂散的分量能有效抑制, 缺点是分辨率不够, 频率转换慢。可见, 二者具有互补性, 将这两种技术结合起来, 充分利用各自的优点, 可以输出宽频带、高分辨率、低杂散和低相噪的频率。

综上所述，目前常使用的频率合成技术各有其特点，设计者需要根据设计需求综合考虑各种频率合成技术的优缺点，制定合理设计方案。在实际应用中，主要从以下几个技术指标考虑频率合成器的优缺点：

- 1) 输出频率范围：频率范围即频率合成器的最低输出频率和最高输出频率之间的间隔。
- 2) 频率分辨率：频率分辨率又称频率步进，指的是两个相邻的输出频点之间的最小间隔。
- 3) 频率稳定度：频率稳定度是指在一定时间内，输出频率偏离标准频率的大小，分为长期稳定度和短期稳定。长期稳定度是指由于元件老化引起的元件参数变化和工作环境的变化引起的频率漂移。短期稳定度是输出频率在秒或者毫秒单位内的频率起伏，影响短期频率稳定度的主要原因是各种随机噪声。
- 4) 杂散指标：杂散指标是表示输出的频率中包含不需要的信号成分它表征频率源的输出谱的纯度。杂散的产生主要有三个因素：①外部的辐射干扰；②系统内部频率成分的辐射；③在频率合成过程中产生。
- 5) 相位噪声：相位噪声是频率稳定度的频域表示，表现为在主频两边的连续噪声。
- 6) 频率转换速度：频率转换速度是从个工作频率转换到另一个工作频率所需要的快慢的表征。

2. DDS 的原理

直接数字频率合成技术是直接从相位角度出发的一种新颖频率合成方法，其理论依据是时域抽样定理。下面以正弦信号的产生为例，说明 DDS 的基本原理。

任意频率为的正弦信号的时域表示式

$$\varphi(t) = \sin(2\pi f_0 t) = \sin \omega_0 t = \sin \theta(t)$$

如果对该正弦信号以周期 $T_c = 1/f_c$ （ f_c 为采样频率）进行采样，得到离散的波形序列

$$\varphi(n) = \sin(2\pi f_0 n T_c) = \sin \theta(n) = \sin n\Delta\theta \quad (n=0,1,2,\dots)$$

式中：

$$\Delta\theta = 2\pi f_0 T_c = 2\pi \frac{f_0}{f_c}$$

为两次采样之间的相位变化量。显然，离散波形序列的相位序列具有显著的线性，即相邻之间相位的增量是一个固定值，且这个固定值只与正弦信号的频率和采样频率的比值有关。

设信号频率 f_0 与采样频率 f_c 之间满足以下关系:

$$\frac{f_0}{f_c} = \frac{K}{M}$$

其中 K 与 M 为两个正整数, 相位增量可写为:

$$\Delta\theta = 2\pi \frac{K}{M}$$

若将 2π 量化成 M 份, 即最小量化单位为 $\sigma = \frac{2\pi}{M}$, 上式可以写成:

$$\Delta\theta = K\sigma$$

则离散相位序列的表达式为:

$$\theta(n) = nK\sigma$$

根据采样定理, 只要

$$\frac{f_0}{f_c} = \frac{K}{M} < \frac{1}{2}$$

通过 $\varphi(n) = \sin(2\pi f_0 n T_c) = \sin\theta \quad n = 0, 1, 2$ 表达的离散波形便能唯一的恢复出 $\varphi(t)$,

$$\varphi(t) = \sin\left(2\pi \frac{K}{M} f_c t\right)$$

其频率为:

$$f_0 = \frac{K}{M} f_c$$

通常取 $M = 2^N$ (M 就是 2π 的量化数字值), N 为相位累加器的字长, f_c 为累加器时钟, 上式也可以写为:

$$f_0 = \frac{K}{2^N} f_c$$

由采样定理 $\frac{f_0}{f_c} = \frac{K}{M} < \frac{1}{2}$ 可知:

$$f_0 = \frac{K}{M} f_c < \frac{1}{2} f_c$$

因此, 改变 K 的取值, 就可以改变输出信号的频率, 输出频率范围为 $\frac{1}{2^N} f_c \leq f_0 < \frac{1}{2} f_c$, 因此 K 也被称作频率控制字。

$$K = \frac{f_0}{f_c} 2^N$$

通过上述分析，不同的 K 值在时钟 f_c 产生不同的量化相位序列，将离散的相位序列转化为对应的离散幅度序列，再将这些数字波形通过数模转换和低通滤波就可以得到最终输出信号。 K 值不同，输出的信号频率也不同，这就是直接数字频率合成的基本原理。

3. DDS 的基本结构

通常所说 DDS 的一般指的查找表方法的 DDS。原理框图如图 1 所示，它主要是由系统时钟、相位累加器、波形存储器、数模转换器及低通滤波器组成。

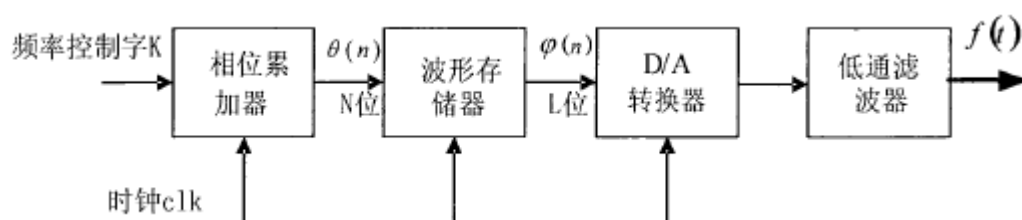


图 1. DDS 原理框图

其中 K 为频率控制字, clk 为系统时钟, N 为相位累加器的字长, L 为 ROM 幅度量化位数及 D/A 转换器的量化位数。相位累加器在时钟 clk 的控制下以步进 K 作累加, 输出的 N 位 $\theta(n)$ 为二进制码, 作为波形存储器的地址, 对波形存储器进行寻址, 波形存储器输出 L 位的幅度码 $\varphi(n)$ 经 D/A 转换器转化为阶梯波, 再经过低通滤波器滤波平滑后就得到合成的信号波形 $f(t)$ 。

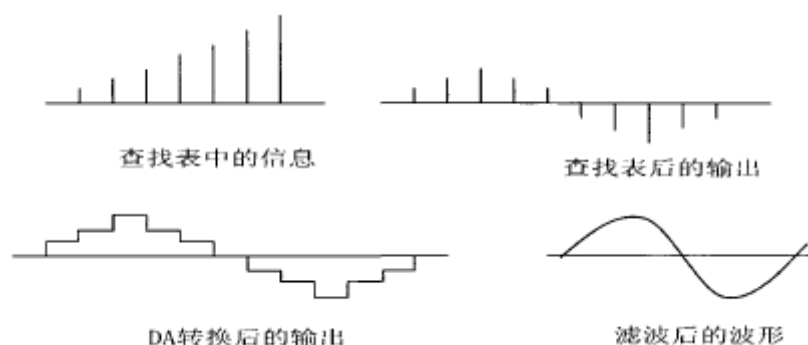


图 2. 正弦波频率合成示意图

通常，系统时钟 clk 的参考频率源是一个高稳定度的晶体振荡器，通过对其分频或者倍频等处理，产生 DDS 所需要的时钟频率。相位累加器由 N 位全加器和 N 位的寄存器构成，在系统时钟的控制下进行对频率控制字 K 的二进制码进行累加。波形存储器中存储一个完整周期的幅度，通过输入的相位

序列寻址，输出相应的波形幅度。经过 D/A 转换器变成阶梯波，再经过低通滤波平滑得到输出波形。图 2 所示为波形存储幅度输出通过 D/A 转换然后经过低通滤波最终输出正弦波的过程。合成的信号波形形状取决于波形存储器中存放的幅度码，因此用 DDS 可以产生任意波形。

1) 相位累加器

相位累加器由一个 N 位的加法器和一个 N 位的寄存器构成，是典型的反馈电路，其结构如图 3 所示。在系统时钟 clk 的控制下，加法器先将频率控制字 K 与寄存器输入的相位数值相加，然后把相加得到的相位数值再次送到寄存器中，寄存器再将新的相位数值反馈至加法器的输入端，以便在下一个 clk 时钟时继续与频率控制字 K 相加。当寄存器内的数值达到满量时，便会产生一次溢出，完成一个周期。通常情况下，累加器采用二进制，位数为 N 的累加器，其加满溢出值为 2^N 。

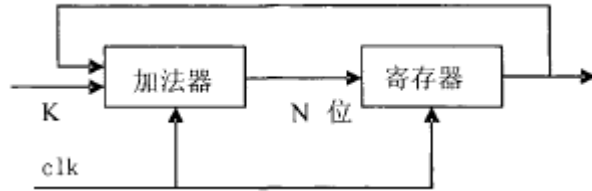


图 3. 相位累加器原理框图

相位累加器作为 DDS 核心，产生的相位递增序列为输出信号的相位信息，在系统时钟控制下，每一个系统时钟内做一次加法运算。加法运算的步进越大，相应的合成信号的相位值变化越大，输出信号的频率也就越高。当然，时钟频率越高，输出信号的频率也就越高。对于 N 位相位累加器，假设系统时钟频率为 f_c ，周期为 T_c ，频率控制字为 K，相位累加器完成一个周期溢出所需要的时间，即相位量化序列的周期为： $2^N / (KT_c)$ ，对应产生的信号频率为 $Kf_c / 2^N$ 。当 K=1 时，得到最小频率输出，即输出频率分辨率为 $\nabla = f_c / 2^N$ 。由此可见，K 值不同，相位量化序列也不同，在波形存储器 ROM 中查找出来的波形幅度序列也不相同。

相位累加器采用二进制进行计算方便、快速，但不能保证输出频率为整数，会产生一定的误差。比如，时钟频率为 10MHz，相位累加器的位数为 32，则最小输出频率分辨率为：

$$\frac{10^7}{2^{32}} \approx 0.0233\text{Hz}$$

对于要求输出频率取整数的时候，必然会引起舍入误差，从而影响输出

精度。为了尽可能的减小误差，可以采用以下方法：

- 增加累加器的位数，使得其舍入误差尽量小到能够忽略的程度。
- 调整系统时钟频率，使得输出结果为整数，不存在舍入。

当然，如果采用十进制累加器，就不存在上述问题，但是它的幅度寻址方式比较复杂，占用存储器的资源很大，并不适于普通情况下使用。目前一些厂商已经生产出采用十进制 DDS 的芯片，但是由于其资源浪费严重，只适用于特殊情况，现在市面上的产品普遍使用二进制的累加器。

2) 波形存储器

波形存储器用于存储所产生波形一个周期的数据，可设计成 ROM，也可根据产生的波形利用不同的存储器。当设计为 ROM 时，以正弦波形存储器为例，其原理结构如图 4 所示，ROM 的输入为相位累加器产生的相位量化序列，作为 ROM 的地址进行寻址。若 ROM 有 n 位地址线，则有 2^n 个存储单元，共存储正弦波形的一个周期数据。如果重复地从 $0 \sim 2^n$ 个单元读出波形 ROM 的数据，在波形数据存储器的输出端就会得到周期的正弦波。

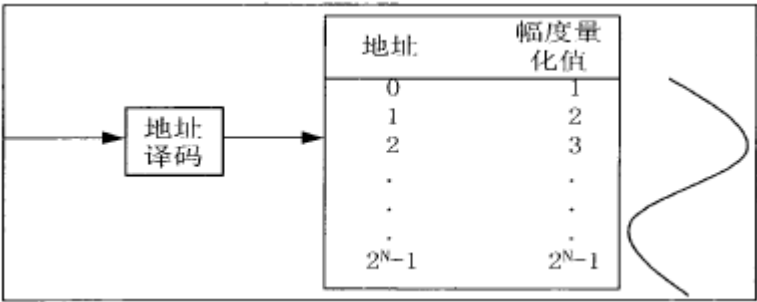


图 4. 波形存储器的结构

采用 ROM 表的形式存储的波形幅度，寻址和幅度值读取快捷方便，系统延时小。通常 ROM 表由地址位和幅度量化值两部分组成，以 $N=8$ ，DAC 量化位数 $L=8$ 的 DDS 为例，其 ROM 表结构如表 1 所示。ROM 表高 8 位为幅度寻址地址。

表 1. $N=8$ 、 $L=8$ 的 ROM 表结构

地址位数 8 位	幅度量化值 8 位
0000 0000	0000 0001
0000 0001	0000 0010
0000 0010	0000 0011
...
1111 1101	1111 1101
1111 1110	1111 1110
1111 1111	1111 1111

相位累加器输出的相位序列有 $2^8=256$ 个采样点, 所以对应的 ROM 表也有 256 个地址。ROM 表低 8 位存储的是每个采样点所对应的幅度量化值, ROM 表的幅度量化位数一般与 DAC 的量化位数一致。这样通过 ROM 查找到每一个相位点和其对应的幅度量化值, 从而完成了相幅转换过程, 所以也被称为相幅转换模块。

在实际应用中, 由于 N 值比较大, 并不能像表 1 那样对应每一个采样点都有对应的幅度量化值, 不然 ROM 的总容量会非常巨大, 比如 $N=32, L=15$ 的 DDS, 采用上述 ROM 结构, ROM 容量为 $2^{32} \times 15$, 这是很难实现的。所以, 为了减小 ROM 表的深度, 通常截取相位序列的高 17 位作为地址位, 低 15 位则直接舍去, 这样表的容量会大大减小, 只为 $2^{17} \times 15$ 。但是由于截取了低 15 位, 并不能保证每一个采样点都对应其正确的幅度量化值, 会产生一定的误差, 从而在输出频率中造成杂散。

3) D/A 转换器

转换器是将数字信号转化为模拟信号的器件。

4) 低通滤波器

低通滤波器是让低频信号分量通过, 而对高频信号分量抑制的电容、电感与电阻等器件的组合装置。在 DDS 中的作用就是滤除高频分量, 平滑输出波形。

4. DDS 的工作特点

DDS 的全数字技术结构, 具备传统的频率合成技术所没有的优点, 主要有以下几个优点。

- 频率分辨率高, 输出频点多
- 频率切换速度快
- 频率切换时相位连续
- 频率稳定度高
- 易于实现数字调制
- 集成度高
- 任意波形输出

5. DDS 的缺点

- 输出频率较低
- 杂散指标不高是直接数字频率合成最主要问题

由于相位截断、幅度量化以及 DAC 非理想性等主要三个方面, DDS 的输出信号存在杂散。尤其是相位截断误差引入的杂散和 DAC 非理想引入的杂散对 DDS 的输出频率的纯度影响非常明显。

数字频率直接合成器 DDS 设计实验步骤:

1. 启动系统生成器,生成 project, 创建 PLL 使用 50MHz 作为系统钟;
2. 利用 Verilog 语言编写上电复位模块, 与 PLL 的 locked 输出信号配合, 对整个 project 进行上电复位, 不建议使用 SW 拨段开关作为复位信号, 可以使用 KEY 按键开关作为手动复位按钮。(上电复位模块参考文件 autoreset.v)
3. 利用 Verilog 语言编写图 3 所示的相位累加器, 相位累加器累加位数 $N=32$ 。

根据前述公式 $K = \frac{f_0}{f_c} 2^N$, 按照 $f_0 = 5\text{MHz}$, $f_c = 50\text{MHz}$ 计算 K 值, 将 K 值作为

相位累加器“delta[31..0]”的输入。(相位累加器模块参考文件 DDS_ACC.v)

4. 直接利用 LPM_ROM 构建图 1 所示的波形存储器。波形存储器地址位: 12 位; 幅度量化位数: 8 位。

注意: 由于 Quartus12.0 版本在提供 NC012.1 的 IPcore 后, 不再支持对 LPM_ROM 的编辑。为了清楚了解 DDS 的各部分构成, 直接拷贝以下 6 个文件至 project 文件夹, 直接在 Libraries_Project 中调用 romcos、sinrom 即可。

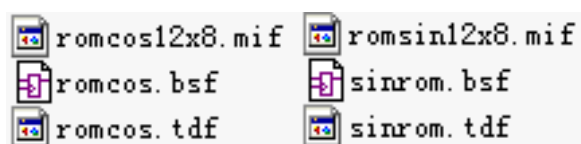


图 5. 波形存储器文件

其中的 mif 文件即为存储的波形文件, Quartus 可以直接打开编辑。如下图所示:

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	127	127	127	127	127	127	127	127
8	127	127	127	127	127	127	127	127
16	127	127	127	127	127	127	127	127
24	127	127	127	127	127	127	127	127
32	127	127	127	127	127	127	127	127
40	127	127	127	127	127	127	127	127
48	127	127	127	127	127	127	127	127
56	127	127	126	126	126	126	126	126
64	126	126	126	126	126	126	126	126
72	126	126	126	126	126	126	126	126
80	126	126	126	126	126	126	126	126

图 6. 波形文件

5. 截取相位累加器的高 12 位作为波形存储器的查表地址位，查找表中对应波形幅度值。
6. 利用 SignalTap 观测相位累加器、波形存储器的输出，并与 mif 文件比对。观察 SignalTap 时，分别设置总线格式为“Signed Decimal in Two's Complement”、“Signed Line Chart”。设置方式及观测结果如下图所示

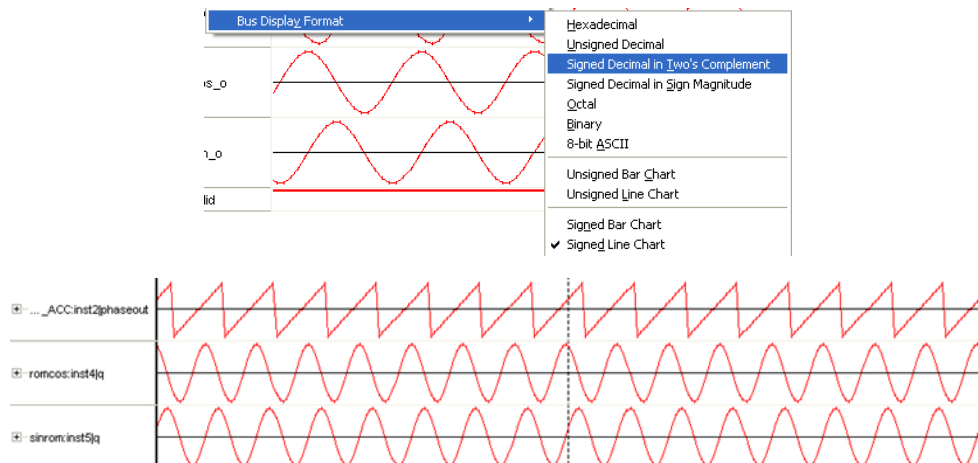
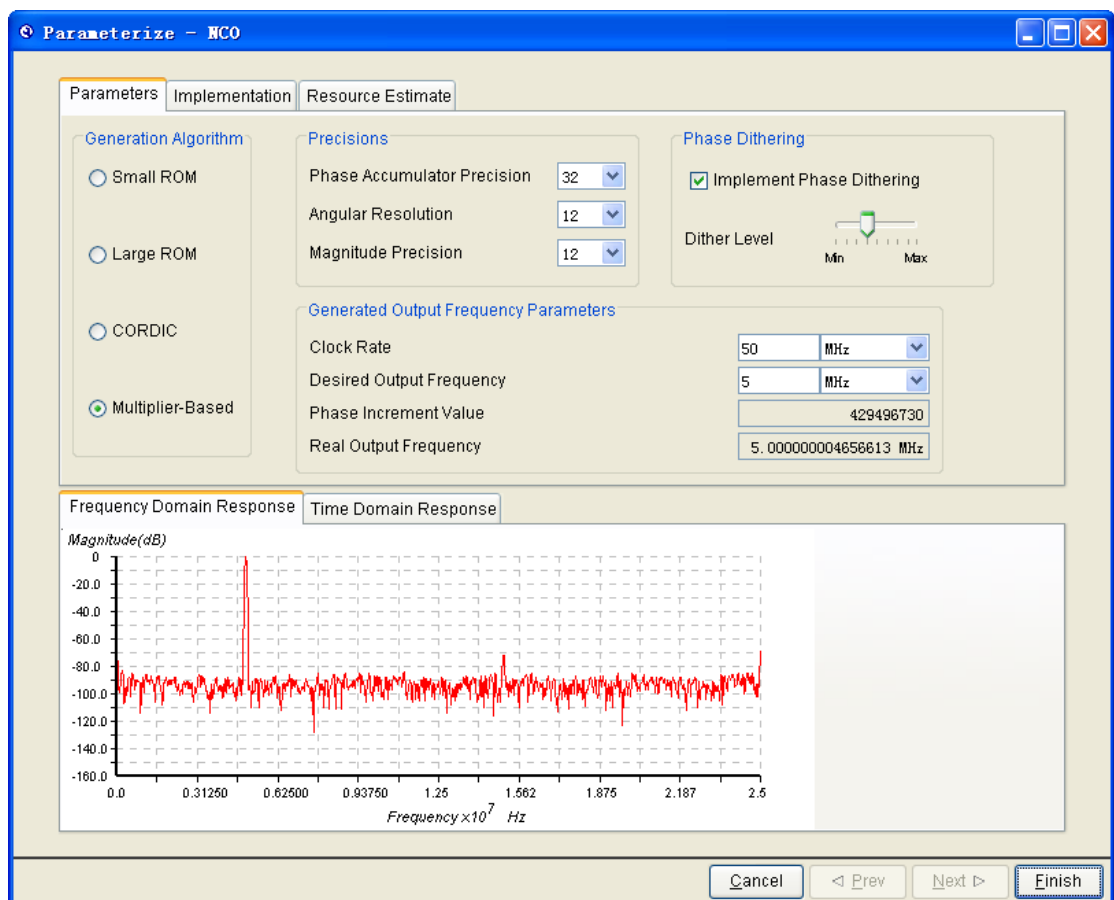


图 7. 波形观测结果

7. 直接调用 IPcore 中的 NCO 模块，直接生成 DDS，NCO 参数按照下图设置。



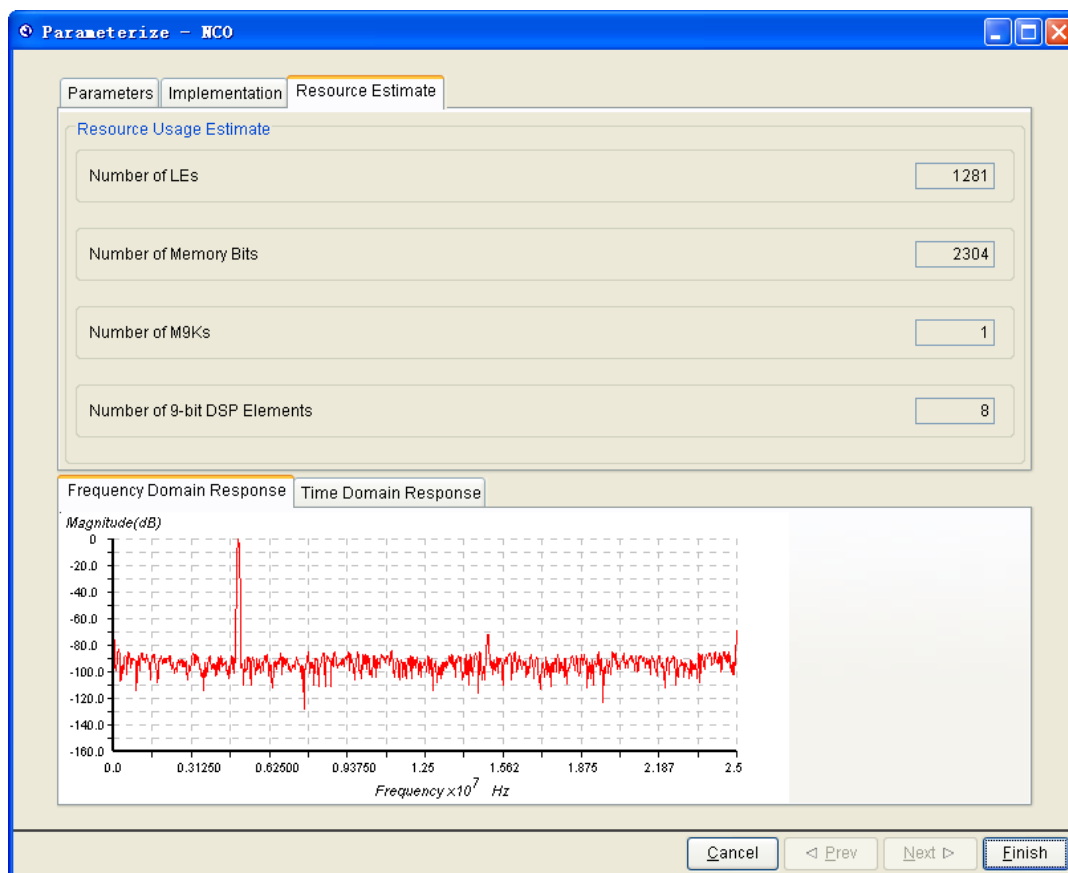
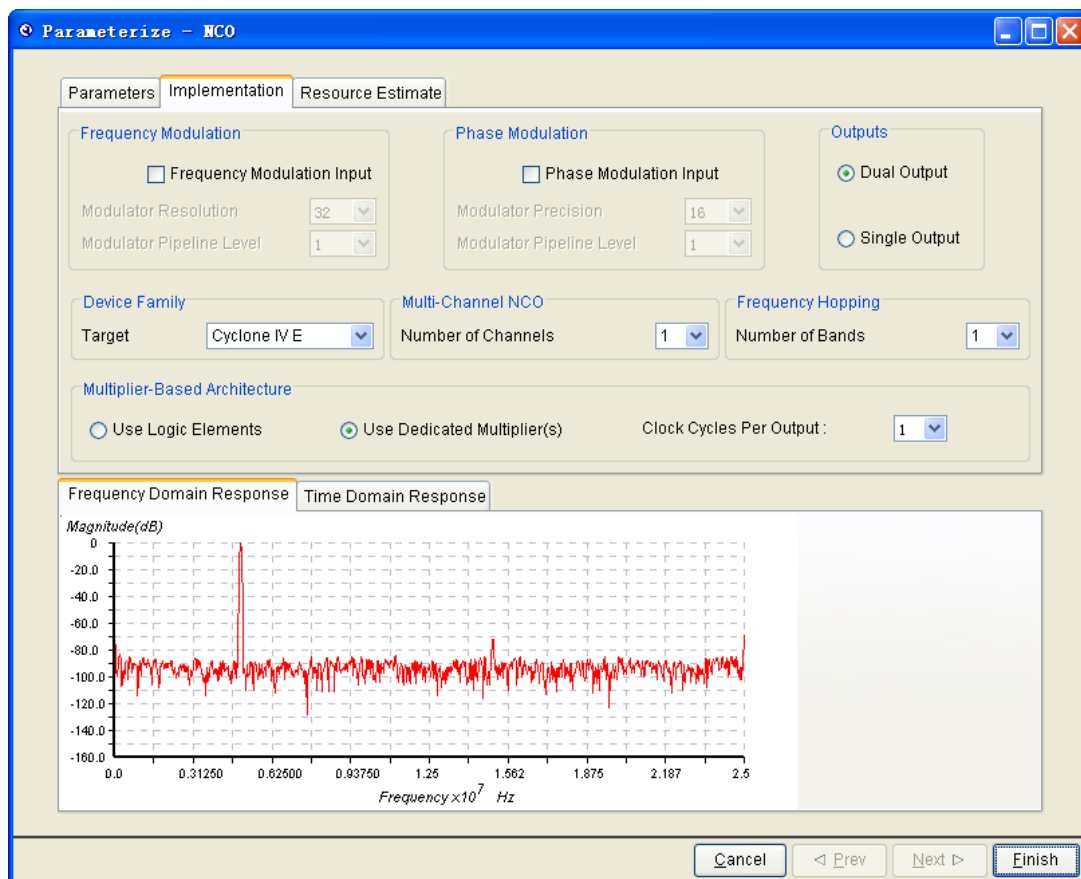


图 8. NCO 参数设置

8. 利用 signalTap 观察 NCO 的输出。
9. 改变 K 值, 产生 25MHz 的信号, 观察输出信号波形。
10. 改变 PLL 的分频比, 调整系统钟至 250MHz, 计算 K 值, 重新产生 25MHz 信号。
观察信号波形。

实验报告:

1. 简述实验步骤;
2. 在实验原理部分简单描述各模块的流程图;
3. 提交顶层设计截图;
4. 利用 SignalTap 分析重点时序, 并提交各频率信号波形的截图。
5. 分析在系统时钟 50MHz 时, 产生 25MHz 信号波形失真的原因。
6. 分析提高系统时钟至 250MHz 后, 25MHz 信号波形恢复正常的原因。
7. 对本次实验做出心得体会。