

## 实验二、三

### 基于 FPGA 的秒表与时钟设计

#### 实验目的：

在熟悉Quartus基本操作、Verilog编程语言的基本规则、SignalTap的基本应用后，完成数字秒表及时钟的设计。

#### 预备知识：

1. DE2-115 的基本使用方法；
2. Verilog 语言基础知识；

#### 实验环境：

1. 实验人数 50 人，每 2 人一组，每组两台电脑
2. 电脑 50 台

#### 实验内容：

1. 设计数字时钟，设计要求为
  - 计时精度：0.01 秒；
  - 时间显示格式：××(时) ××(分) ××(秒) ××(百分之一秒)
  - 小时、分钟、秒可分别手动调节；
  - 可手动复位至 23:59:55.00
2. 设计秒表，设计要求为
  - 计时精度：0.01 秒；
  - 可手动复位

#### 实验原理：

1. 七段数码管原理

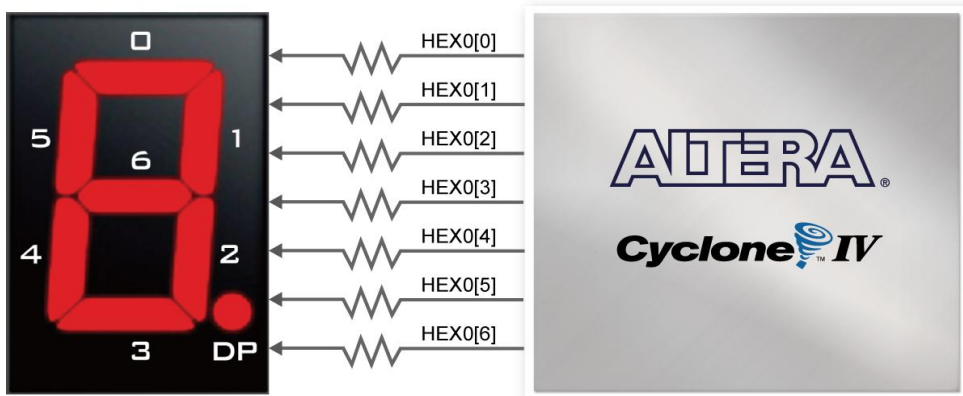


图1. 七段数码管与FPGA连接关系

DE2-115 配有八个七段数码管，用来作为数字显示用。如图1 所示，七段数码管的每个引脚（共阳模式）均连接到Cyclone IV E FPGA。FPGA 输出低电压的时候，对应的字码段点亮，反之则熄灭。

每个数码管的字段都从0 到6 依次编号，图1给出了它们的编号次序。当输入0~F的数据时，可以按照下图所示的代码进行译码。

```

1 module SEG7_LUT ( oSEG,iDIG );
2 input [3:0] iDIG;
3 output [6:0] oSEG;
4 reg [6:0] oSEG;
5
6 always @(iDIG)
7 begin
8     case(iDIG)
9         4'h1: oSEG = 7'b1111001; // ---t---
10        4'h2: oSEG = 7'b0100100; // | |
11        4'h3: oSEG = 7'b0110000; // lt rt
12        4'h4: oSEG = 7'b0011001; // | |
13        4'h5: oSEG = 7'b0010010; // ---m---
14        4'h6: oSEG = 7'b0000010; // | |
15        4'h7: oSEG = 7'b1111000; // lb rb
16        4'h8: oSEG = 7'b0000000; // | |
17        4'h9: oSEG = 7'b0011000; // ---b---
18        4'ha: oSEG = 7'b0001000;
19        4'hb: oSEG = 7'b0000011;
20        4'hc: oSEG = 7'b1000110;
21        4'hd: oSEG = 7'b0100001;
22        4'he: oSEG = 7'b0000110;
23        4'hf: oSEG = 7'b0001110;
24        4'h0: oSEG = 7'b1000000;
25    endcase
26 end
27
28 endmodule
  
```

图2. 七段数码管译码

2. 二进制转换为七段数码管的十进制算法

Operation	Hundreds	Tens	Units	Binary	
HEX				F	F
Start				1 1 1 1	1 1 1 1
Shift 1			1	1 1 1 1	1 1 1
Shift 2			1 1	1 1 1 1	1 1
Shift 3			1 1 1	1 1 1 1	1
Add 3			1 0 1 0	1 1 1 1	1
Shift 4		1	0 1 0 1	1 1 1 1	
Add 3		1	1 0 0 0	1 1 1 1	
Shift 5		1 1	0 0 0 1	1 1 1	
Shift 6		1 1 0	0 0 1 1	1 1	
Add 3		1 0 0 1	0 0 1 1	1 1	
Shift 7	1	0 0 1 0	0 1 1 1	1	
Add 3	1	0 0 1 0	1 0 1 0	1	
Shift 8	1 0	0 1 0 1	0 1 0 1		
BCD	2	5	5		

图3 二进制转换至十进制算法

在FPGA中，寄存器定义和存储的数据都是采用二进制的格式，而FPGA输出给数码显示管的数据必须是十进制的格式，所以需要有一个专门把二进制数据转换为十进制BCD码的模块。图3为以十进制255举例的转换算法，具体算法流程为：

- 1) 二进制左移一位；
  - 2) 判断个位、十位、百位是否大于等于5，是则加3；
  - 3) 重复上述过程直到完成8次移位
3. 数字时钟计时原理

数字时钟原理如图 4 所示。

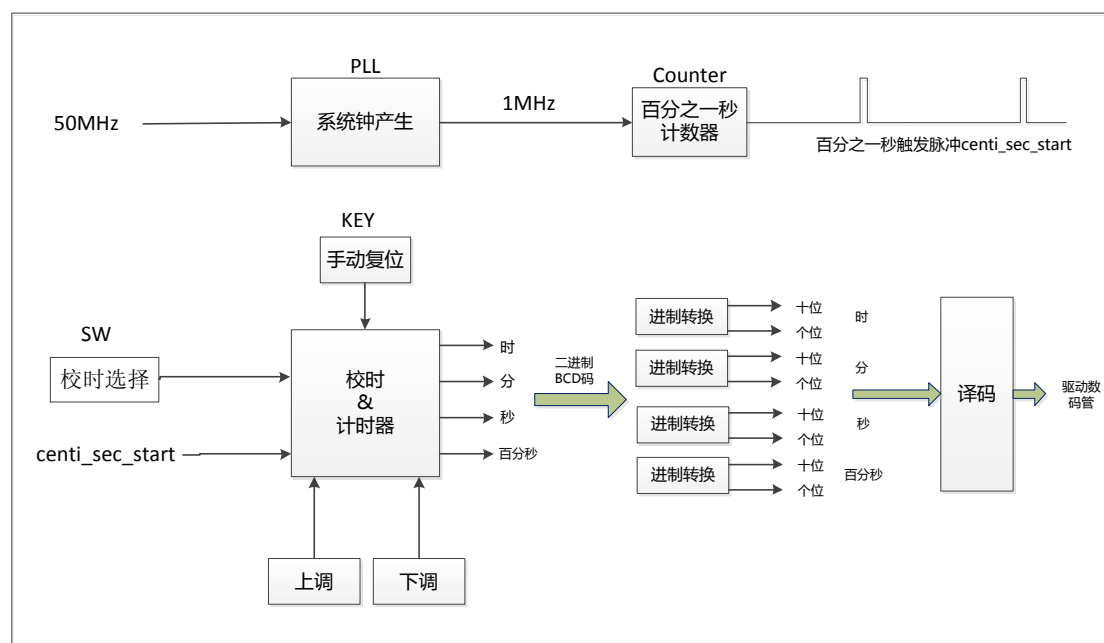


图4 数字时钟计时器原理

各模块功能描述如下：

- 系统钟产生：利用 PLL 产生 1MHz 时钟；
- 百分之一秒计数器：产生脉宽为 1us 的百分之一秒触发脉冲，可利用 counter 产生；
- 校时&计时器（myclock.v）：完成时钟、秒表走时及校时的功能；
- 进制转换(bin\_dec.v)：完成二进制到双位十进制的转换；
- 译码（SEG7\_LUT.v）：完成七段数码管显示的译码。

## 时钟设计实验步骤：

1. 启动系统生成器, 生成 project;
2. 构建模块并连接;
3. 编译;
4. 下载;
5. 利用 signalTap 调试、验证时钟的功能。

## 实验报告：

1. 阐述实验步骤；
2. 在实验原理部分简单描述各模块的流程图
3. 利用 SignalTap 分析重点时序；
4. 提交设计顶层文件的截图；
5. 试分析如何提高时钟的计时精度
6. 对本次实验做出心得体会。

