

第七章 存储系统

7.3 设某流水线计算机有一个指令和数据合一的 cache，已知 cache 的读写时间为 10ns，主存的读写时间为 100ns，取指的命中率为 98%，数据的命中率为 95%。在执行程序时，约有 1/5 指令需要存取一个操作数，为简化起见，假设指令流水线在任何时候都不阻塞。问设置 cache 后，与无 cache 比较，计算机的运算速度可提高多少倍？

解：

有 cache 的情况如下：

$$\begin{aligned}\text{平均访存时间} &= \text{平均取指时间} + \text{平均取数时间} \\ &= (10\text{ns} + (1 - 98\%) \times 100\text{ns}) + (10\text{ns} + (1 - 95\%) \times 100\text{ns}) \\ &/ 5 = 15 \text{ ns}\end{aligned}$$

无 cache 的情况：

$$\begin{aligned}\text{平均访存时间} &= \text{平均取指时间} + \text{平均取数时间} \\ &= 100\text{ns} + 20 \text{ ns} \\ &= 120\text{ns}\end{aligned}$$

$$\text{速度提高倍数} = 120\text{ns} / 15\text{ns} = 8 \text{ 倍}$$

7.5 设某计算机的 cache 采用 4 路组相联映像，已知 cache 容量为 16KB，主存容量为 2MB，每个字块有 8 个字，每个字有 32 位。请回答：

(1) 主存地址多少位（按字节编址），各段如何划分？

(2) 设 cache 起始为空，CPU 从主存单元 0、1、...、100 依次读出 101 个字（主存一次读出一个字），并重复按此次序数读 11 次，问命中率为多少？若 cache 速度是主存的 5 倍，问采用 cache 与无 cache 比较速度提高多少？

解：

(1) 主存与 cache 的容量都不考虑扩充。2MB 容量的主存地址为 21 位。16KB 的 cache 地址为 14 位，所以主存地址的区号位数=21-14=7 位。Cache 和主存地址各段的分配：

Cache：组号 7 位 组内块号 2 位 块内地址 3 位 字节 2 位

主存：区号 7 位 组号 7 位 组内块号 2 位 块内地址 3 位 字节 2 位

(2) 第一轮全部不命中，以后 10 次全部命中，命中率 10/11=91%。设 cache 的读出时间为 1，主存的读出时间为 5

$$\begin{aligned}\text{无 cache 的访问时间} / \text{有 cache 的访问时间} &= (11 \times 5) / (1 \times 5 + 10 \times 1) = \\ &= 55 / 15 = 3.67 \text{ 倍。略低于此数，因为不设置 cache 时，访问主存的速度会稍快些，无须询问 cache 是否命中。}\end{aligned}$$

7.6 设某计算机采用直接映像 cache，已知容量为 4096B。

(1) 若 CPU 依次从主存单元 0、1、...、99 和 4096、4097、...、4195 交替取指令，循环执行 10 次，问命中率为多少？

(2) 如 cache 存取时间为 10ns，主存存取时间为 100ns，cache 命中率为 95%，求平均存取时间。

解：

(1) cache 容量为 4096 字，其地址为 0~4095。从主存 0~99 和 4096~4195 依次取指，每次都不命中，所以命中率为 0。

$$(2) \text{ 平均取指时间} = 10\text{ns} + (1 - 0) \times 100\text{ns} = 110\text{ns}$$

7.7 一个相联 cache 由 64 个存储块组成，每组包含 4 个存储块，主存由 8192 个存储块组成，每块由 32 字组成，4 字节组成 1 字，访问地址为字地址。问：

- (1) 主存和 cache 地址各多少位？地址映像是几路组相联？
- (2) 在主存地址格式中，区号、组号、块号和块内地址各多少位？

解：

- (1) cache 容量 $64 \times 32 \times 4 = 2^{13}\text{B}$ ，cache 地址为 13 位
主存容量 $8192 \times 32 \times 4 = 2^{20}\text{B}$ ，主存地址为 20 位
地址映像为 4 路组相联

- (2) 主存地址 区号 7 位 组号 4 位 块号 2 位 块内地址 5 位 字节 2 位

7.10 主存储器容量为 4 MB，虚存容量为 1GB，虚拟地址和物理地址各为多少位？根据寻址方式计算出来的有效地址是虚拟地址还是物理地址？如果页面大小为 4KB，页表长度是多少？

解：

主存容量 = 4MB = 2^{22}B 虚存容量 = 1GB = 2^{30}B ，虚拟地址 30 位，物理地址 22 位，按寻址方式计算出来的有效地址是虚拟地址。如果页面大小是 4KB，采用页式管理时，页面的数量 = $1\text{GB} / 4\text{KB} = 2^{18}$ ，页表长度为 2^{18} 。

7.11 某虚存有如下快表放在相联存储器中，其容量为 8 个存储单元。问：按如下 3 个虚拟地址访问主存，主存的实际地址码各是多少？（设地址均为 16 进制）

页号	本页在主存起始地址	页号	页内地址
33	42000	1	15 0324
25	38000	2	7 0128
7	96000	3	48 0516
6	60000		
4	40000		
15	80000		
5	50000		
30	70000		

图 7.11

解：

先查快表，查得该逻辑页号在主存的起始位置后，与页内地址相加即得主存的实际地址。

- (1) 主存地址 = $80000 + 0324 = 80324\text{H}$

- (2) 主存地址 = $96000 + 0128 = 96128\text{H}$

(3) 逻辑页号为 48 的页面不在快表中，要到主存去查，如果再主存中查到，将该页的内容调入快表（若快表已满，则按替换算法撤销一行后调入），并计算主存地址。如果再主存中查不到，则需启动操作系统从辅存中调入相应的页表到主

存中，然后再到主存去查。

7.12 某程序对页面要求的序列为 P3 P4 P2 P6 P4 P3 P7 P4 P3 P6 P3 P4 P8 P4 P6。

- (1) 设主存容量为 3 个页面，求分别采用 FIFO 和 LRU 替换算法时各自的命中率（假设开始时主存为空）。
- (2) 当主存容量增加到 4 个页面时，两替换算法各自的命中率又是多少？
- (3) 程序运行时，CPU 访问主存的命中率会增加还是减少？

解：

- (1) 编号最大者表示（三、二、一）将被调出的页面。

页面请求		3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
LRU	三	3	3	3	4	2	6	4	3	7	4	4	6	3	3	8
	二	/	4	4	2	6	4	3	7	4	3	6	3	4	8	4
	一	/	/	2	6	4	3	7	4	3	6	3	4	8	4	6
	命中	m	m	m	m	h	m	m	h	h	m	h	h	m	h	m
FIFO	三	3	3	3	4	4	2	6	3	3	7	4	4	7	3	8
	二	/	4	4	2	2	6	3	7	7	4	7	7	3	8	4
	一	/	/	2	6	6	3	7	4	4	6	3	3	8	4	6
	命中	m	m	m	m	h	m	m	m	h	m	m	h	m	m	m

采用 LRU 算法的命中率为 $6/15=40\%$ ，采用 FIFO 算法的命中率为 $3/15=20\%$

- (2) 编号最大者表示（三、二、一）将被调出的页面。

页面请求		3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
LRU	四	3	3	3	3	3	2	6	6	6	7	7	7	6	6	3
	三	/	4	4	4	2	6	4	3	7	4	4	6	3	3	8
	二	/	/	2	2	6	4	3	7	4	3	6	3	4	8	4
	一	/	/	/	6	4	3	7	4	3	6	3	4	8	4	6
	命中	m	m	m	m	h	h	m	h	h	h	h	h	h	m	h
FIFO	四	3	3	3	3	3	3	4	4	2	2	2	6	7	7	3
	三	/	4	4	4	4	4	2	2	6	6	6	7	3	3	4
	二	/	/	2	2	2	2	6	6	7	7	7	3	4	4	8
	一	/	/	/	6	6	6	7	7	3	3	3	4	8	8	6
	命中	m	m	m	m	h	h	m	h	m	h	h	m	m	h	m

采用 LRU 算法的命中率为 $9/15=60\%$ ，采用 FIFO 算法的命中率为 $6/15=40\%$

- (3) 程序运行时，CPU 访问主存的命中率会增加。