

第四章 主存储器

4.4 下图是某 SRAM 的写入时序图，其中 R/W₀ 是读写命令控制线，当 R/W₀ 线为低电平时，存储器按给定地址 24A8H 把数据线上的数据写入存储器。请指出下图写入时序中的错误，并画出正确的写入时序图。

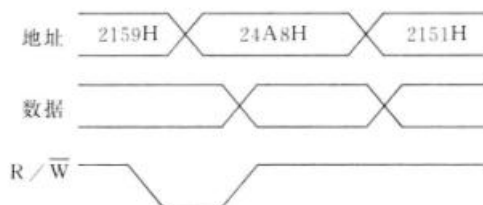
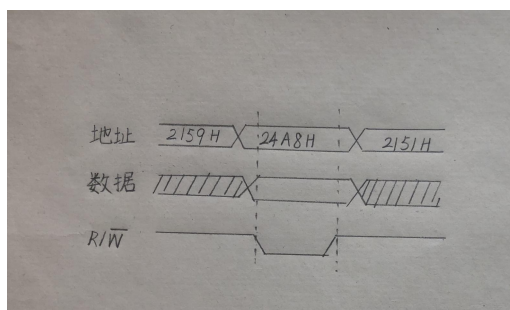


图 4.4

解：R/W₀ 命令（低电平）应该往后延，写时地址不允许变化，数据可以在 R/W₀ 命令下降边之前或之后，但要注意写入时间是否足够。



正确的写入时序图

4.5 有一个 512K x 16 的存储器，由 64K x 1 位的 2164RAM 芯片构成（芯片内是 4 个 128 x 128 结构），问：

(1) 总共需要多少个 RAM 芯片？

(2) 采用分散刷新方式，如单元刷新间隔不超过 2ms，则刷新信号的周期为多少？

(3) 如采用集中刷新方式，设读/写周期 $T=0.1\mu s$ ，存储器刷新一遍最少用多少时间？

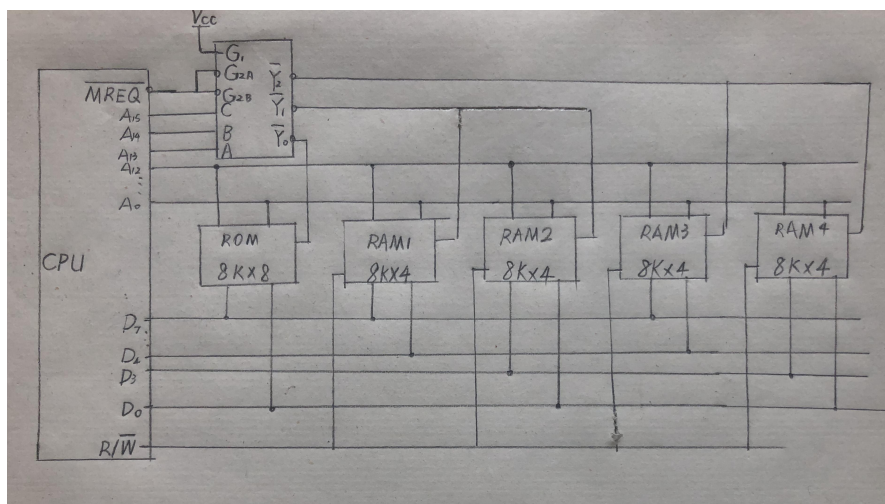
解：(1) $8 \times 16 = 128$ 个

(2) 由于芯片内部是 4 个 128 x 128 结构，所以访问 128 个行地址可刷新一遍。分散刷新的刷新信号的周期 $= 2ms/128 = 15.6\mu s$

(3) 集中刷新一遍的时间 $= 0.1\mu s \times 128 = 12.8\mu s$

4.6 某机器中，已知有一个地址空间为 0000H~1FFFH 的 ROM 区域，现在再用 RAM 芯片（8K x 4）形成以 16K x 8 的 RAM 区域，起始地址为 2000H，假设 RAM 芯片有 CS₀ 和 WE₀ 信号控制端。CPU 地址总线为 A15~A0，数据总线为 D7~D0，控制信号为 R/W₀（读写）和 MREQ₀（当存储器进行读或写操作时，该信号指示地址总线上的地址是有效的）。要求画出逻辑图。

解：4 片 RAM 芯片



逻辑图

4.7 SRAM 和 DRAM 的主要差别是什么？

解：

(1) SRAM 用六管电路存储 1 位数据，只要不停止供电，数据不会丢失；DRAM 用一个管子和一个电容器存储 1 位数据。电容上存储的电荷（数据）由于漏电而会消失，因此每隔一段时间（例如 2ms）需要再充一次电，这一过程称为再生或者刷新。

(2) SRAM 的集成度比 DRAM 低，这是因为存储 1 位信息所需的芯片面积大，所以价格贵，但读写时间短，速度快。

(3) 从芯片的引出端看，地址线、数据线、读写命令两者都需要，片选信号不同，SRAM 由片选允许（CE₋）或者片选选择（CS₋）信号来控制是否能进行读写，DRAM 则行选择信号（RAS₋）来控制是否能进行读写。

(4) 计算机的主存储器一般使用 DRAM，而 cache 存储器一般使用 SRAM。

4.11 现有动态存储器芯片，其容量为 256M x 1 位，用之组成的存储器容量为 1G x 32 位，且采用 4 体交叉存储方案，请说明如何安排地址线。

解：

$1G/256M = 4$ ，即需要 4 个存储体，每个存储体由 32 个 256 x 1 位存储器芯片构成。 $256M = 2^{28}$ ，每个存储体内需要 28 位地址，由于分成行列地址分开发送，即需要 14 条地址线。4 个存储体需要 2-4 译码器输出选片，即需要两条地址线。共需要 $14+2 = 16$ 条地址线。

4.12 设某主存储器访问一次存储器的时间如下：传达地址 1 个时钟周期，读/写 4 个时钟周期，数据传送 1 个时钟周期，采用下述 3 种主存结构读取 16 个字的数据块，各需多少时钟周期？

(1) 单字宽主存，一次只能读写一个字。

(2) 四字宽主存，一次可读写 4 个字，但 CPU 与主存的数据传送宽度为 1 个字。

(3) 4 体交叉存储器，每个存储体为单字宽。

解：

(1) 读写周期为 6 时钟， $16 \times 6 = 96$

(2) 16 个字需要读写 4 次，每次用时 $1 + 4 + 1 = 6$ （因为本次数据传送不完的，可以下次读写时同时传），但最后一次需要加上 3 个时钟周期，所以共需要 $4 \times 6 + 3 = 27$ 个时钟周期。

(3) 每个体访问 4 次，4 个体同时访问，每次用时 $1 + 4 + 1 = 6$ （因为本次数据传送不完的，可以下次读写时同时传），最后一次需要加上 3 个时钟传送数据，因此共需要 $4 \times 6 + 3 = 27$ 个时钟周期。