**实验八 ALU功能的实现**

**18342138 郑卓民 软工四班**

**预习报告**

1. **复习常用组合逻辑电路工作原理和设计方法，及与之相应的MSI功能表及其使用方法。**

数字电路按逻辑功能和电路结构的不同特点，可分为组合逻辑电路和时序逻辑电路两大类。组合逻辑电路是根据给定的逻辑问题，设计出能实现逻辑功能的电路。用小规模集成电路实现组合逻辑电路，要求是使用的芯片最少，连线最少。一般设计步骤如下：

　　1、首先根据实际情况确定输入变量、输出变量的个数，列出逻辑真值表。

　　2、根据真值表，一般采用卡诺图进行化简，得出逻辑表达式。

　　3、如果已对器件类型有所规定或限制，则应将函数表达式变换成与器件类型相适应 的形式。

　　4、根据化简或变换后的逻辑表达式，画出逻辑电路。

　　5、根据逻辑电路图，查找所用集成器件的管脚图，将管脚号标在电路图上，再接线，验证。

1. **复习采用中规模集成电路实现组合逻辑电路的方法。**
2. 要对集成电路有深入的了解，知道集成电路的实现原理，各管脚的含义。
3. 中规模的器件，如译码器、数据选择器等，它们本身是为了实现某种逻辑功能而设计的，但由于它们的一些特点，我们也可以用它们来实现任意逻辑函数。
4. 设计组合逻辑电路的流程的基础依然是：
   * 1. 根据给定事件的因果关系列出真值表；
     2. 由真值表写函数式；
     3. 对函数式进行化简或变换；
     4. 画出逻辑图，并测试逻辑功能。

但在其中可以插入使用已有集成电路模块，简化设计，使电路功能更清晰。

1. **复习使用vivado IP核设计组合逻辑电路的方法。**

IP可直接使用，简化电路逻辑设计。

IP核是一段具有特定电路功能的硬件描述语言程序，该程序与集成电路工艺无关，可以移植到不同的半导体工艺中去生产集成电路芯片。Vivado提供了很多IP核可以直接使用，例如数学运算（乘法器，除法器，浮点运算器等）、信号处理（FFT、DFT、DDS等）。IP核类似编程中的函数库，可以直接调用，非常方便，大大加快了开发速度。

**实验报告**

**实验目的：**

1. 熟悉vivado IP核的功能与使用方法。
2. 掌握用MSI设计的组合逻辑电路的方法。

**实验仪器以及器件：**

1. BASYS3 实验板；
2. Vivado IP核： xup\_74LS08\_1.0(与门), xup\_74LS32\_1.0(或门),xup\_74LS04\_1.0(非门), xup\_74LS151\_1.0(八选一数据选择器), xup\_74LS138\_1.0(3-8译码器),

**实验原理：**

1. 一种供参考的ALU功能表如下表：

|  |  |  |  |
| --- | --- | --- | --- |
| **控制端** | | | **功能** |
| **M2** | **M1** | **M0** |
| **0** | **0** | **0** | **与** |
| **0** | **0** | **1** | **或** |
| **0** | **1** | **0** | **A非** |
| **0** | **1** | **1** | **B非** |
| **1** | **0** | **0** | **异或** |
| **1** | **0** | **1** | **全加** |
| **1** | **1** | **0** | **全减** |
| **1** | **1** | **1** | **清零** |

上述ALU有六个输入端包括三个控制端和三个数据输入端，其中A、B为1bit输入端操作数。

**控制端：** M2、M1、M0控制端决定ALU的八种运算功能，分别为与、或、非、异或、全加、全减、清零。

**数据输入端：**当ALU进行全加（全减）运算时，三个数据输入端分别为被加数/被减数、加数/减数、进位/借位。当ALU进行逻辑运算（与、或、非、异或）时，三个数据输入端中的两个作为操作数的输入，另一个可以忽略（在设计报告中需指明）。

**输出端：**当ALU进行全加（全减）运算时，两个输出端分别为和（差）、进位（借位）。当ALU进行逻辑运算时，两个输出端为逻辑运算的结果和结果的取反。

1. 在vivado中可以对连接的组合逻辑电路进行封装，由此使逻辑单元可以成为以后实验可能使用到的IP核，简化设计流程和电路连接复杂度。

**实验注意事项：**

1. Xup\_74ls151\_1.0（八选一数据选择器）IP核，S\_n是高电平时74ls151清零，因此ALU的清零功能可使用S\_n端口。
2. 约束文件的设置，可运行Run Synthesis，综合通过后选择Open Synthesized Design，菜单windows打开I/O ports窗口，在窗口中根据Basys3实验板用户手册的引脚对应表绑定输入输出端口，然后保存为xdc约束文件即可。
3. 4bit ALU中前一级的进位/借位与下一级ALU运算输入A、B一起作为输入端进入下一级ALU的运算。

**实验内容：**

**实验内容一：**

1. 在Basys3实验板实现一个六输入二输出的ALU，即完成1bitALU，包括功能控制端M2、M1、M0（拨码开关），数据输入端（A0、B0、Cn）（拨码开关）， 数据输出端Y、Cn+1（LED灯），ALU功能表同实验原理部分，要求使用74LS系列IP核实现。

**步骤一：根据ALU功能表画出对应各功能端的真值表：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 000 功能与** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1（Y`）** |
| **X** | **0** | **0** | **0** | **1** |
| **X** | **1** | **0** | **0** | **1** |
| **X** | **0** | **1** | **0** | **1** |
| **X** | **1** | **1** | **1** | **0** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 001 功能或** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1(Y`)** |
| **X** | **0** | **0** | **0** | **1** |
| **X** | **1** | **0** | **1** | **0** |
| **X** | **0** | **1** | **1** | **0** |
| **X** | **1** | **1** | **1** | **0** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 010 功能A非** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1(Y`)** |
| **X** | **X** | **0** | **1** | **0** |
| **X** | **X** | **1** | **0** | **1** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 011 功能B非** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1(Y`)** |
| **X** | **0** | **X** | **1** | **0** |
| **X** | **1** | **X** | **0** | **1** |

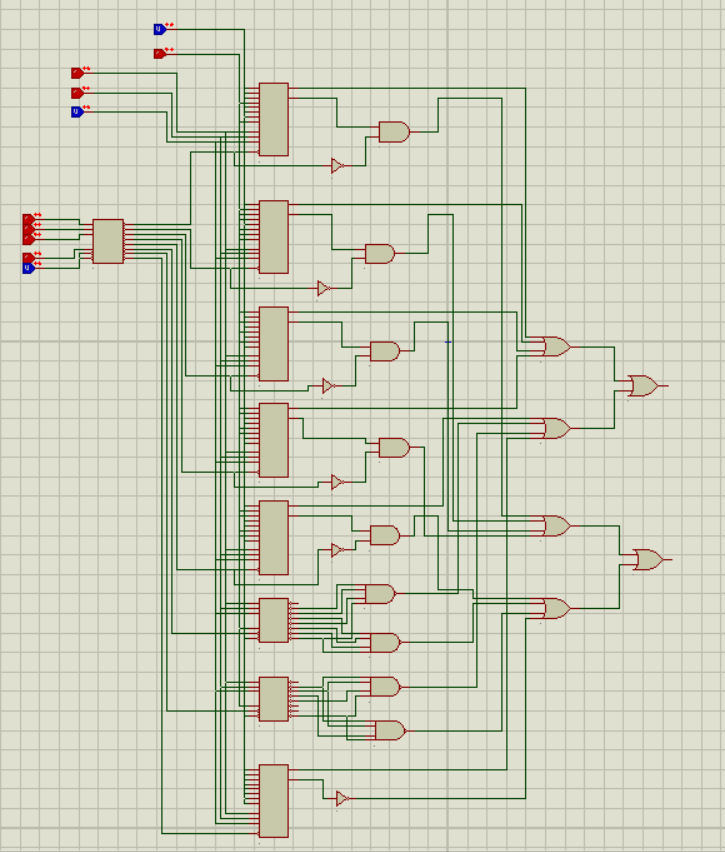
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 100 功能异或** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1(Y`)** |
| **X** | **0** | **0** | **0** | **1** |
| **X** | **1** | **0** | **1** | **0** |
| **X** | **0** | **1** | **1** | **0** |
| **X** | **1** | **1** | **0** | **1** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 101 功能全加** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** |
| **0** | **1** | **0** | **1** | **0** |
| **0** | **1** | **1** | **0** | **1** |
| **1** | **0** | **0** | **1** | **0** |
| **1** | **0** | **1** | **0** | **1** |
| **1** | **1** | **0** | **0** | **1** |
| **1** | **1** | **1** | **1** | **1** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 110 功能全减** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **1** |
| **0** | **1** | **0** | **1** | **1** |
| **0** | **1** | **1** | **0** | **1** |
| **1** | **0** | **0** | **1** | **0** |
| **1** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **1** | **1** | **1** |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **M2M1M0 = 111 功能清零** | | | | |
| **Cn** | **B** | **A** | **Y** | **Cn+1** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **0** |
| **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **1** | **0** | **0** |
| **1** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **1** | **0** | **0** |

**功能选择上，利用74ls138进行分配，其余逻辑功能和清零由74ls151来实现，全加器与全减器由74ls138来实现，通过或门来合成最后输出结果，其中利用与门和非门控制非对应功能模块运行时其两输出都为0。**

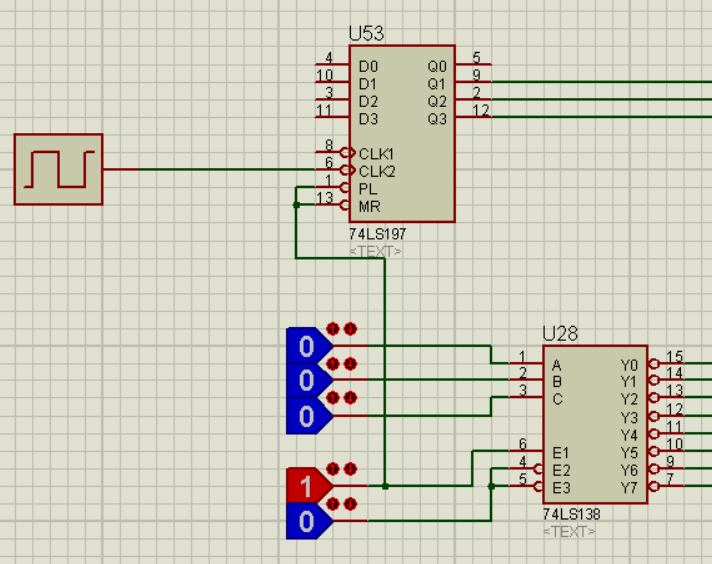


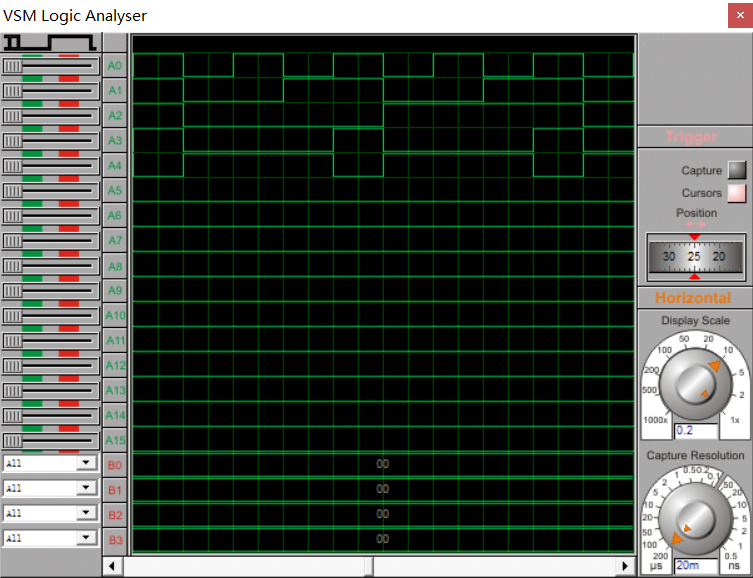
**首先：**通过静态仿真，利用logicstate，结果满足以上真值表结果和功能需求。

**接着：**通过动态仿真，利用74ls197提供输入，利用逻辑分析仪分析输出波形。

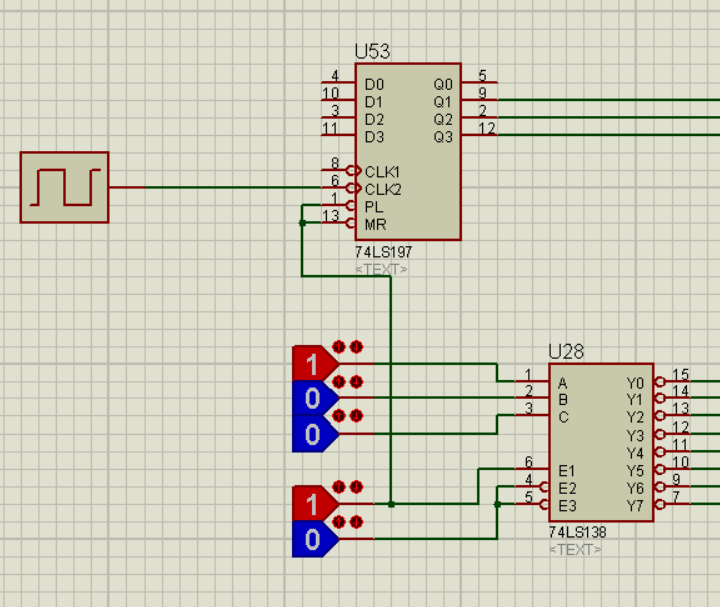
**以下波形由上至下分别为：A、B、Cn、Y、Cn+1/Y`**

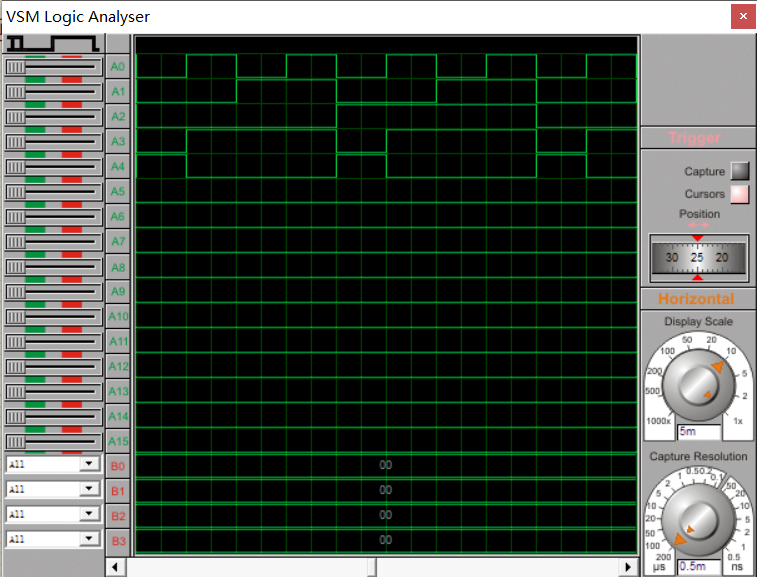
**000——与：**



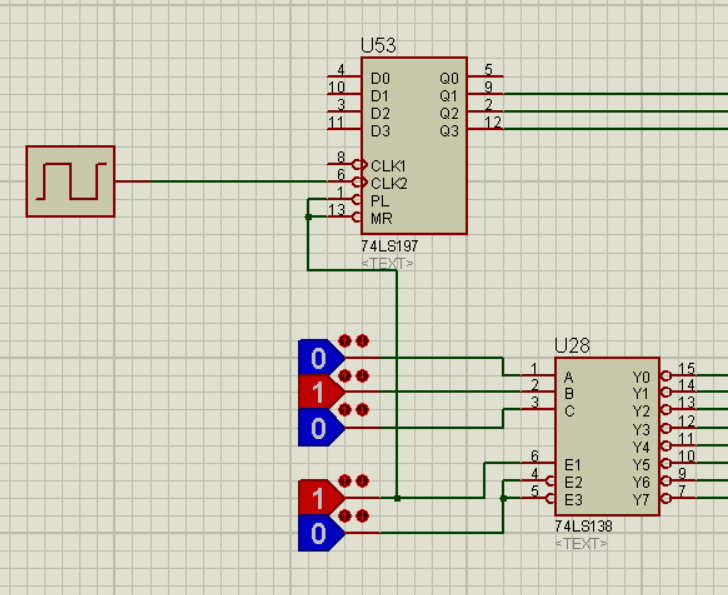


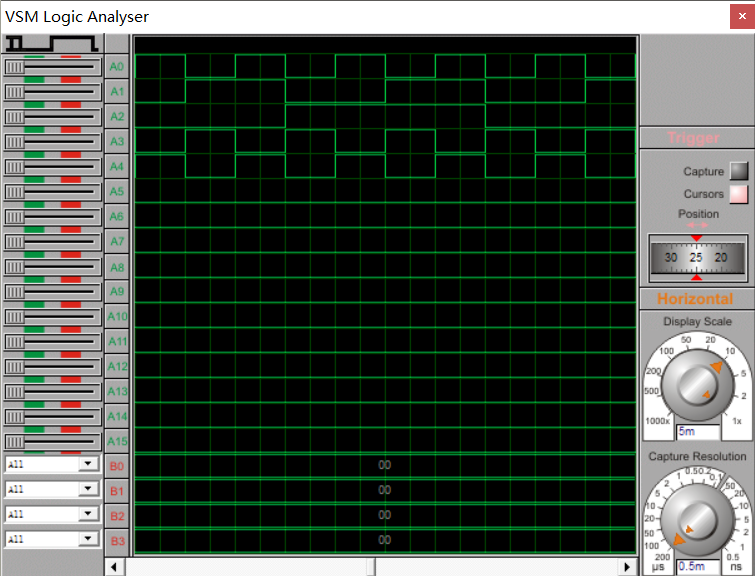
**001——或：**



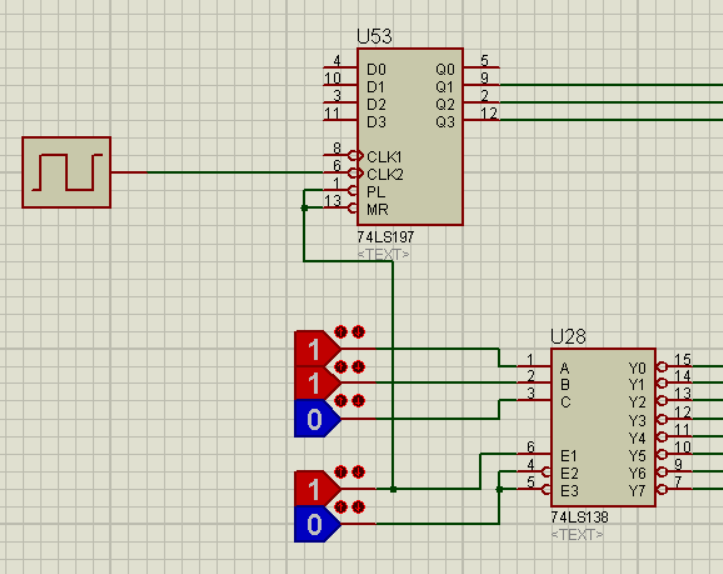


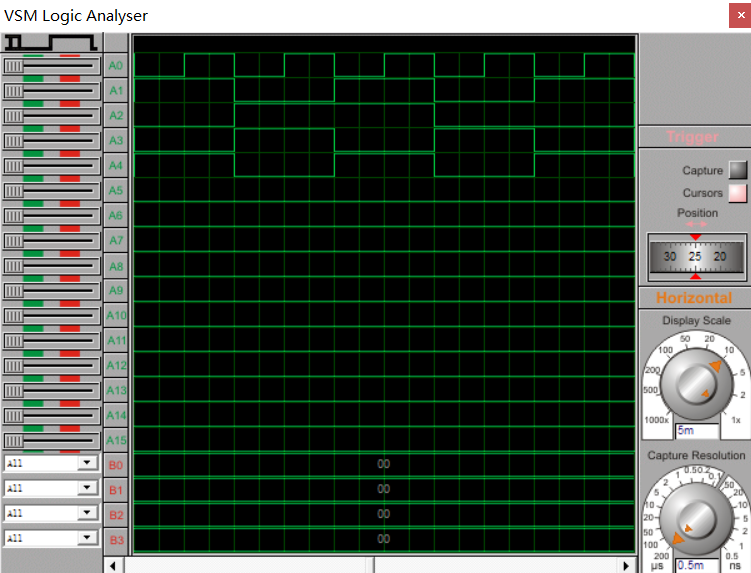
**010——A非：**



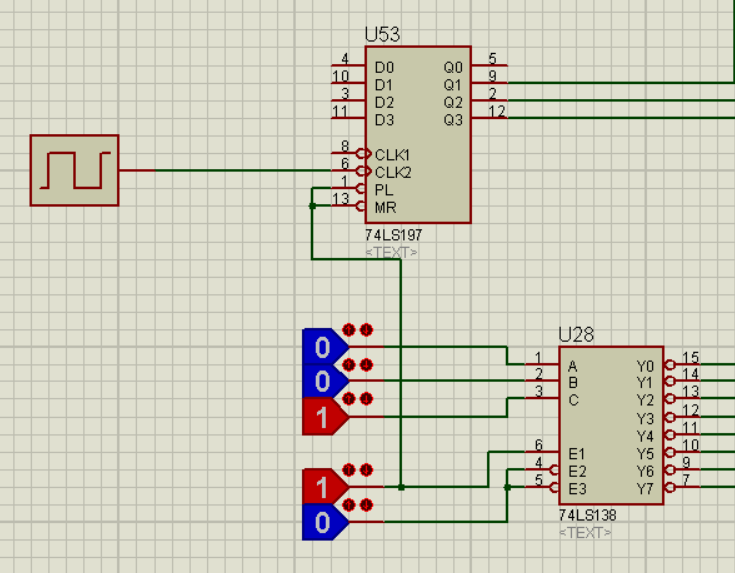


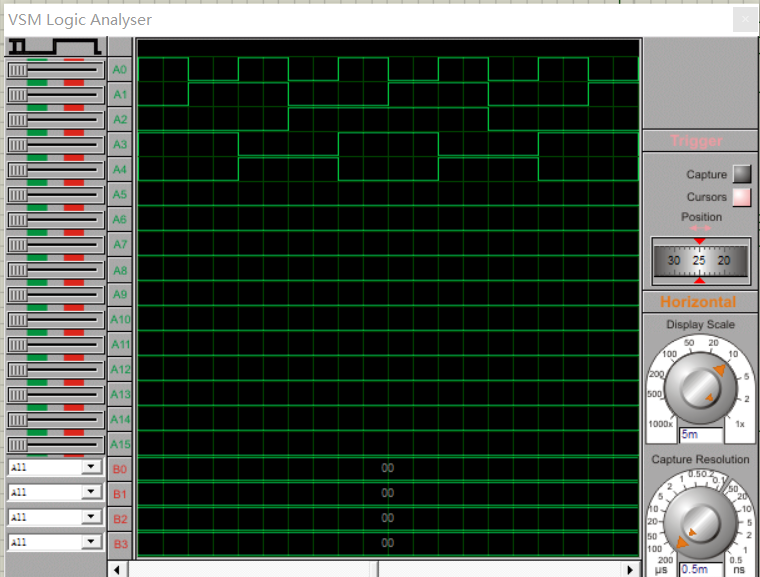
**011——B非：**



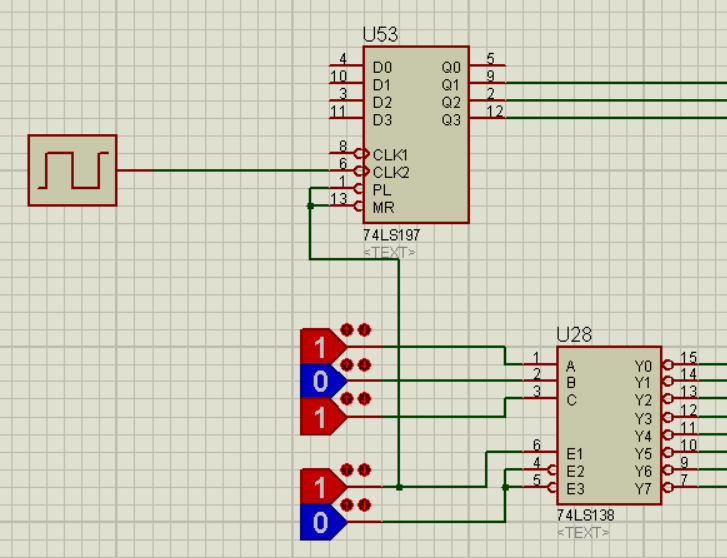


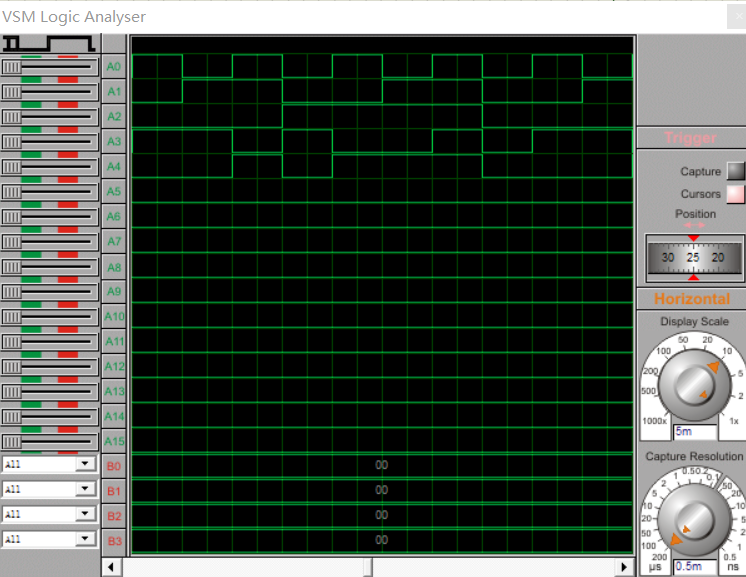
**100——异或：**



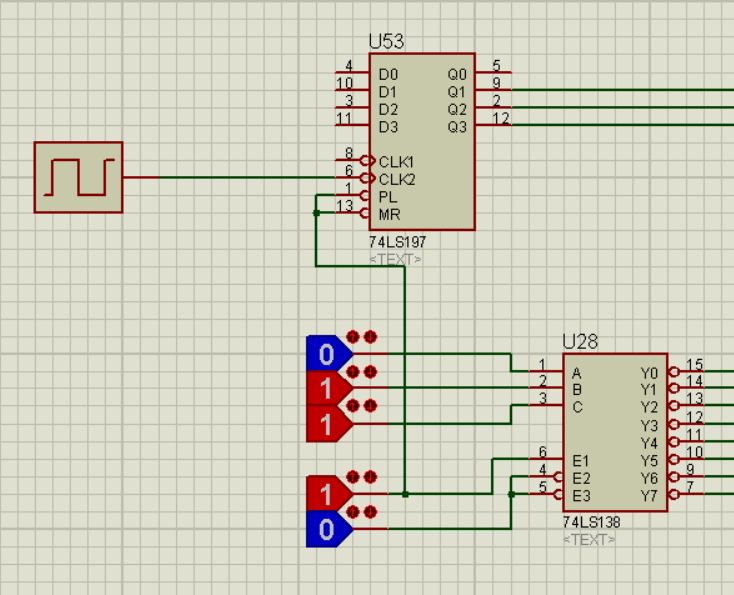


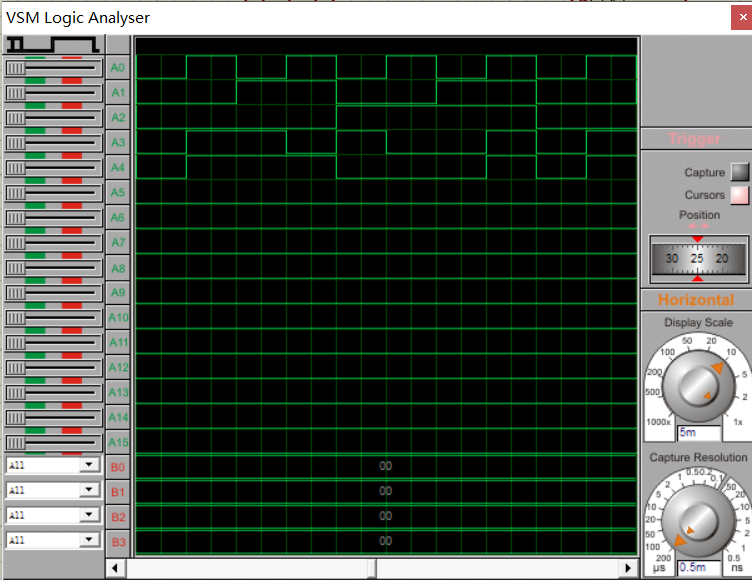
**101——全加器：**



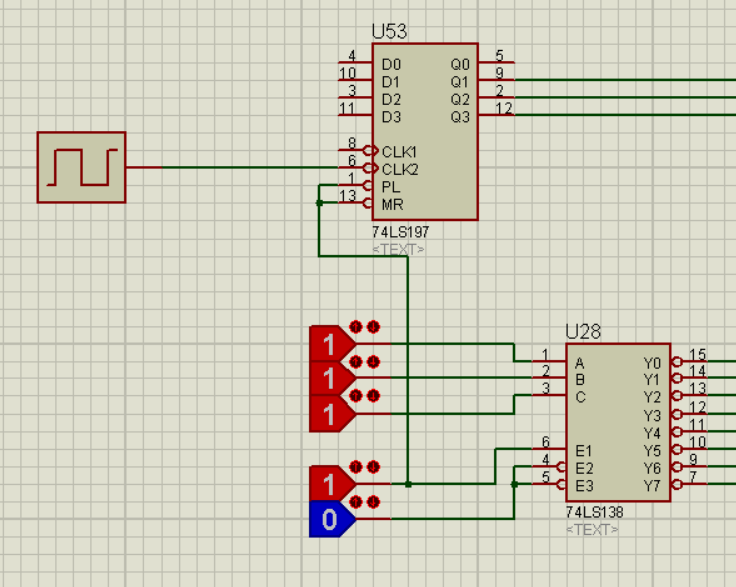


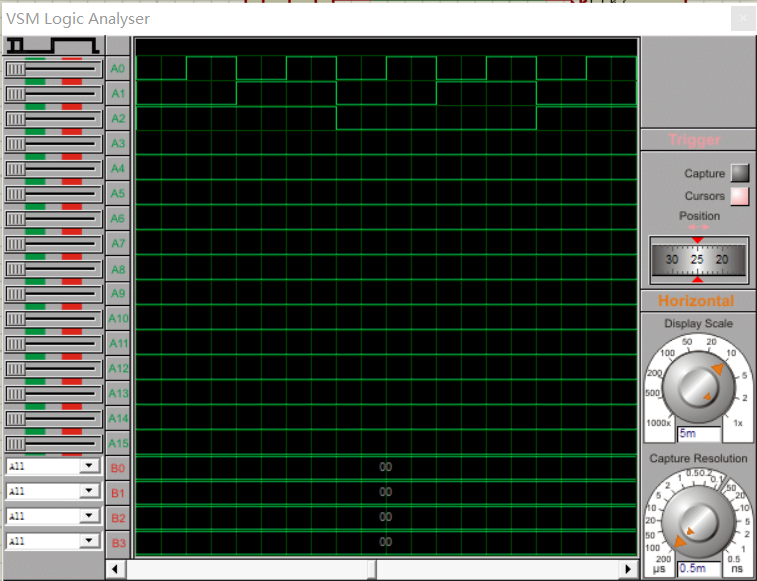
**110——全减器：**





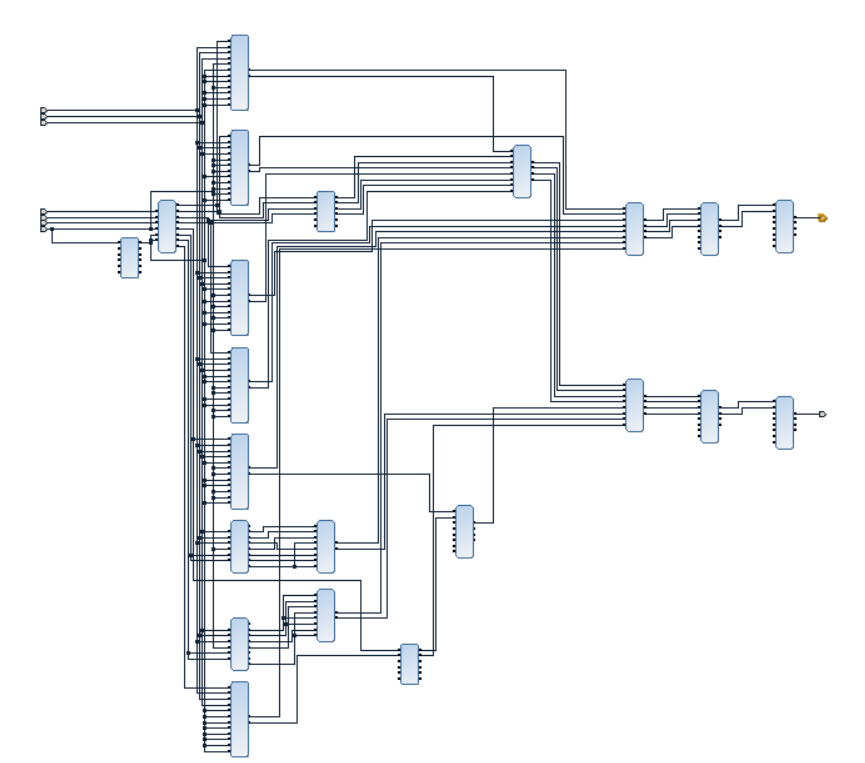
**111——清零：**



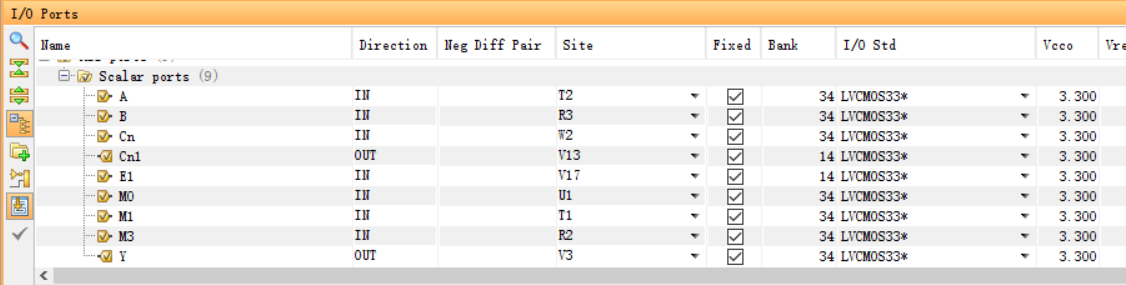


**Proteus仿真完毕；接下来进行vivado连线并烧到basys3板上。**

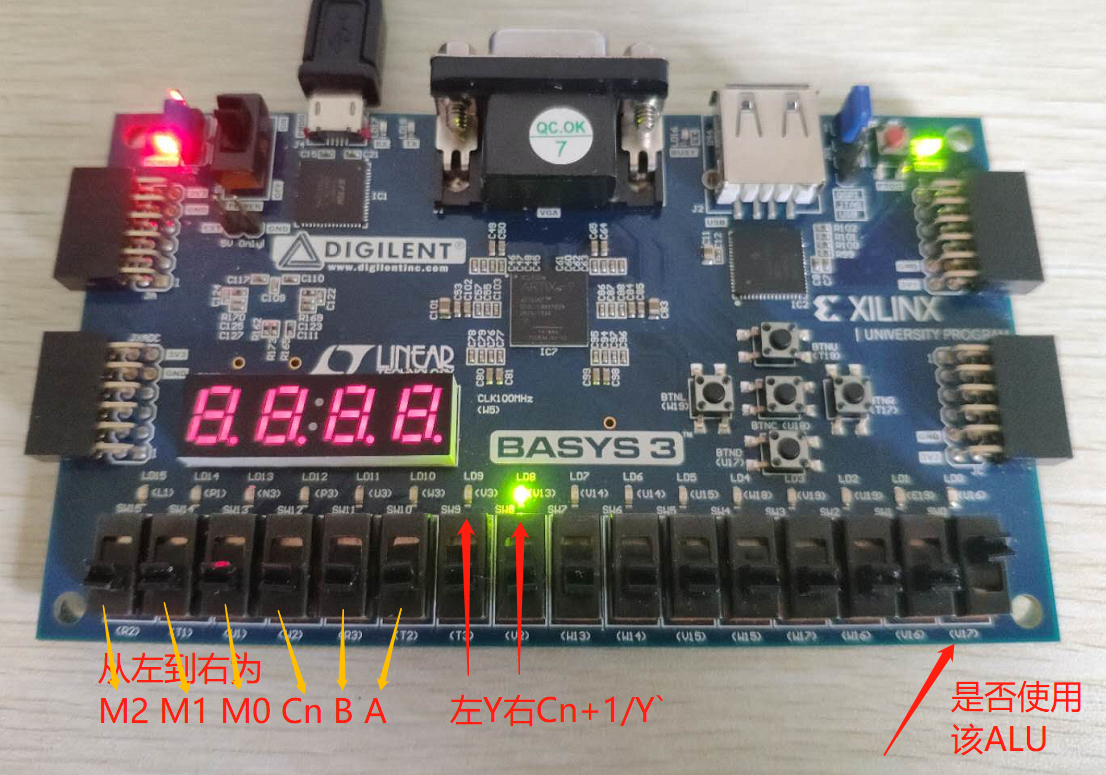
**Vivado连线：**



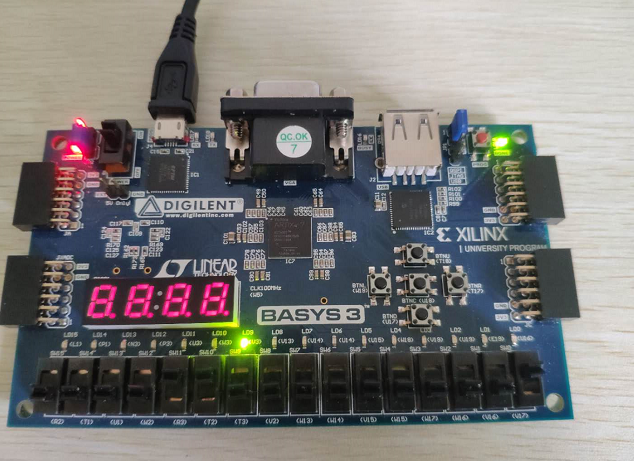
**在IO界面分配引脚：**



**烧到basys3板效果图：**



**例子：下图为与功能中的BA都为1，输出Y为1，Y`为0**



**实验内容二：**

1. 在basys3实验板实现一个十二输入二输出的ALU，即完成4bitALU，包括功能控制端M2、M1、M0（拨码开关），数据输入端（A、B、Cn、A1、B1、A2、B2、A3、B3）（拨码开关）， 数据输出端Y、Cn+1（LED灯），4bit全加器/全减器需考虑上一位的进位/借位，要求将实验内容1完成的1bitALU封装成为自定义IP核，并使用74LS系列的IP核实现。

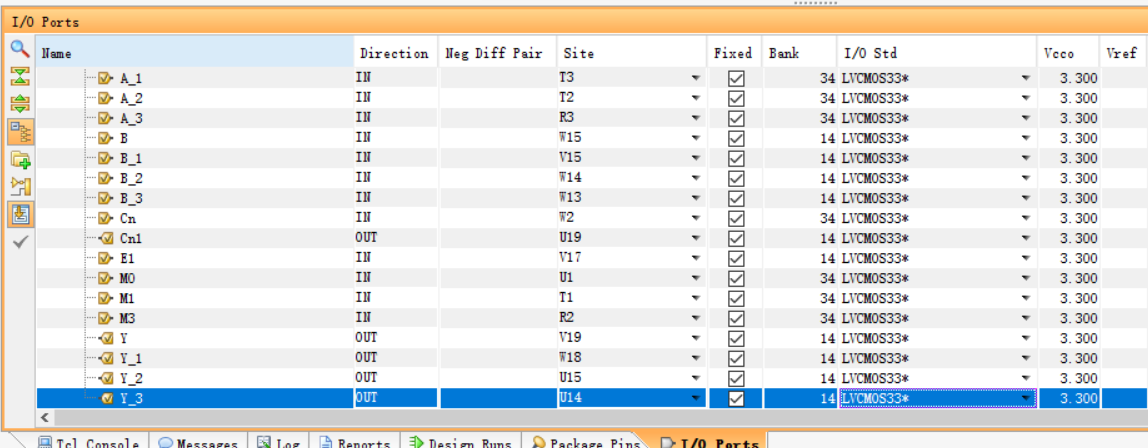
**首先，将实验内容一的1bitALU封装成为ip核：**



**接着利用该ip核连接成为4bitALU：**



**分配引脚：**



**保存并生成xdc约束文件后运行并生成bit文件；**

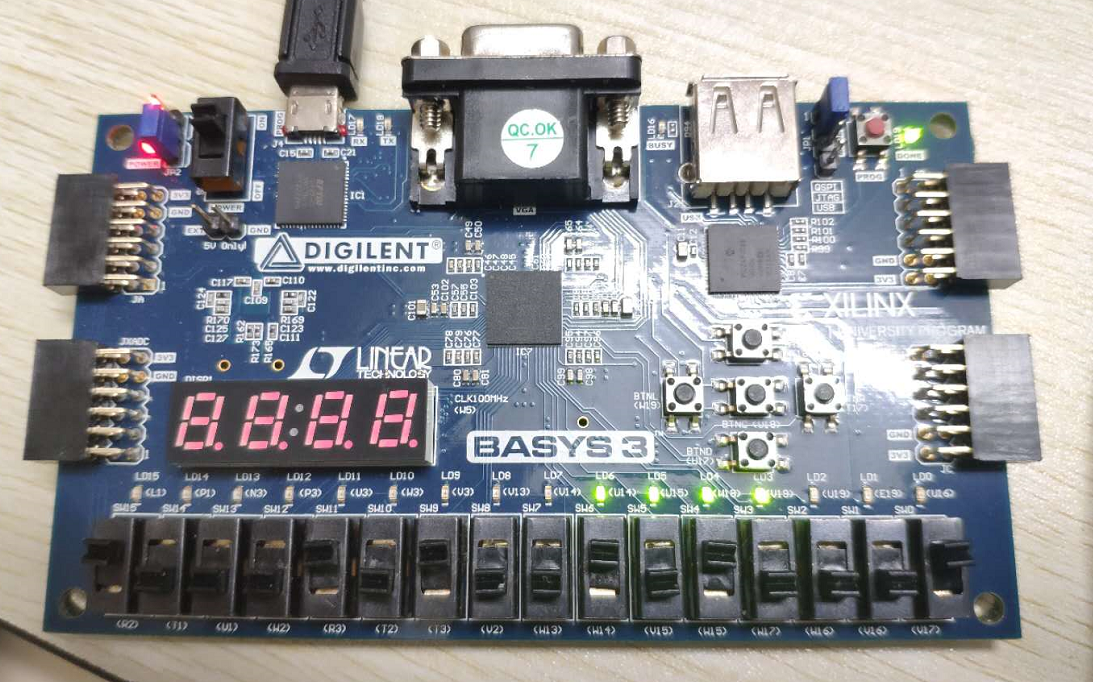
**连接basys3板，先program预览一边效果，确认无误后烧到板子上：**

**效果图：**



**例子：**

**M2M1M0 = 100 时候，即异或功能，1010异或0101，输出1111：**



**实验总结：**

1. 组合逻辑电路的本质仍然是由门电路、集成电路等逻辑原件组合而得到的一个能实现真值表反应的功能的电路，设计实现方法的根本仍然从真值表出发，由真值表得到功能对应的函数式，再通过电路设计分配管脚，最后使用Proteus进行电路仿真，通过实验箱进行现实操作，通过观测波形情况对比真值表得出设计是否正确是否满足功能要求。
2. 本节实验是上一实验的高端升级版，利用74ls151、74ls138等来实现了一个ALU逻辑单元，并且通过制作其中最基本的单位1bit的单元，封装成为自己自定义的ip核，然后调用自定义ip核来实现4bitALU的实现，大大简化的实验流程，缩短了实验时间，提高了效率。