# 系统设计报告

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **文档版本** | **修订内容** | **修订日期** | **设计者** | **审核人** |
| **V1.0** | **创建文档** | **2024.4.28** | **赵泽煊** |  |
|  | **添加内容** | **2024.5.7** | **赵泽煊** |  |

# 系统设计报告

## 概述

## 设计指标

1. **芯片管脚**
2. **功能描述**

4.1超级像素

4.1.1单像素

表4-1 超级像素内部信号

|  |  |
| --- | --- |
| **信号名称** | **描述** |
| clk\_gating | PWELL电压，接-6V |
| VDDD | PAD环数字电源，3.3V |
| VSSD | PAD环地，0V |
| AVSS | 模拟地，0V |

每个超级像素由8个单像素和1个超级像素管理逻辑组成，单像素中内置9bitTOA寄存器、8bitToT寄存器和5bitFTOA寄存器。在粒子径迹检测模式下，当单像素收到超级像素管理逻辑传来的40MHz门控时钟后在每个时钟上升沿进行判断，如果检测到hit\_pixel上升沿，TOA寄存器记录此刻TimeStamp，ToT寄存器在每个时钟上升沿加1，而FTOA检测VCO传到单像素的640MHz时钟，在时钟上升沿若hit\_or为高则寄存器加1。在光子计数模式下，PC为6bit，iToT为14bit，由于使用了寄存器重用，TOA的第0位和第1位、FTOA的0~3位和ToT的8位构成14bit的iToT寄存器，TOA的2~7位构成6bit的PC，FTOA的最高位和TOA最高位未使用。为了实现全帧读出的功能，在shutter下降沿会强制开启一个时钟周期的40MHz门控时钟，使每个单像素中都有至少一个周期的能量信息，在后续处理时需要把PC数为0的数据去掉，剩下的每个iToT减一即可。

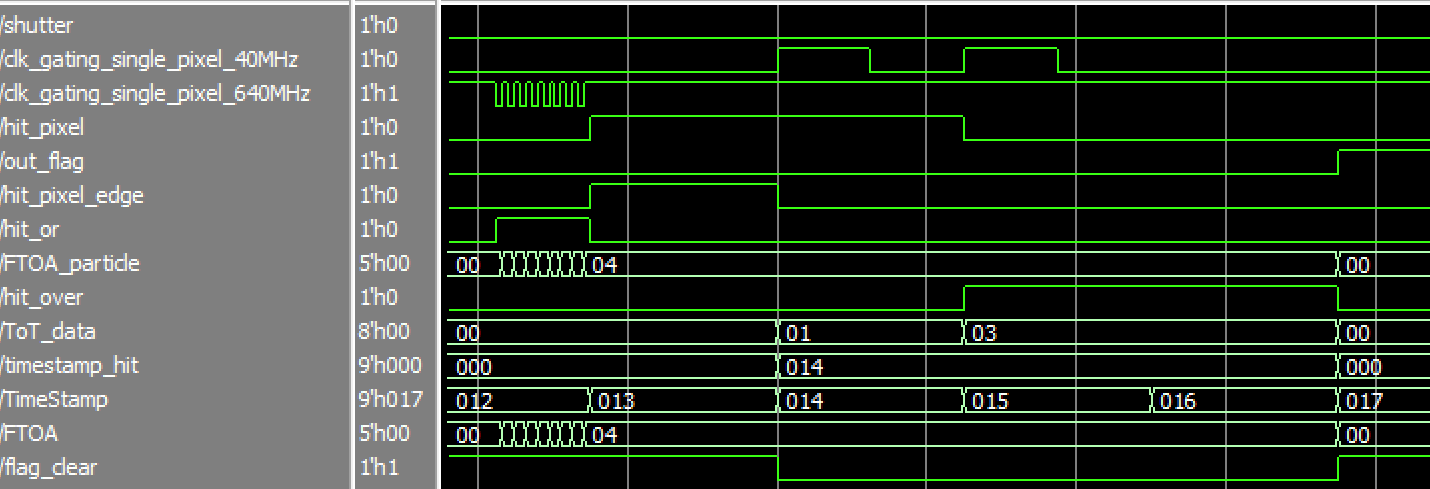


图4-1 粒子径迹检测时序图

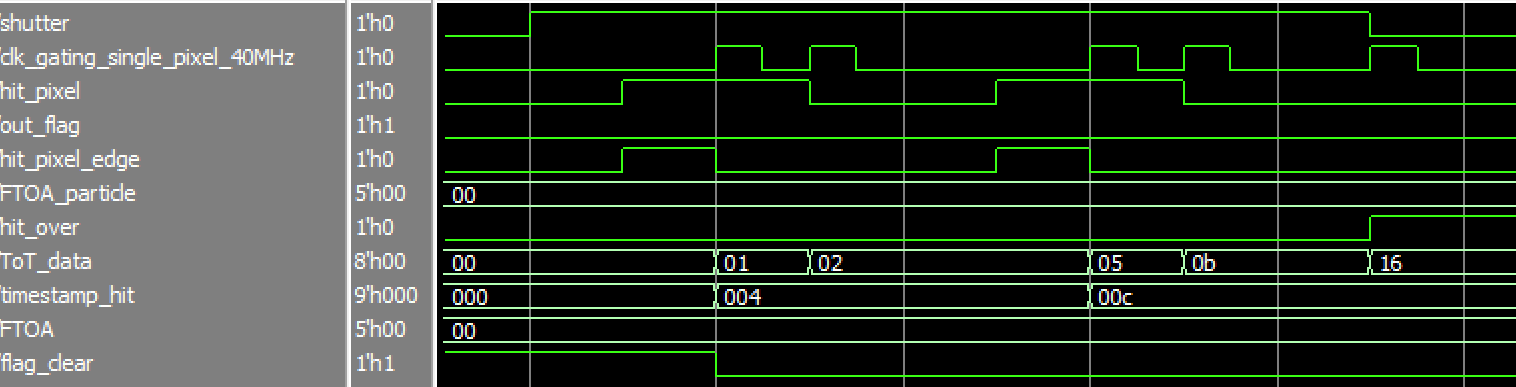


图4-2 光子计数时序图

4.1.2超级像素管理模块

表4-2 超级像素内部信号

|  |  |
| --- | --- |
| **信号名称** | **描述** |
| PWELL | PWELL电压，接-6V |
| VDDD | PAD环数字电源，3.3V |
| VSSD | PAD环地，0V |
| AVSS | 模拟地，0V |

超级像素管理模块与8个单像素相连，超级像素管理模块的主要功能是击中信息处理、击中信号同步和控制、数据存储、超级像素间数据仲裁和DAC配置等。超级像素有两个复位信号，分别是rst\_n和rst\_n\_pixel，rst\_n是电路整体复位，rst\_n\_pixel只清除像素中数据，不清除DAC配置。

表4-3 像素电路工作模式

|  |  |  |
| --- | --- | --- |
| mode | shutter | 工作阶段 |
| 0 | 0 | 粒子径迹检测 |
| 0 | 1 | 非法操作 |
| 1 | 0 | 光子计数帧读出阶段 |
| 1 | 1 | 光子计数数据记录阶段 |

由Mask和Dpulse\_en来对电路功能进行测试，关闭坏掉的像素点。每个单像素有六位配置信息，其中第0位是Dpulse\_en，第1位是Mask，当Mask为1时，屏蔽这个像素，当为0时正常工作，当Dpulse\_en为1时，从pad传来的Dpulse会产生击中信号。从模拟部分传来的hit也会产生击中信号。

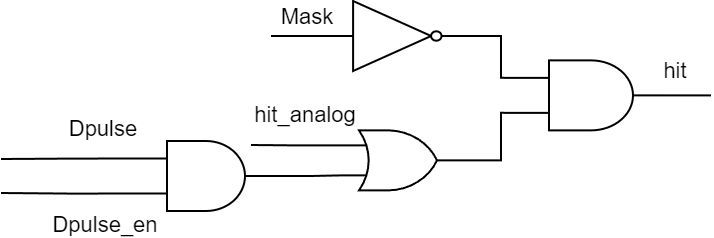


图4-3 击中信号处理

当击中信号到来时，在时钟下降沿先对信号进行同步获得hit\_negedge，再在时钟上升沿时对hit\_negedge信号进行同步获得hit\_pixel，对hit\_pixel再打一拍获得hit\_pixel\_temp，将hit\_pixel和hit\_pixel\_temp进行与操作获得hit\_pixel上升沿信号hit\_pixel\_edge。Hit\_or信号记录从hit到hit\_pixel中间的时间，为单像素的FTOA计时提供判断。将hit\_pixel作为门控时钟使能信号，产生40MHz门控时钟传入单像素中。

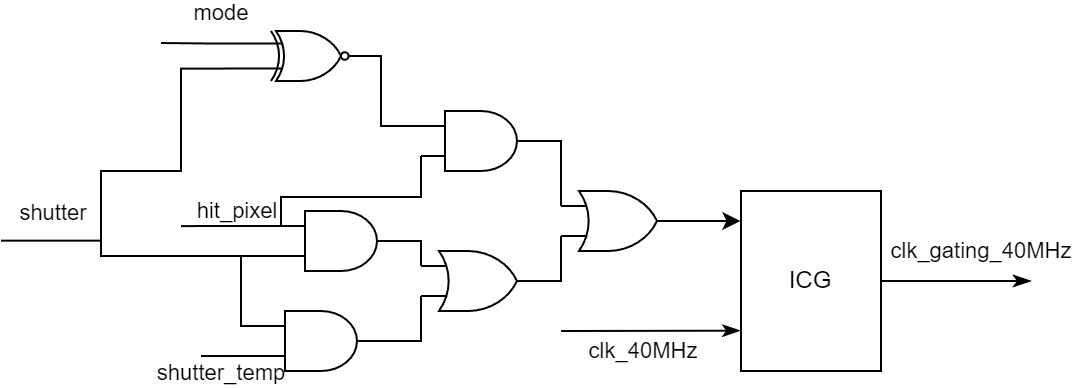
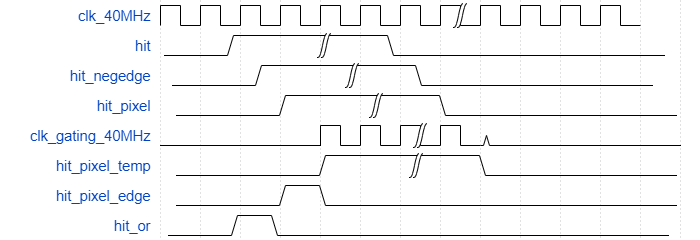


图4-4 门控时钟产生图4-5 击中信号处理、同步与控制时序图

每个超级像素管理模块中有48bit配置寄存器，每个单像素6bit。进行DAC配置时，在每个配置时钟上升沿接受从外面传入的6bit配置信息，并且寄存器左移6位，将配置信息存在第0~5位上。

当单像素获取完数据后hit\_over信号升高，超级像素管理模块通过仲裁确定取走哪个单像素的数据并传给外围读出电路。仲裁的规则是如果首次传输时上个超级像素有数据，那么先传它的，然后传自身的数据，当都有数据时交替传输。当只有上一个超级像素或自身有数据时直接选择进行数据传输。

表4-4 超级像素26bit数据

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 寄存器位分组 | 25~17 | 16~12 | 11~4 | 3 | 2~0 |
| 粒子追踪模式  (TOT) | TOA(9bit gray) | FTOA  (4bit LFSR) | TOT  (8bit LFSR) | Addr\_col  (1bit) | Addr\_single\_pixel(3bit) |

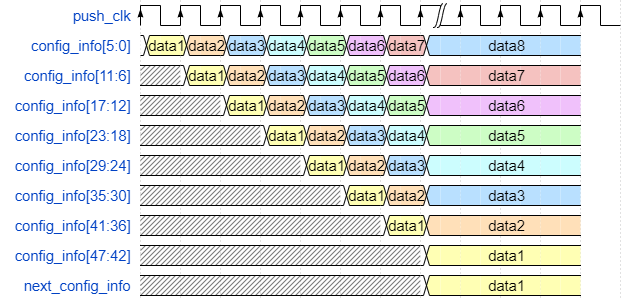


图4-6 DAC配置时序图

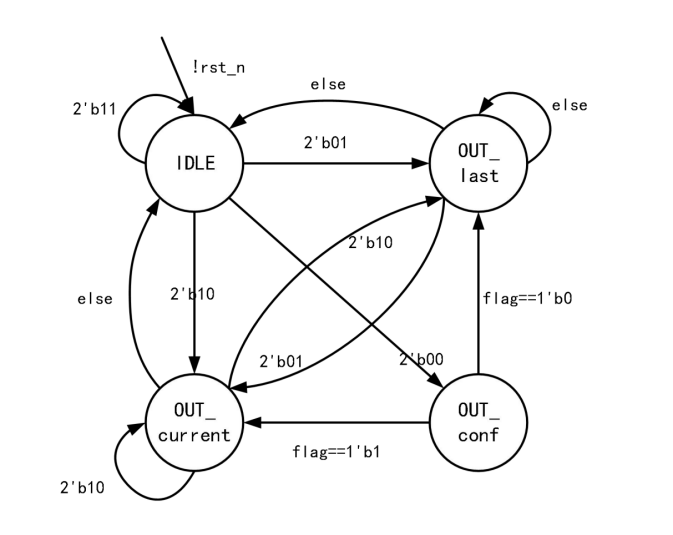


图4-7 超级像素仲裁状态机

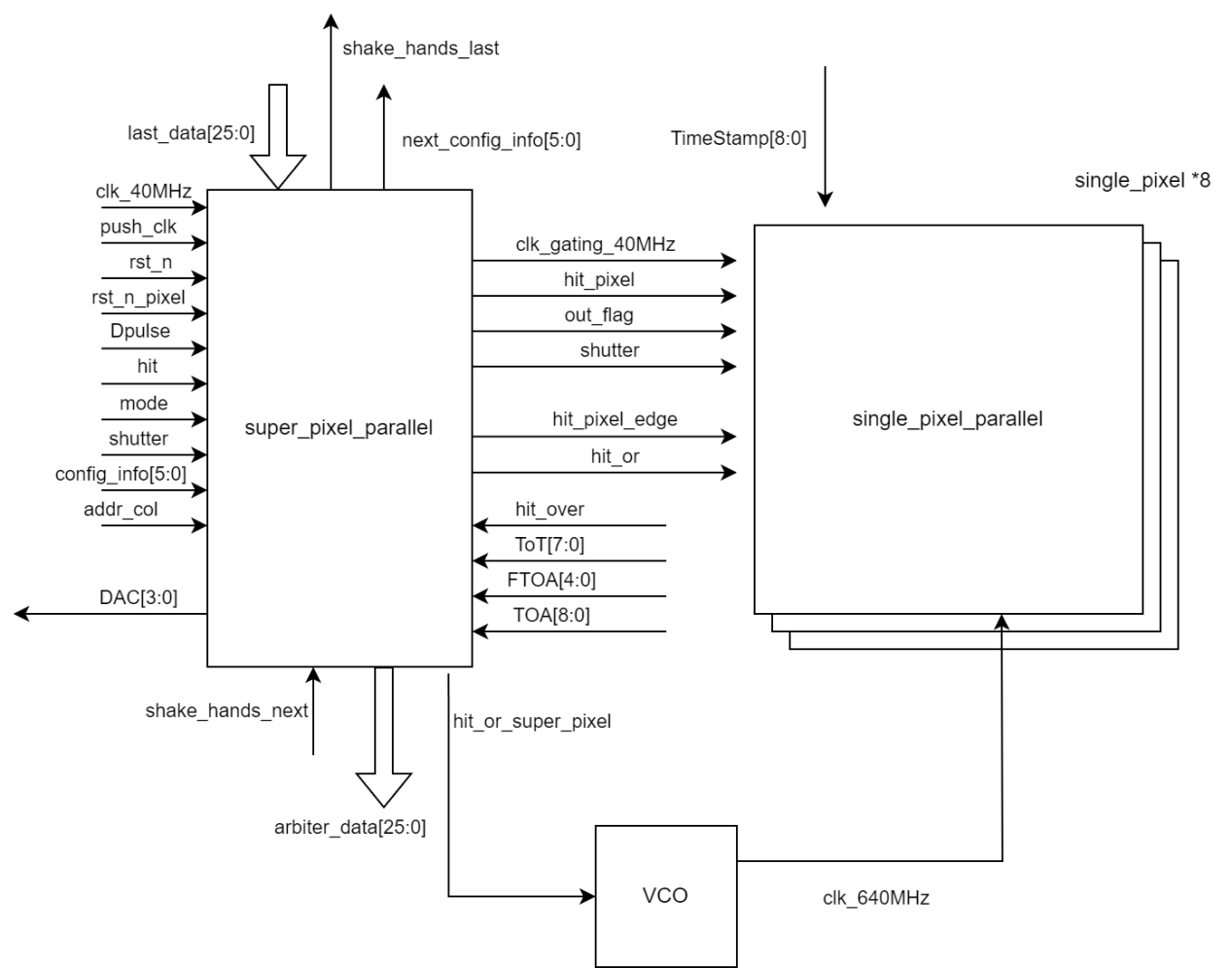


图4-8 超级像素总体框图