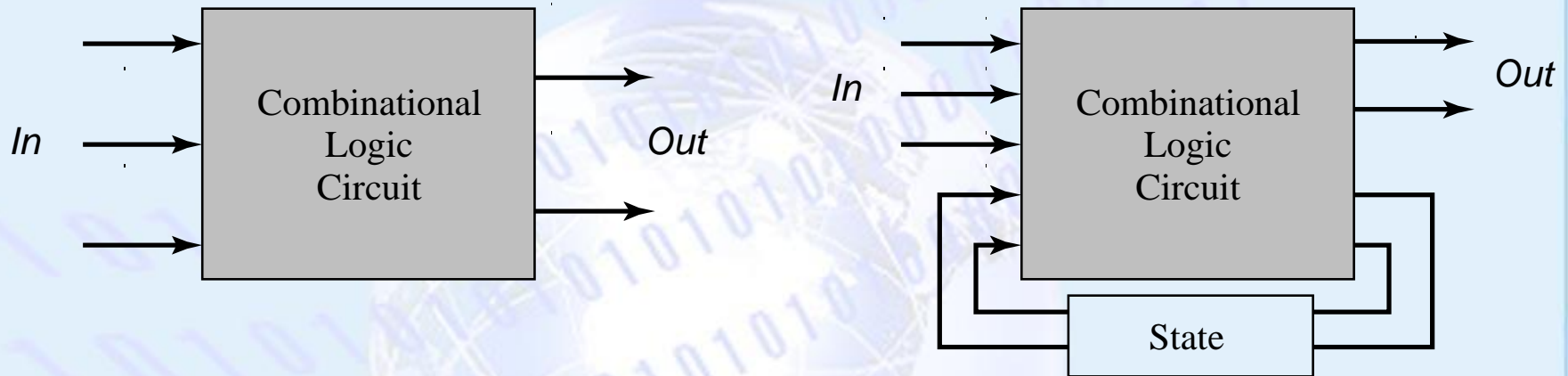




数字集成电路设计简介



组合逻辑和时序逻辑

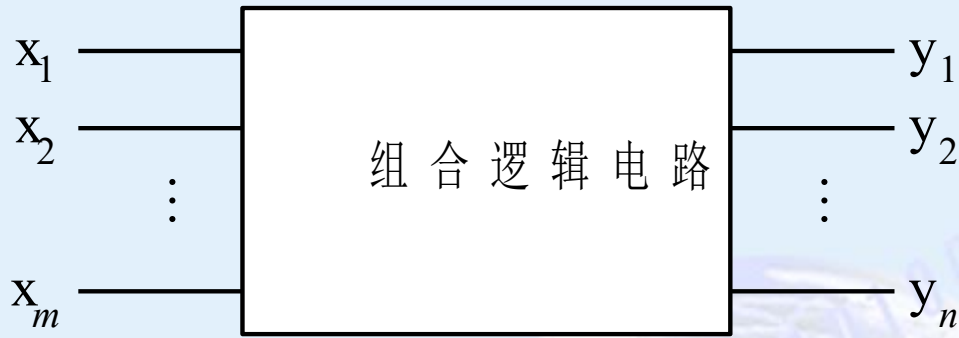


Combinational

$$\text{Output} = f(\text{In})$$

Sequential

$$\text{Output} = f(\text{In}, \text{Previous In})$$



输入/输出表达式描述为

$$y_1 = F_1(x_1, x_2, \dots, x_m)$$

$$y_2 = F_2(x_1, x_2, \dots, x_m)$$

✓ ...

$$y_n = F_n(x_1, x_2, \dots, x_m)$$

1. 组合逻辑电路的分析

电路 \Rightarrow 真值表

2. 组合逻辑电路的设计

功能 \Rightarrow 电路

- (1) 确定 **I/O**
- (2) 列真值表
- (3) 求最简表达式
- (4) 用基本门电路实现

1. 表达式

1) 标准与或表达式

$$F(A, B, C, \dots) = \sum m_i = \sum m(i) = \sum (i)$$

2) 标准或与表达式

$$F(A, B, C, \dots) = \prod M_i = \prod M(i) = \prod (i)$$

2. 真值表

3. 卡诺图

4. 逻辑图

$$(1) 0 \cdot 0 = 0$$

$$(2) 0 \cdot 1 = 0$$

$$(3) 1 \cdot 1 = 1$$

$$(4) \bar{0} = 0$$

$$(5) 0 \cdot A = 0$$

$$(6) 1 \cdot A = A$$

$$(7) A \cdot \bar{A} = 0$$

$$(8) A \cdot A = A$$

$$(9) A \cdot B = B \cdot A$$

$$(10) A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

$$(11) A \cdot (B + C) = A \cdot B + A \cdot C$$

$$(12) \overline{A + B} = \bar{A} \cdot \bar{B}$$

$$(13) \overline{\bar{A}} = A$$

$$(1') 0 + 0 = 0$$

$$(2') 0 + 1 = 1$$

$$(3') 1 + 1 = 1$$

$$(4') \bar{1} = 0$$

$$(5') 0 + A = A$$

$$(6') 1 + A = 1$$

$$(7') A + \bar{A} = 1$$

$$(8') A + A = A$$

$$(9') A + B = B + A$$

$$(10') A + (B + C) = (A + B) + C$$

$$(11') A + B \cdot C = (A + B) \cdot (A + C)$$

$$(12') \overline{A \cdot B} = \bar{A} + \bar{B}$$

表1—13 判奇电路的真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

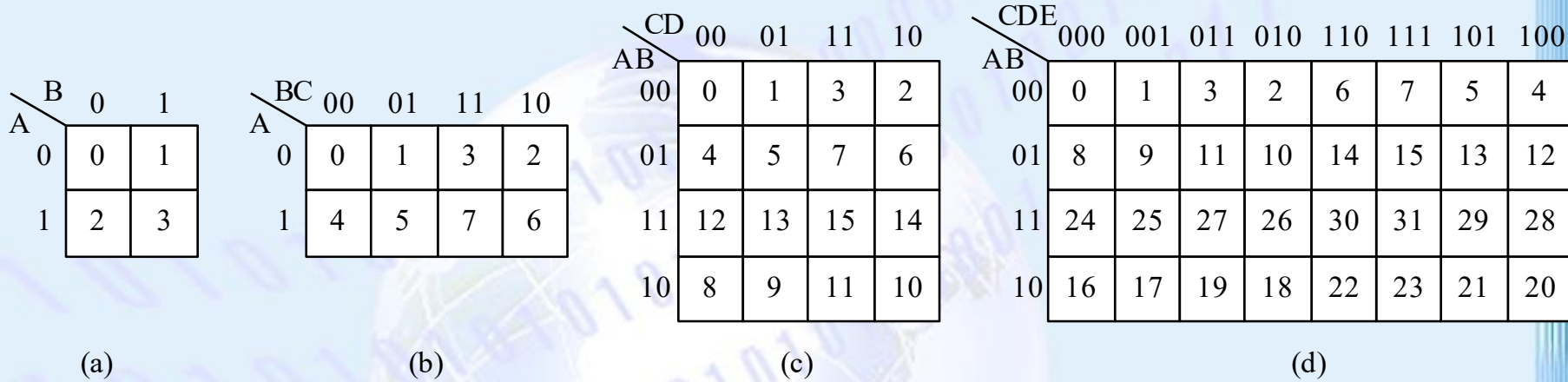


图1—5 变量卡诺图

(a)两变量;(b)三变量;(c)四变量;(d)五变量

CD \ AB	00	01	11	10
00	0	1	0	1
01	1	1	1	0
11	0	0	0	1
10	0	1	1	0

图1—6 一个四变量函数的卡诺图



2. 真值表→表达式

两种标准的形式:**标准与或**和**标准或与**

1) 标准与或表达式

标准与或表达式: 每个与项都为**标准与项**

• **标准与项**: 又称**最小项**, 包含了所有逻辑变量, 每个变量以原变量或反变量出现一次且出现一次。



最小项:

- (1) 所有逻辑变量相与;
- (2) 每个变量仅出现一次 (以原变量或反变量);
- (3) 编号由变量取值组合的逻辑值决定。

- 最小项编号的确定:
 - 变量为原变量 \Rightarrow 对应组合中变量取值为1;
 - 变量为反变量 \Rightarrow 对应组合中变量取值为0。
-
- A、B、C的最小项 $\overline{A}BC$: 对应变量的取值组合为101,
 - 该值为5, 所以 $\overline{A}BC$ 记为 m_5 。



最小项的性质:

- (1) 每个最小项都与变量的惟一的一个取值组合相对应，只有该组合使这个最小项取值为1，其余任何组合均使该最小项为0。
- (2) 所有不同的最小项相或，结果一定为1。
- (3) 任意两个不同的最小项相与，结果一定为0。

- 标准与或表达式:
- 让函数值为1的最小项之和

$$F(A, B, C, \dots) = \sum m_i = \sum m(i) = \sum (i)$$

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$F(A,B,C)=\overline{A}\overline{B}C+\overline{A}B\overline{C}+A\overline{B}\overline{C}+ABC$$

$$=m_1+m_2+m_4+m_7$$

$$=\sum m(1,2,4,7)$$

$$=\sum (1,2,4,7)$$



写出函数 $F=A+\overline{B}C+\overline{A}B\overline{C}$ 的标准与或表达式。

解: $F=A+\overline{B}C+\overline{A}B\overline{C}$

$$=A(B+\overline{B})(C+\overline{C})+(A+\overline{A})BC+\overline{A}B\overline{C}$$

$$=ABC+A\overline{B}C+A\overline{B}\overline{C}+A\overline{B}C+A\overline{B}C+A\overline{B}C+A\overline{B}C$$

$$=\overline{A}BC+\overline{A}B\overline{C}+A\overline{B}C+A\overline{B}C+A\overline{B}C+A\overline{B}C$$

也可以写成

$$(A,B,C)=m_1+m_2+m_4+m_5+m_6+m_7$$

或 $F(A,B,C)=\sum m(1,2,4,5,6,7)$

或 $F(A,B,C)=\sum (1,2,4,5,6,7)$



2)标准或与表达式

- 标准或与表达式：每个或项均为**标准或项**。
- **标准或项**：又称**最大项**，包含了所有逻辑变量，每个变量以原变量或反变量出现一次且仅出现一次。

最大项：

- (1)所有逻辑变量相或；
- (2)每个变量仅出现一次（以原变量或反变量）；
- (3)编号由变量取值组合的逻辑值决定。

最大项编号的确定：

变量为原变量 \Rightarrow 对应组合中变量取值为0；

变量为反变量 \Rightarrow 对应组合中变量取值为1。

A、B、C的最大项 ($A+B+C$)对应的变量取值组合为010，其大小为2，因而该最大项编号为2，记为 M_2 。



最大项的主要性质:

(1)每个最大项都与变量的惟一的一个取值组合相对应，只有该组合使这个最大项取值为0，其余任何组合均使该最大项为1。

(2)所有不同的最大项相与，结果一定为0。

(3)任意两个不同的最大项相或，结果一定为1。

- 标准或与表达式:
- 让函数值为0的最大项之和

$$F(A, B, C, \dots) = \prod M_i = \prod M(i) = \prod (i)$$

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

$$\begin{aligned}
 F(A,B,C) &= (A+B+\bar{C})(A+\bar{B}+C) \\
 &\quad (\bar{A}+B+C)(\bar{A}+\bar{B}+C) \\
 &= M_1 + M_2 + M_4 + M_7 \\
 &= \prod M(1,2,4,7) \\
 &= \prod (1,2,4,7)
 \end{aligned}$$



写出函数 $F=A(\bar{B}+C)$ 的标准或与表达式。

• 解:

$$F=A(\bar{B}+C)$$

$$=(A+B\bar{B}+C\bar{C})(A\bar{A}+\bar{B}+C)$$

$$=(A+B+C)(A+\bar{B}+C)(A+B+\bar{C})(A+\bar{B}+\bar{C})(A+\bar{B}+C)(\bar{A}+\bar{B}+C)$$

$$=(A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(A+\bar{B}+\bar{C})(\bar{A}+\bar{B}+C)$$

也可以写成 $F(A,B,C)=M_0+M_1+M_2+M_3+M_6$

或 $F(A,B,C)=\prod M(0,1,2,3,6)$

或 $F(A,B,C)=\prod (0,1,2,3,6)$



组合逻辑和时序逻辑电路

组合逻辑电路的设计

功能 \Rightarrow 电路

设计步骤

1. 分析逻辑功能要求，确定输入/输出变量 (I/O)；
2. 根据功能要求列出待设计电路的真值表； ■
3. 用逻辑代数公式或卡诺图求出输出函数的最简表达式；
4. 用基本门电路实现函数。

组合逻辑和时序逻辑电路

组合逻辑电路的设计

设计一个有三个输入、一个输出的组合逻辑电路，输入为二进制。
当输入二进制能被3整除时，输出为1，否则，输出为0。

设输入变量为A、B、C，输出变量为Z。

1. 根据逻辑功能要求，列出的电路的真值表
2. 画出的相应的卡诺图
3. 由卡诺图得到的输出Z的表达式

A \ BC				
	00	01	11	10
0	1		1	
1				1

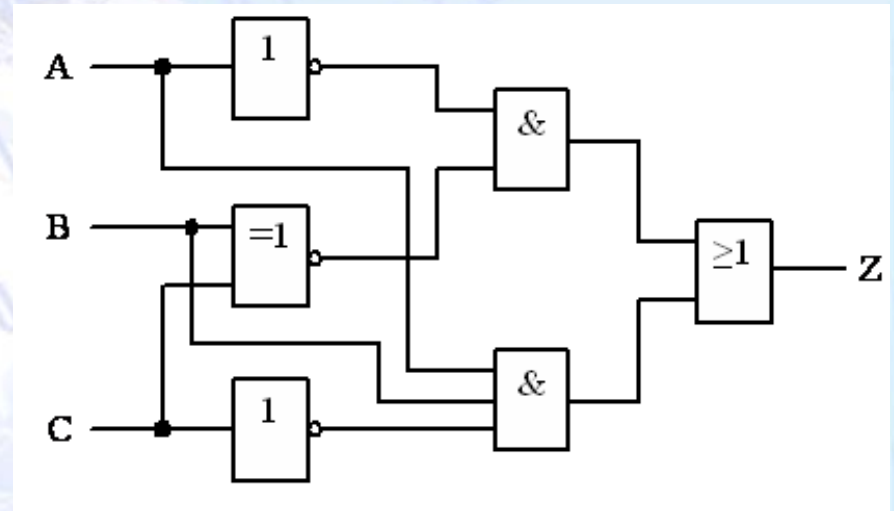
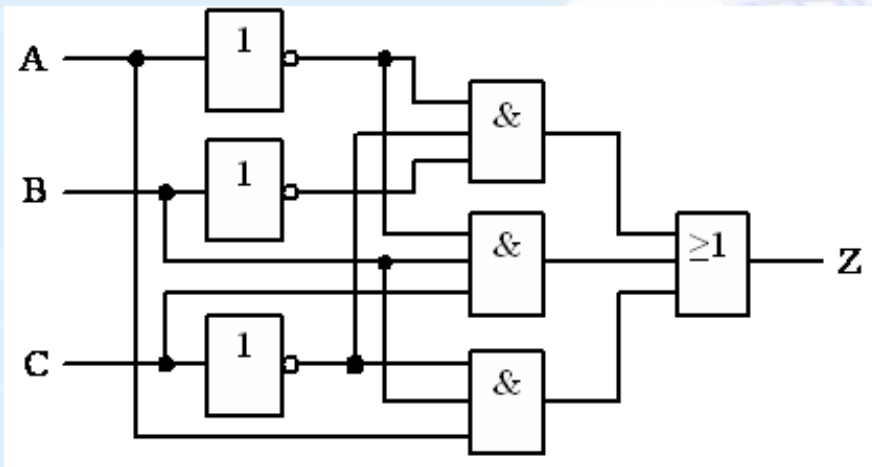
$$Z = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} = \overline{A}\overline{B} \oplus C + A\overline{B}\overline{C}$$

A	B	C	Z
0	0	0	1
0	1	0	0
0	0	1	0
0	1	1	1
1	1	1	0
1	0	1	0
1	1	0	1
1	0	0	0

组合逻辑和时序逻辑电路

组合逻辑电路的设计

$$Z = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}\overline{C} = \overline{A}\overline{B} \oplus C + A\overline{B}\overline{C}$$





组合逻辑和时序逻辑电路

组合逻辑电路的设计

某厂有A、B、C三个车间和Y、Z两台发电机。如果一个车间开工，启动Z发电机即可满足使用要求；如果两个车间同时开工，启动Y发电机即可满足使用要求；如果三个车间同时开工，则需要同时启动Y、Z两台发电机才能满足使用要求。试仅用与非门和异或门两种逻辑门设计一个供电控制电路，使电力负荷达到最佳匹配。

1. 确定I/O

输入：开工的车间 A, B, C

输出：发电机 Y, Z

用“0”表示该厂车间不开工或发电机不工作，用“1”表示该厂车间开工或发电机工作。为使电力负荷达到最佳匹配，应该根据车间的开工情况即负荷情况，来决定两台发电机的启动与否。

组合逻辑和时序逻辑电路

组合逻辑电路的设计

A	B	C	Y	Z
0	0	0		
0	1	0		1
0	0	1		1
0	1	1	1	
1	1	1	1	1
1	0	1	1	
1	1	0	1	
1	0	0		1

BC \ A	00	01	11	10
0			1	
1		1	1	1

Y

$$Y = AB + BC + AC$$

BC \ A	00	01	11	10
0		1		1
1	1		1	

Z

$$Z = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

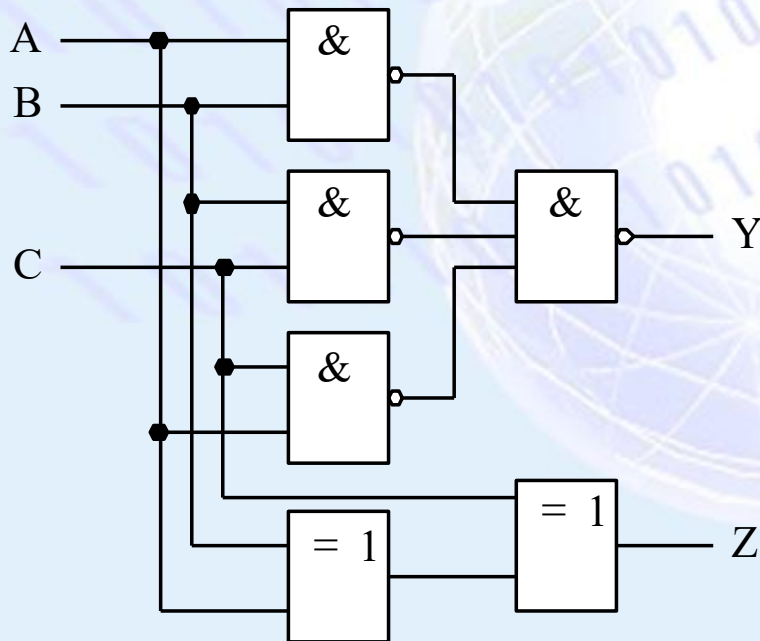
组合逻辑和时序逻辑电路

组合逻辑电路的设计

$$Y = \overline{\overline{AB + BC + AC}} = \overline{ABBCAC}$$

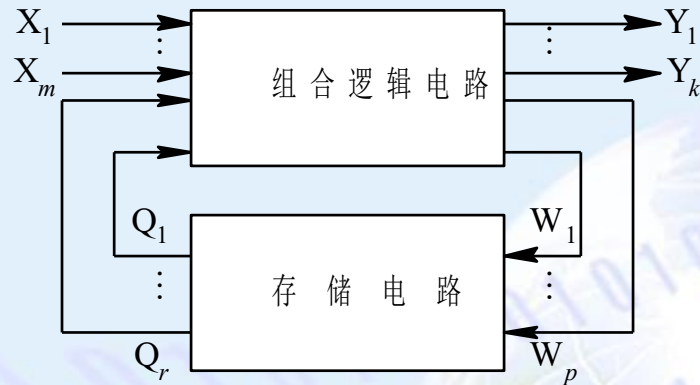
与非门实现

$$Z = \overline{A}BC + A\overline{B}C + A\overline{B}\overline{C} + ABC = A \oplus B \oplus C$$



时序逻辑电路

1.描述方法



$$Y_i = f_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), \quad i=1, \dots, k$$

$$W_i = g_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), \quad i=1, \dots, p$$

$$Q^{n+1}_i = h_i(W^n_1, W^n_2, \dots, W^n_p, Q^n_1, Q^n_2, \dots, Q^n_r), \quad i=1, \dots, r$$

- 1)特性方程组：输出、驱动（激励）、状态
- 2)特性表：输入、现态 → 次态
- 3)驱动表：电路输入、现态、次态 → 触发器 输入
- 4)状态转换图：图形表示状态的转换及条件
- 5)时序图：时钟、输入、状态的时间对应



时序逻辑电路

2. 触发器

1. RS触发器

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$
$$Q^{n+1} = Q^n$$

2. D触发器

$$Q^{n+1} = D \quad \text{CP有效时}$$
$$Q^{n+1} = Q^n \quad \text{CP无效时}$$

3. JK触发器

$$Q^{n+1} = J\bar{Q}_n + \bar{K}Q_n \quad \text{CP有效时}$$
$$Q^{n+1} = Q_n \quad \text{CP无效时}$$

4. T触发器

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n \quad \text{CP有效时}$$
$$Q^{n+1} = Q^n \quad \text{CP无效时}$$

1.RS触发器

表 4 - 7 RS 触发器的特性表

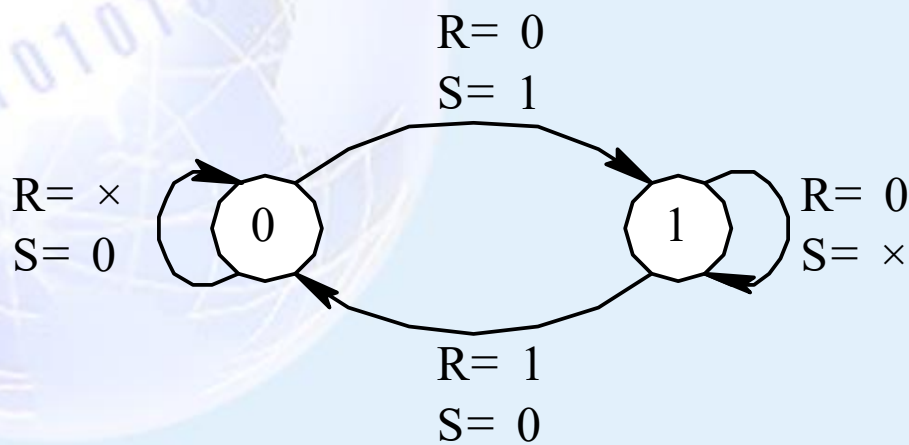
R	S	Q^n	Q^{n+1}	逻辑功能
0	0	0	0	保持
0	0	1	1	
0	1	0	1	
0	1	1	1	置 1
1	0	0	0	置 0
1	0	1	0	
1	1	0	×	约束
1	1	1	×	

表4—8 RS触发器的驱动表

Q^n	Q^{n+1}	R	S
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases}$$

$$Q^{n+1} = Q^n$$



2. D触发器

表4—9 D触发器的特性表

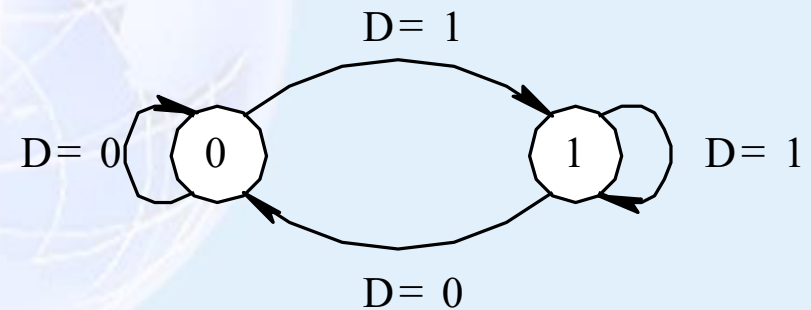
D	Q^n	Q^{n+1}	逻辑功能
0	0	0	置 0
0	1	0	
1	0	1	置 1
1	1	1	

表4—10 D触发器的驱动表

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

$$Q^{n+1} = D \quad \text{CP有效时}$$

$$Q^{n+1} = Q^n \quad \text{CP无效时}$$



3.JK触发器

表 4 - 11 JK 触发器的特性表

J	K	Q^n	Q^{n+1}	逻辑功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	

表4—12 JK触发器的驱动表

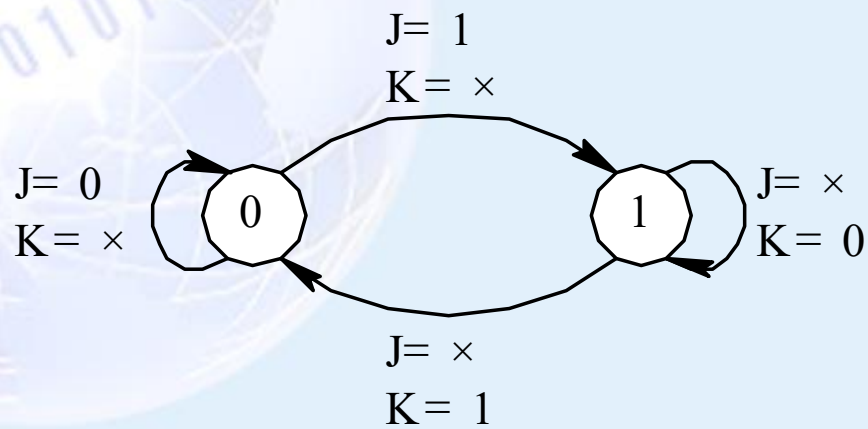
Q^n	Q^{n+1}	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

$$Q^{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

CP有效时

$$Q^{n+1} = Q_n$$

CP无效时



4. T触发器

表4—13 T触发器的特性表

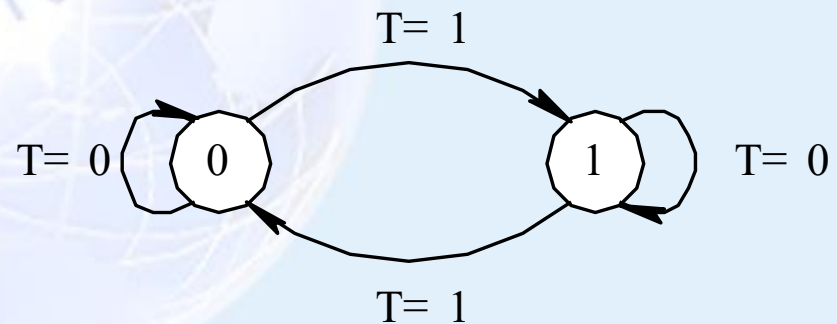
T	Q^n	Q^{n+1}	逻辑功能
0	0	0	保持
0	1	1	
1	0	1	翻转
1	1	0	

表4—14 T触发器的驱动表

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n \quad \text{CP有效时}$$

$$Q^{n+1} = Q^n \quad \text{CP无效时}$$





时序逻辑电路

3. 分析

分析同步时序逻辑电路的一般步骤:

(1) 根据逻辑图写方程组

$$\text{输出: } Y_i = f_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), i=1, \dots, k$$

$$\text{激励: } W_i = g_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), i=1, \dots, p$$

(2) 结合触发器特性方程, 写出各个触发器的状态方程。

$$\text{状态: } Q_{n+1}^i = h_i(W_{n1}, W_{n2}, \dots, W_{np}, Q_{n1}, Q_{n2}, \dots, Q_{nr}), i=1, \dots, r$$

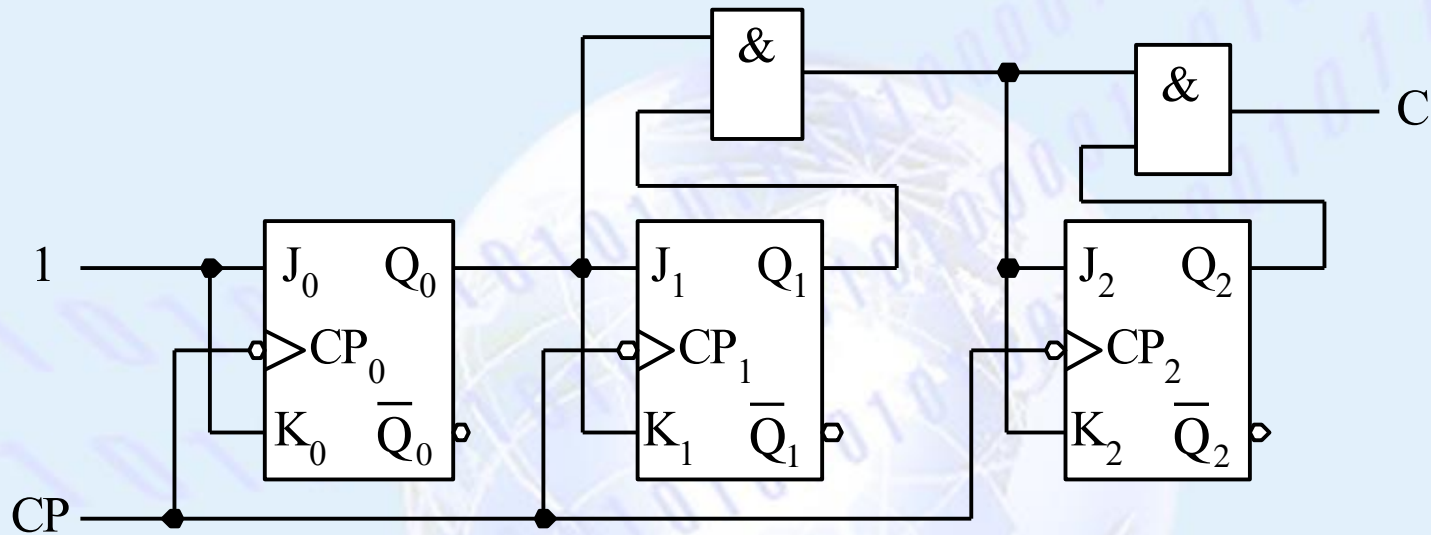
(3) 写出状态表 (特性表)

输入、现态 \rightarrow 次态

(4) 画状态图、时序图。

时序逻辑电路

3. 分析



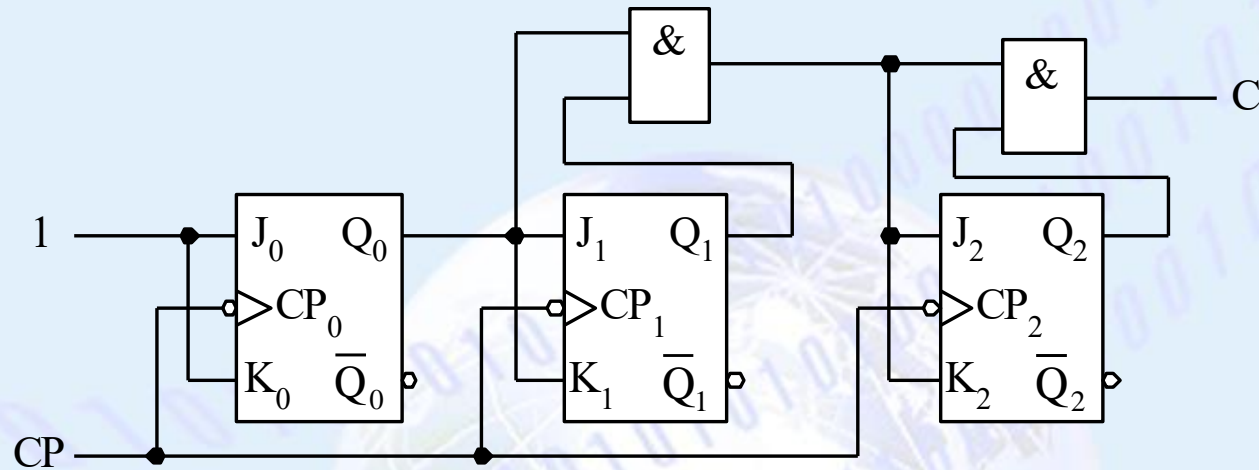
输入：1（ CP 不作为逻辑输入）

输出：C

5个器件，其中3个JK触发器 $\rightarrow 2^3$ 个状态

时序逻辑电路

3. 分析



(1) 根据逻辑图写输出和激励方程

输出方程: $C = Q_0^n Q_1^n Q_2^n$

驱动方程:

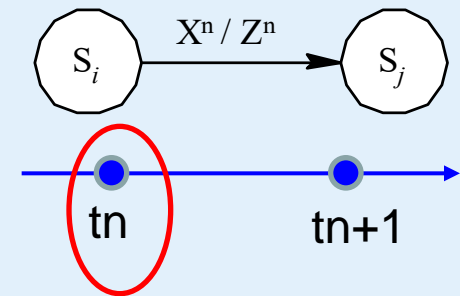
$$J_0 = K_0 = 1,$$

$$J_1 = K_1 = Q_0^n,$$

$$J_2 = K_2 = Q_0^n Q_1^n$$

时钟方程: $CP_0 = CP_1 = CP_2 = CP \rightarrow$ 同步逻辑

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



时序逻辑电路

3. 分析

特性表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	C
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1

(2) 写出各个触发器的状态方程

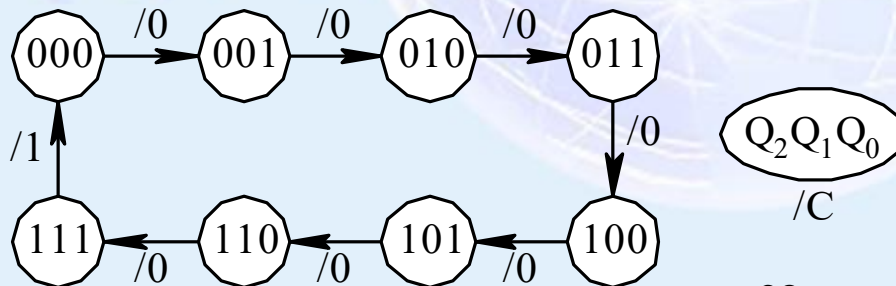
$$Q_1^{n+1} = Q_0^n$$

$$Q_1^{n+1} = Q_0^n \bar{Q}_1^n + \bar{Q}_0^n Q_1^n$$

$$Q_2^{n+1} = Q_0^n Q_1^n \bar{Q}_2^n + \overline{Q_0^n Q_1^n Q_2^n}$$

(3) 写出状态表 (特性表)

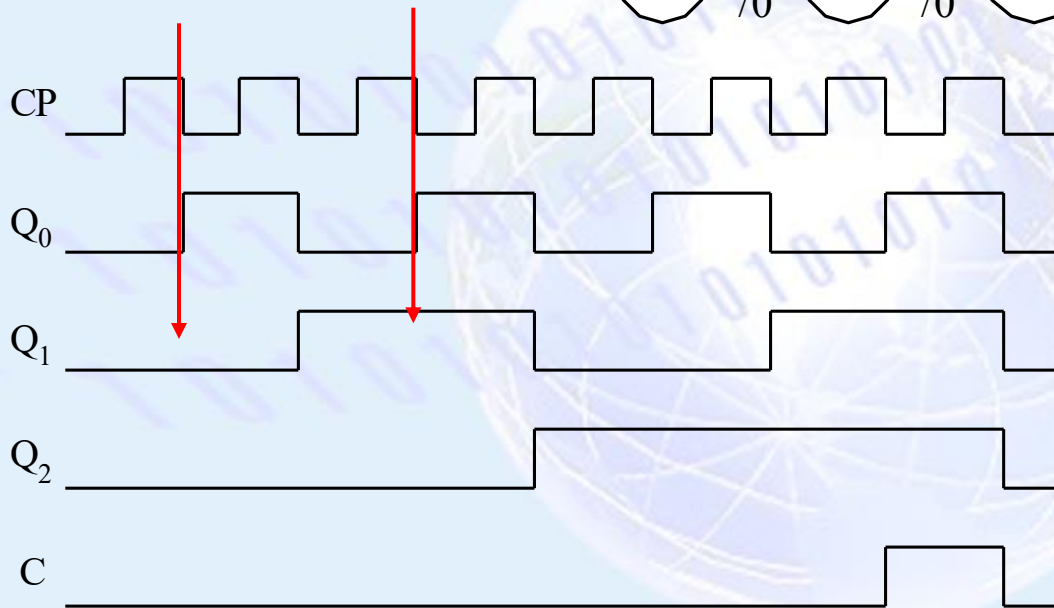
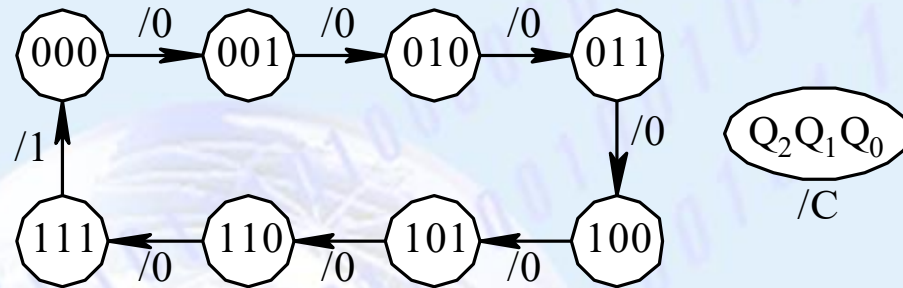
(4) 画状态图、时序图



时序逻辑电路

3. 分析

(4) 画状态图、时序图



Q_i 的频率和CP频率的关系?

分频器

CPU: GHz

占空比: Q_2 50%, C 12.5%



时序逻辑电路

4. 设计

- (1) 功能 \Rightarrow 状态
- (2) 状态化简
- (3) 触发器数目, 状态分配 \Rightarrow 状态转换图
- (4) 触发器选型, 确定驱动表

驱动表: 电路输入、现态、次态 \rightarrow 触发器 输入

- (5) 驱动表 \Rightarrow 卡诺图 \Rightarrow 触发器驱动方程

卡诺图: 电路输入、现态 \rightarrow 触发器 输入

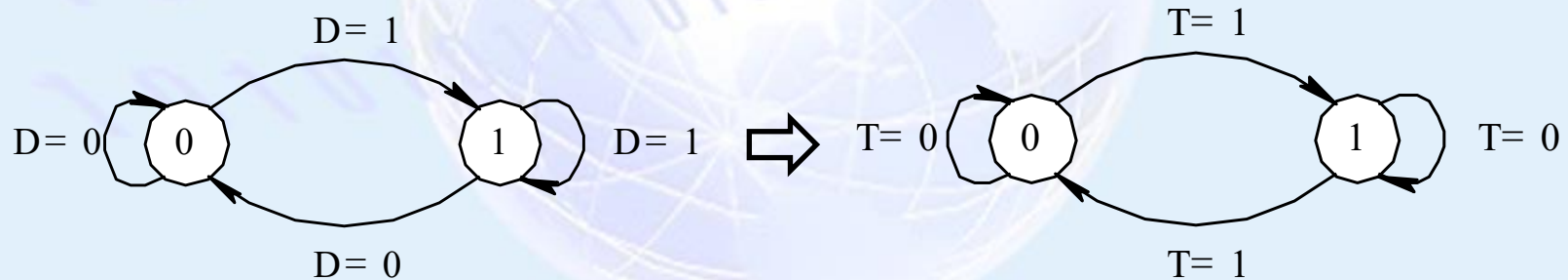
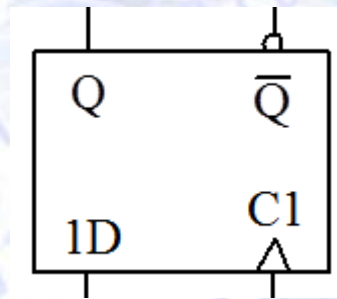
- (6) 检查电路能否自启动。如不能自启动,则进行修改。
- (7) 画逻辑图并实现电路。

时序逻辑电路

4. 设计

设计一个T触发器，采用D触发器实现

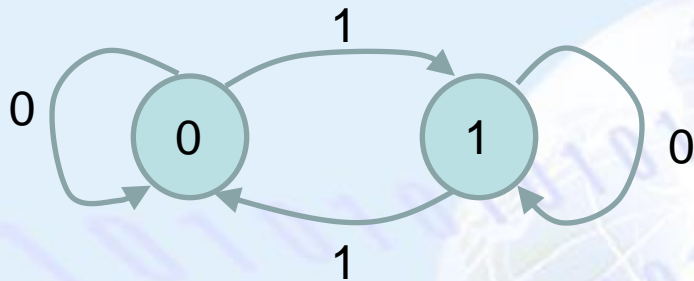
输入: T
输出: Q, \bar{Q}



时序逻辑电路

4. 设计

(1) (2) (3) : 状态位数 \rightarrow 1个触发器



(4) : 激励表: D触发器

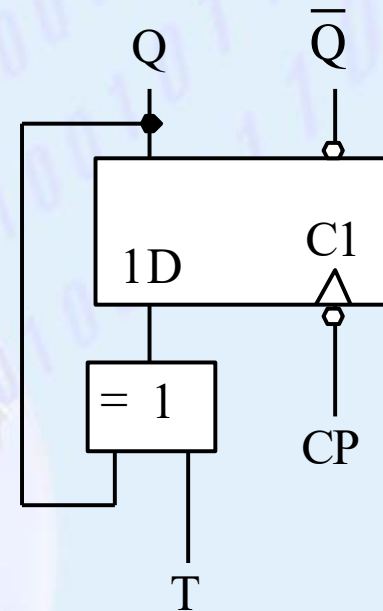
Q_n	Q_{n+1}	T	D
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1



Q_n	T	D
0	0	0
0	1	1
1	1	0
1	0	1



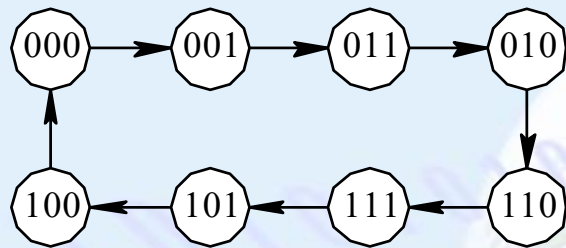
$$D = \overline{Q_n}T + \bar{T}Q_n$$



时序逻辑电路

4. 设计

用下降沿动作的JK触发器设计一个同步时序逻辑电路,要求其状态转换图如下



异步

驱动表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	×	0	×	1	×
0	0	1	0	1	1	0	×	1	×	×	0
0	1	0	1	1	0	1	×	×	0	0	×
0	1	1	0	1	0	0	×	×	0	×	1
1	0	0	0	0	0	×	1	0	×	0	×
1	0	1	1	0	0	×	0	0	×	×	1
1	1	0	1	1	1	×	0	×	0	1	×
1	1	1	1	0	1	×	0	×	1	×	0

时序逻辑电路

4. 设计

用下降沿动作的JK触发器设计一个同步时序逻辑电路,要求其状态转换图如下

J2

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0				1
Q_2^n 1	×	×	×	×

(a)

K2

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0	×	×	×	×
Q_2^n 1	1			

(b)

J1

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0		1	×	×
Q_2^n 1			×	×

(c)

K1

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0	×	×		
Q_2^n 1	×	×	1	

(d)

J0

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0	1	×	×	
Q_2^n 1		×	×	1

(e)

K0

$Q_1^n Q_0^n$	00	01	11	10
Q_2^n 0	×	0	1	×
Q_2^n 1	×	1		×

(f)

时序逻辑电路

4. 设计

用下降沿动作的JK触发器设计一个同步时序逻辑电路,要求其状态转换图如下

$$J_2 = Q_1^n Q_0^n$$

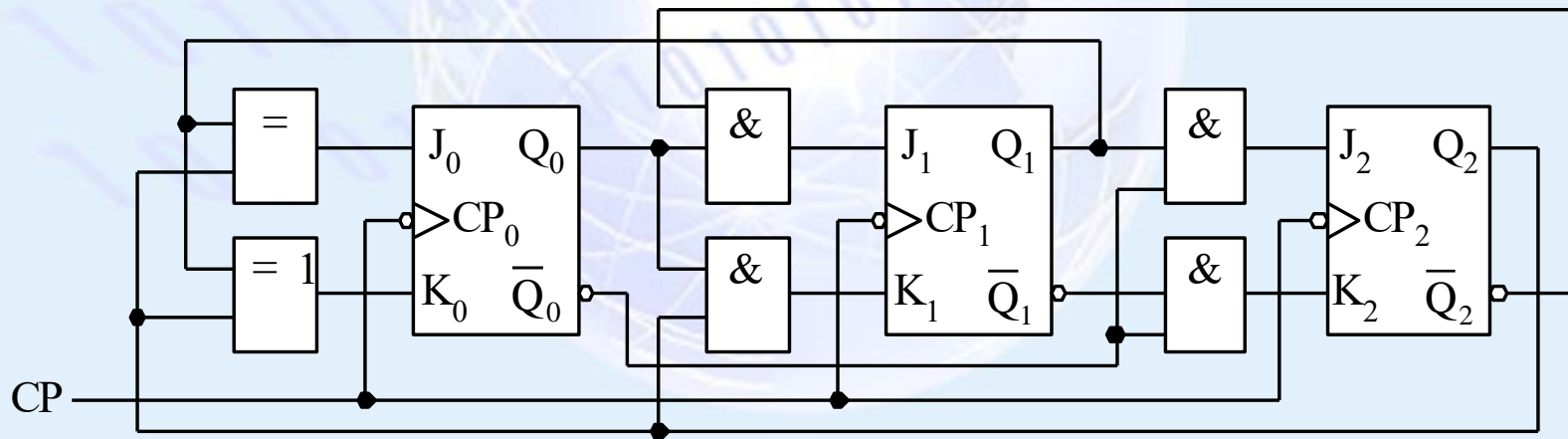
$$K_2 = \overline{Q_1^n} \overline{Q_0^n}$$

$$J_1 = \overline{Q_2^n} Q_0^n$$

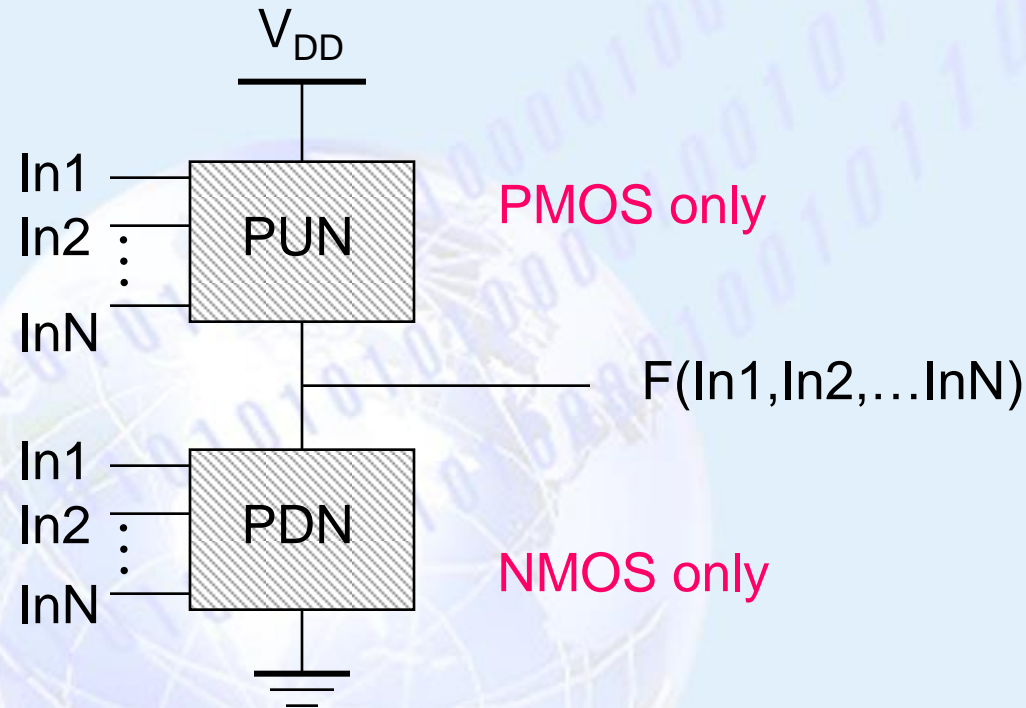
$$K_1 = Q_2^n Q_0^n$$

$$J_0 = Q_2^n Q_1^n + \overline{Q_2^n} \overline{Q_1^n}$$

$$K_0 = Q_2^n \overline{Q_1^n} + \overline{Q_2^n} Q_1^n$$



CMOS逻辑门电路结构



PUN and PDN are **dual** logic networks

CMOS逻辑门电路结构

NMOS Transistors in Series/Parallel Connection

Transistors can be thought as a switch controlled by its gate signal

NMOS switch closes when switch control input is high

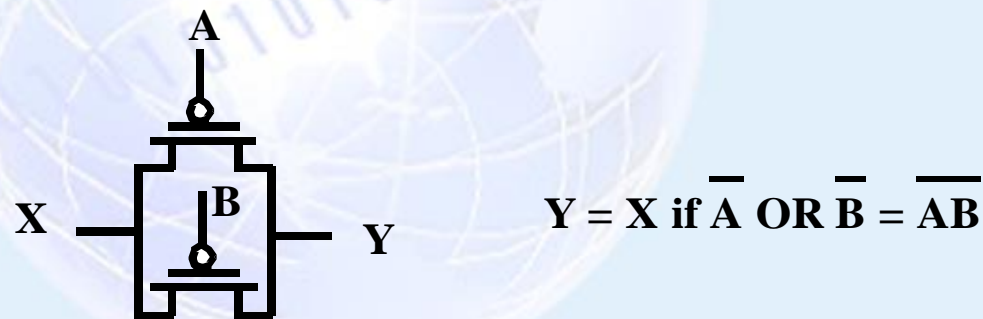


NMOS Transistors pass a “strong” 0 but a “weak” 1

CMOS逻辑门电路结构

PMOS Transistors in Series/Parallel Connection

PMOS switch closes when switch control input is low



PMOS Transistors pass a “strong” 1 but a “weak” 0

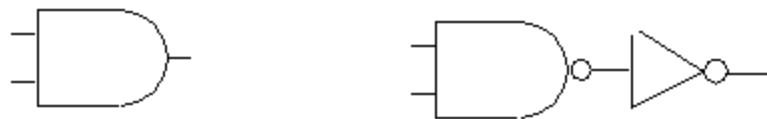
CMOS逻辑门电路结构

- PUP is the DUAL of PDN
(can be shown using DeMorgan's Theorem's)

$$\overline{A + B} = \bar{A}\bar{B}$$

$$\overline{AB} = \bar{A} + \bar{B}$$

- The complementary gate is inverting

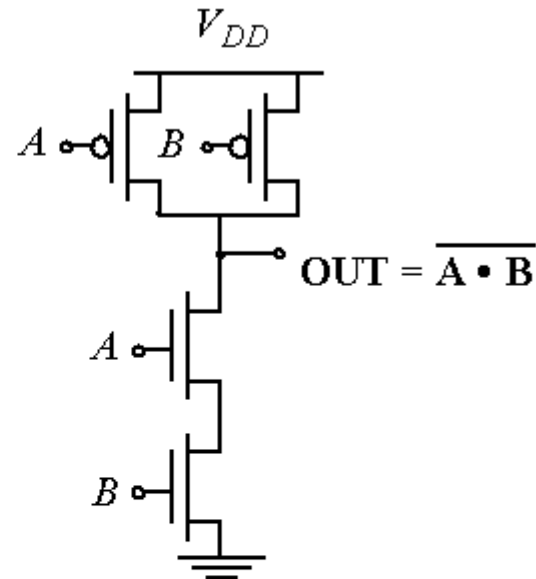


$$\text{AND} = \text{NAND} + \text{INV}$$

Example Gate: NAND

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate



PDN: $G = A B \Rightarrow$ Conduction to GND

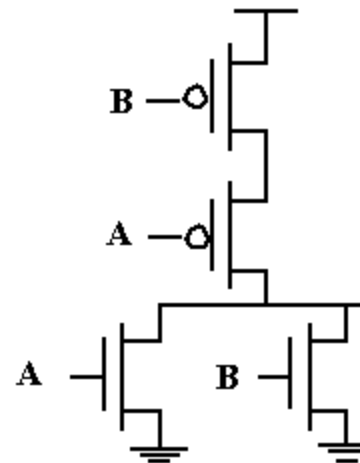
PUN: $F = \overline{A} + \overline{B} = \overline{AB} \Rightarrow$ Conduction to V_{DD}

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

Example Gate: NOR

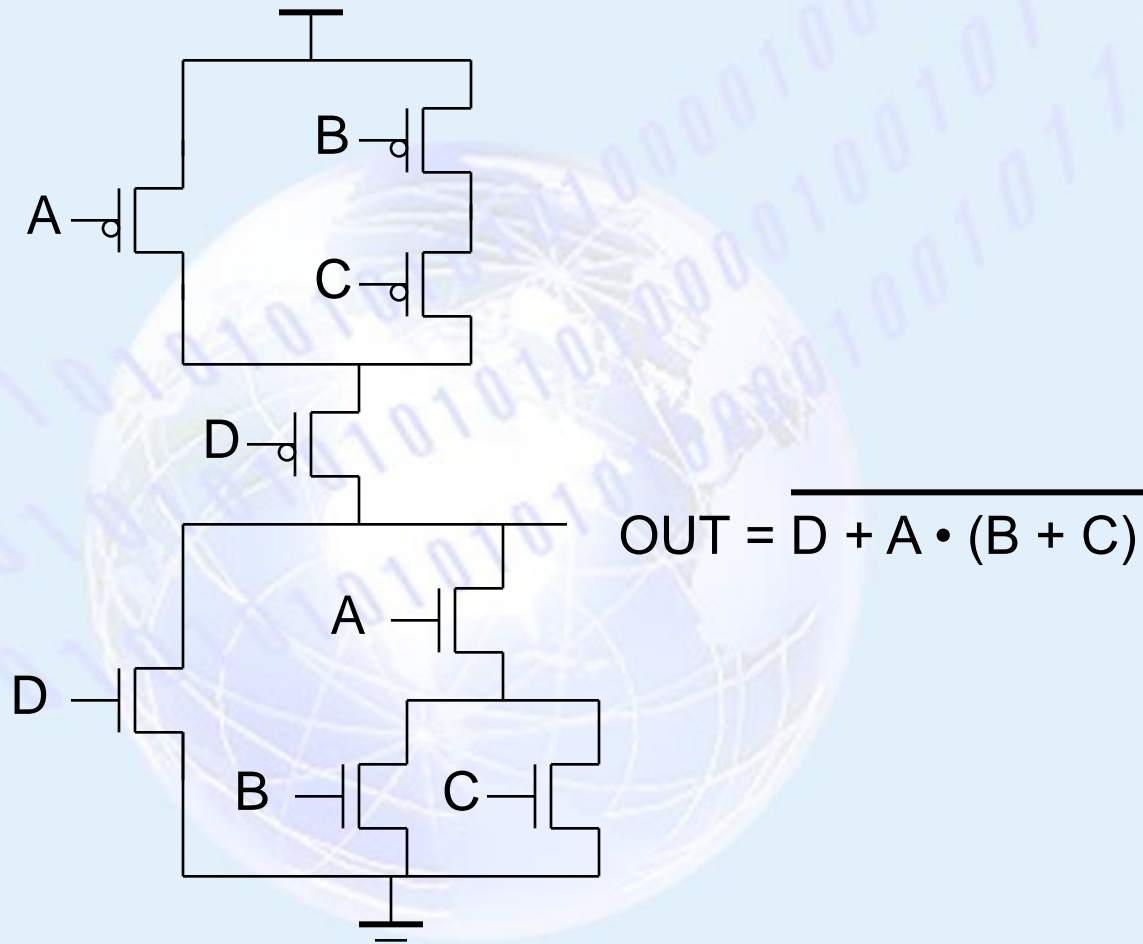
A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate

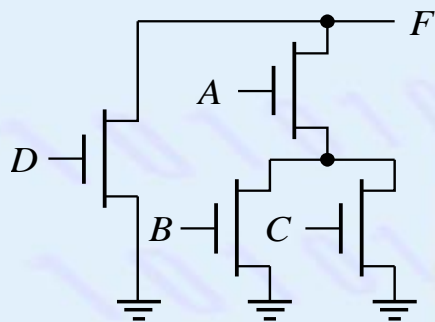


$$\text{OUT} = \overline{A + B}$$

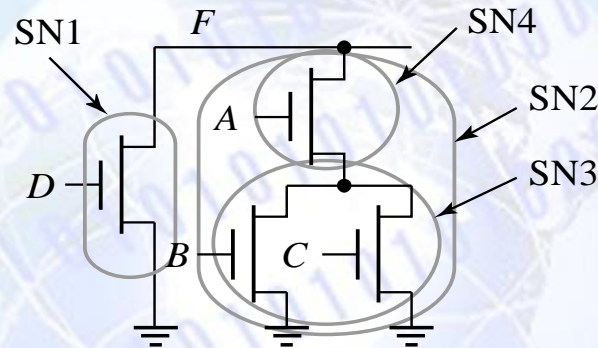
Complex CMOS Gate



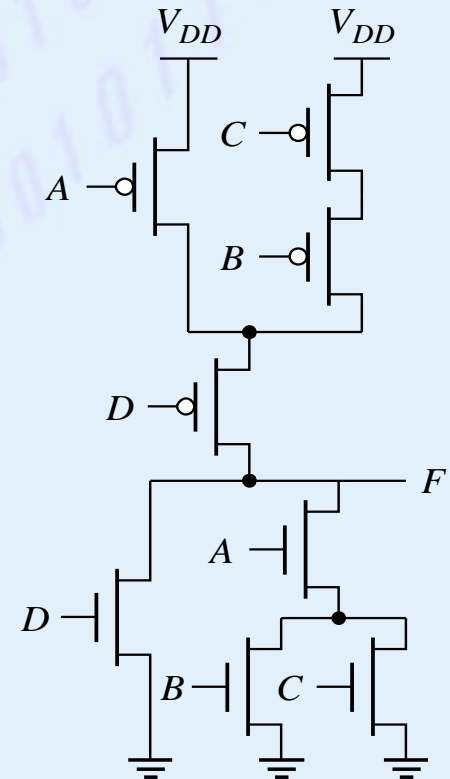
Constructing a Complex Gate



(a) pull-down network



(b) Deriving the pull-up network hierarchically by identifying sub-nets



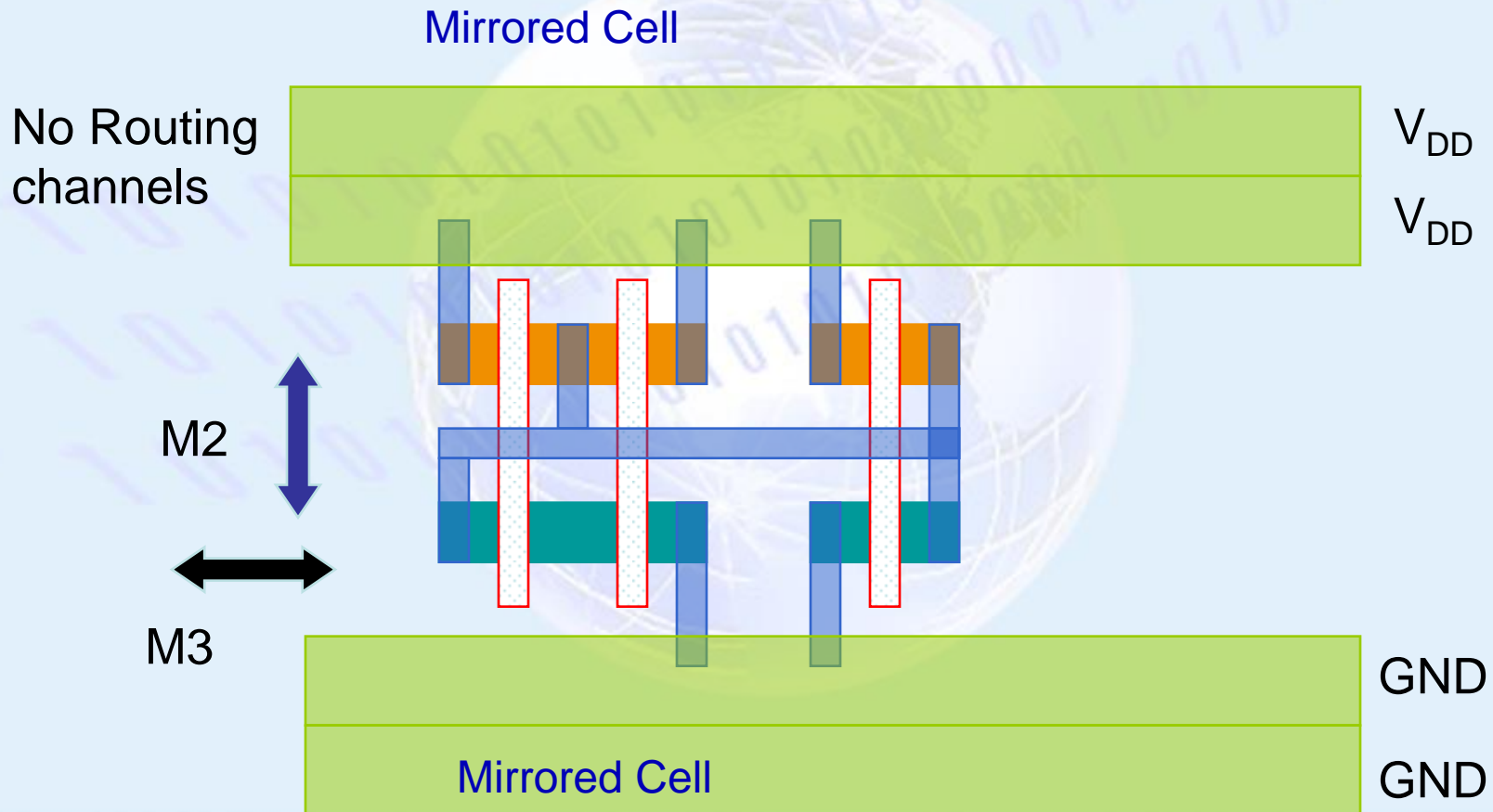
(c) complete gate



标准单元设计

- Standard Cells
 - General purpose logic
 - Can be synthesized
 - Same height, varying width
- Datapath Cells
 - For regular, structured designs (arithmetic)
 - Includes some wiring in the cell
 - Fixed height and width

Standard Cell Layout Methodology – 1990s





Standard Cells

Cell height = $N \times$ (horizontal/vertical) routing pitch (track)

power & ground = need 4 tracks

I/O pins = need 4-5 tracks

routing = need 2-3 tracks

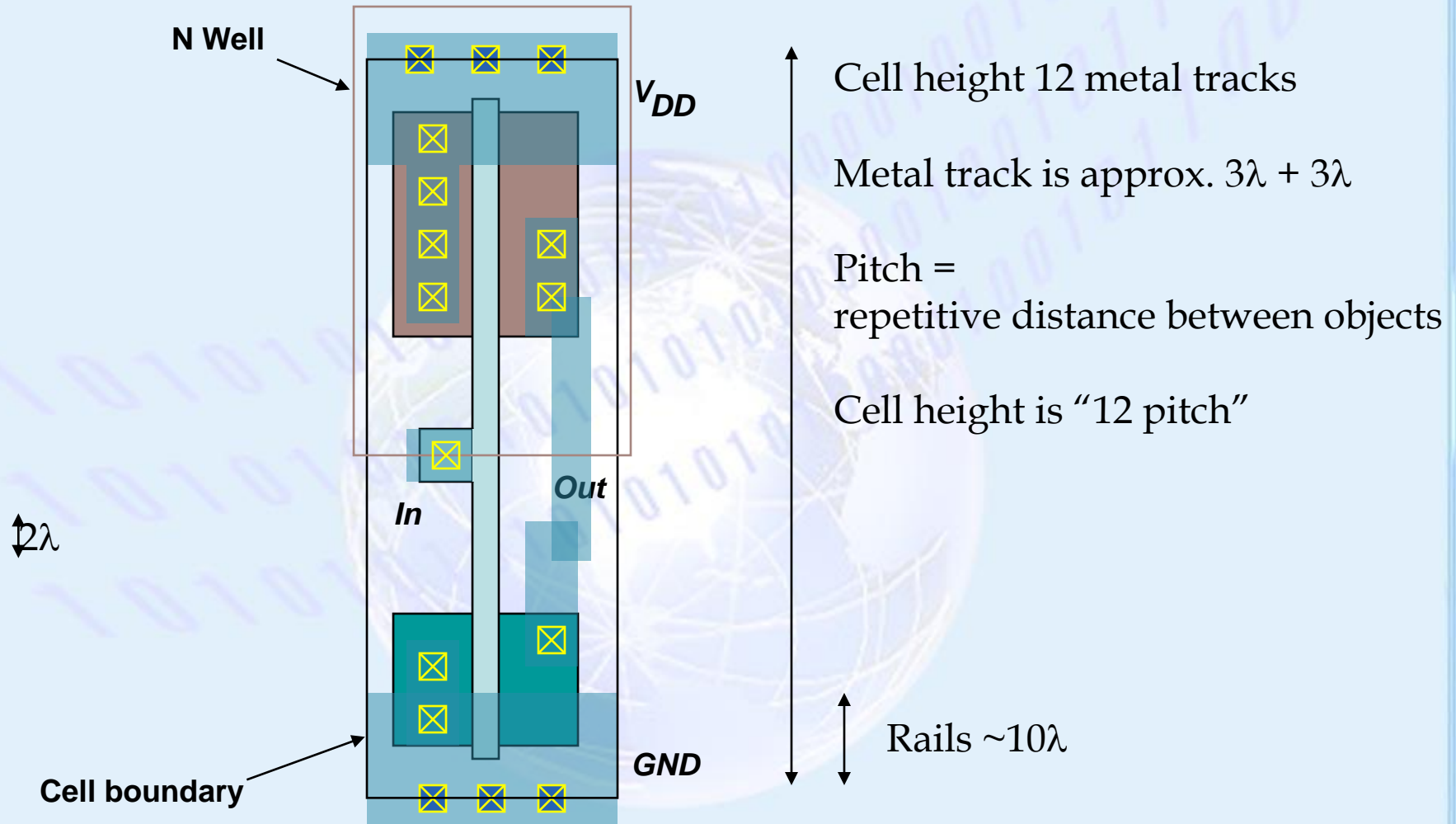
track width = metal width

track spacing = metal min spacing

horizontal routing track width \Rightarrow M2 min width

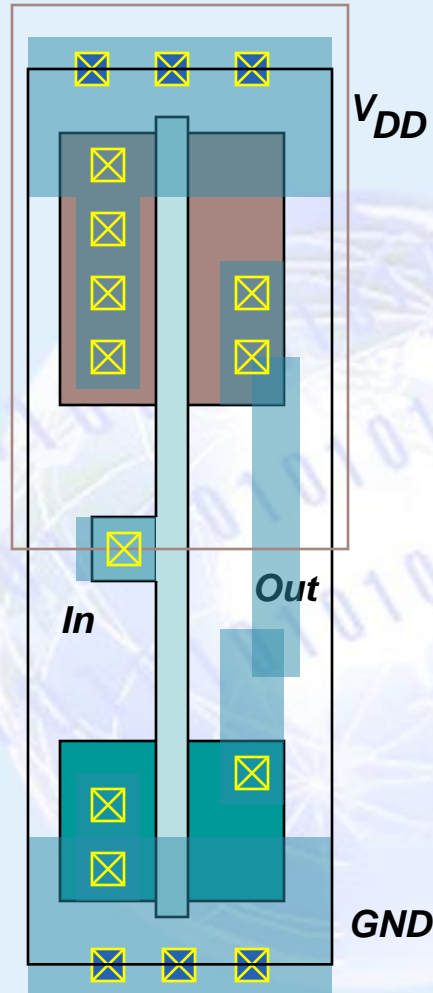
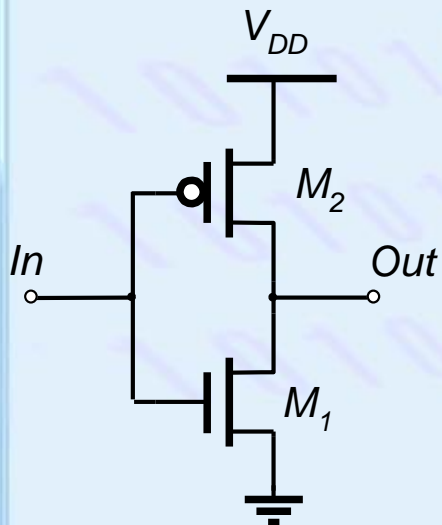
vertical routing track width \Rightarrow M3 min width

Standard Cells



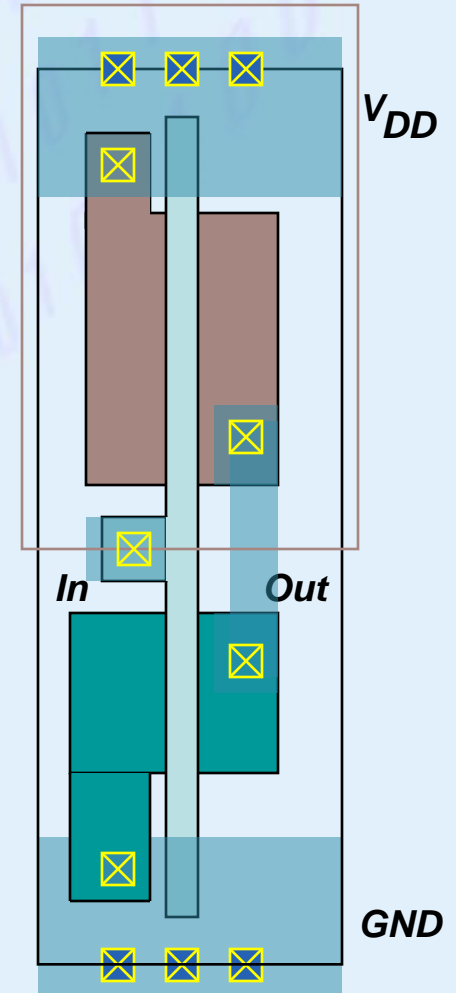
Standard Cells

With minimal
diffusion
routing

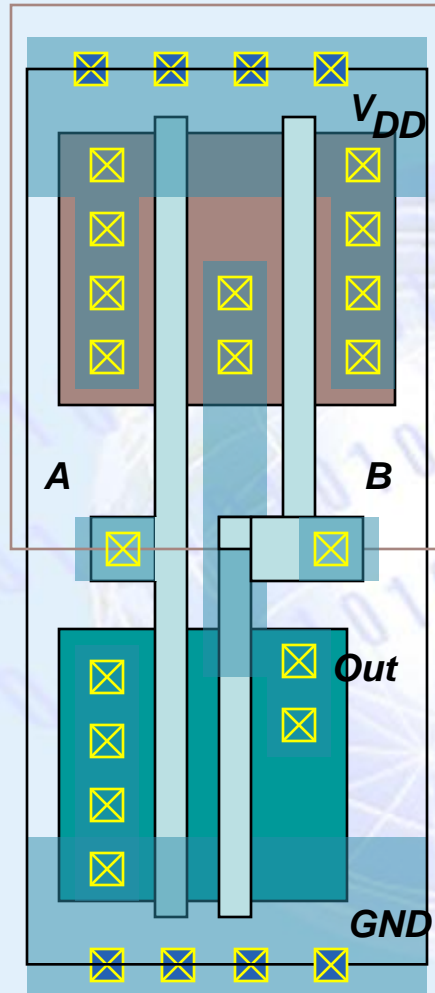


With silicided
diffusion

降低MOS元件
在漏极与源
极的串联电
阻 R_d 及 R_s



Standard Cells



2-input NAND gate

