



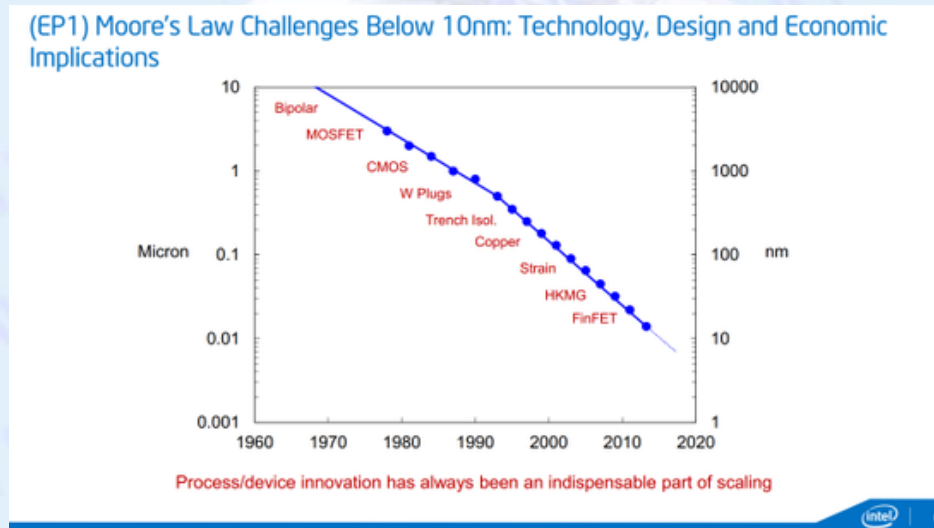
集成电路设计



集成电路技术

• 1. 两个重要规律:

摩尔定律（Moore's law）：集成电路中元件的数目每18个月翻一番。



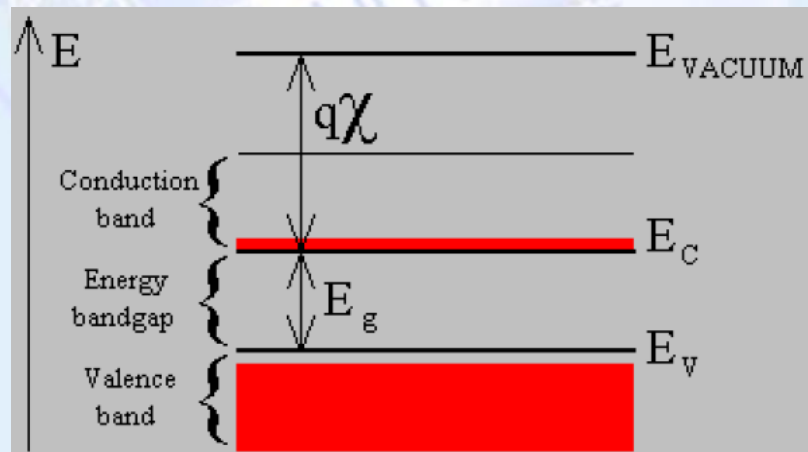
MOS晶体管比例缩放特性（MOSFET Scaling）：如果MOSFET按比例缩减时电场保持常量，则几乎晶体管所有的其他特性都会改善。

集成电路技术

• 2.1 半导体基础知识

固体内部：键力&能量带

- ✓ 键力：离子键，金属键，共价键
- ✓ 能量带：导带(Conduction Band)，价带(Valence Band)



集成电路技术

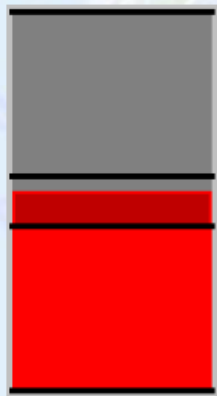
• 2.1 半导体基础知识

导电的本质：

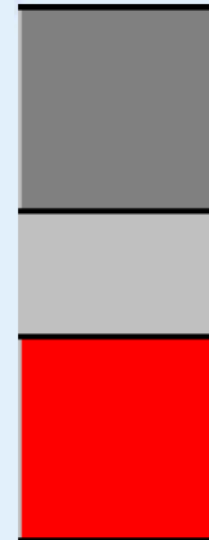
- ✓ 有载流子存在；
- ✓ 能带中有载流子运动的空间



导体（金属）



半导体



绝缘体



集成电路技术

• 2.1 半导体基础知识

半导体中的载流子

电子

共价键中的价电子获得了足够的能量，足以挣脱共价键的束缚，跃迁到导带，成为自由电子

空穴

在价带中留下的空能级(即失去电子的价键)

本征半导体

非常纯净的单晶半导体

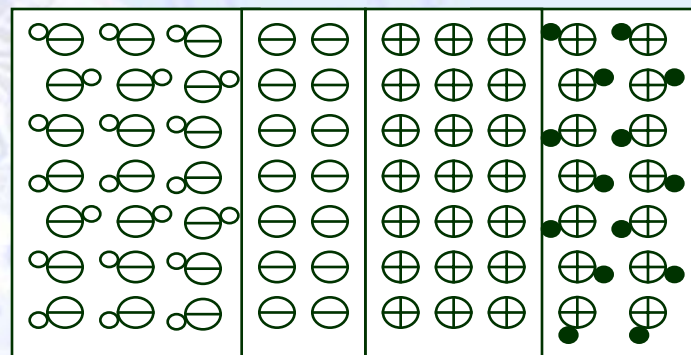
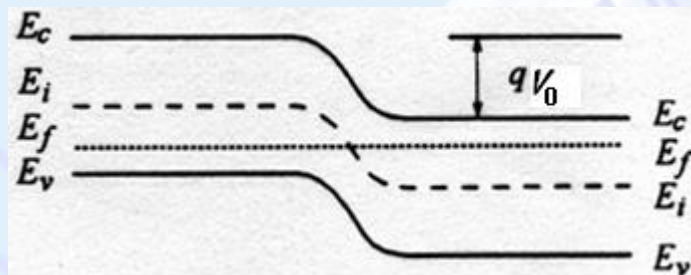
掺杂半导体

在本征半导体（硅/锗）中掺入五价元素（磷、砷或锑）就可以构成 **N 型半导体**

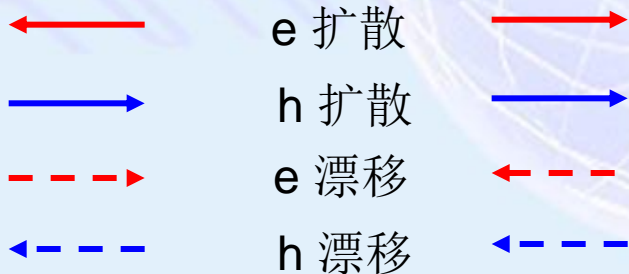
在本征半导体（硅/锗）中掺入三价元素（硼、铝或镓）就可以构成 **P 型半导体**

集成电路技术

• 2.1 半导体基础知识



粒子流的方向



载流子漂移(电流)和扩散(电流)过程保持平衡(相等)，形成自建场和自建势



集成电路技术

• 2.1 半导体基础知识

本征半导体 $n_i = p_i = 1.5 \times 10^{10}$

掺杂半导体 P 型半导体, N 型半导体, 施主 (Nd) 以及受主 (Na)

$$N_d^+ \cong N_d \quad N_a^- \cong N_a \quad n_0 \cong N_d^+ - N_a^- \quad p_0 \cong N_d^+ - N_a^-$$

热平衡态 (Thermal equilibrium)

$$\begin{aligned} n_0 &= n_i e^{(E_F - E_i)/kT} \\ p_0 &= n_i e^{(E_i - E_F)/kT} \end{aligned}$$

$$n_0 \cdot p_0 = n_i^2$$

$$\begin{aligned} n_0 &\cong N_d^+ \\ p_0 &\cong N_a^- \end{aligned}$$

稳态 (Steady state)

$$\begin{aligned} n &= n_i e^{(F_n - E_i)/kT} \\ p &= n_i e^{(E_i - F_p)/kT} \end{aligned}$$

准费米能级

$$np = n_i^2 e^{(F_n - F_p)/kT}$$

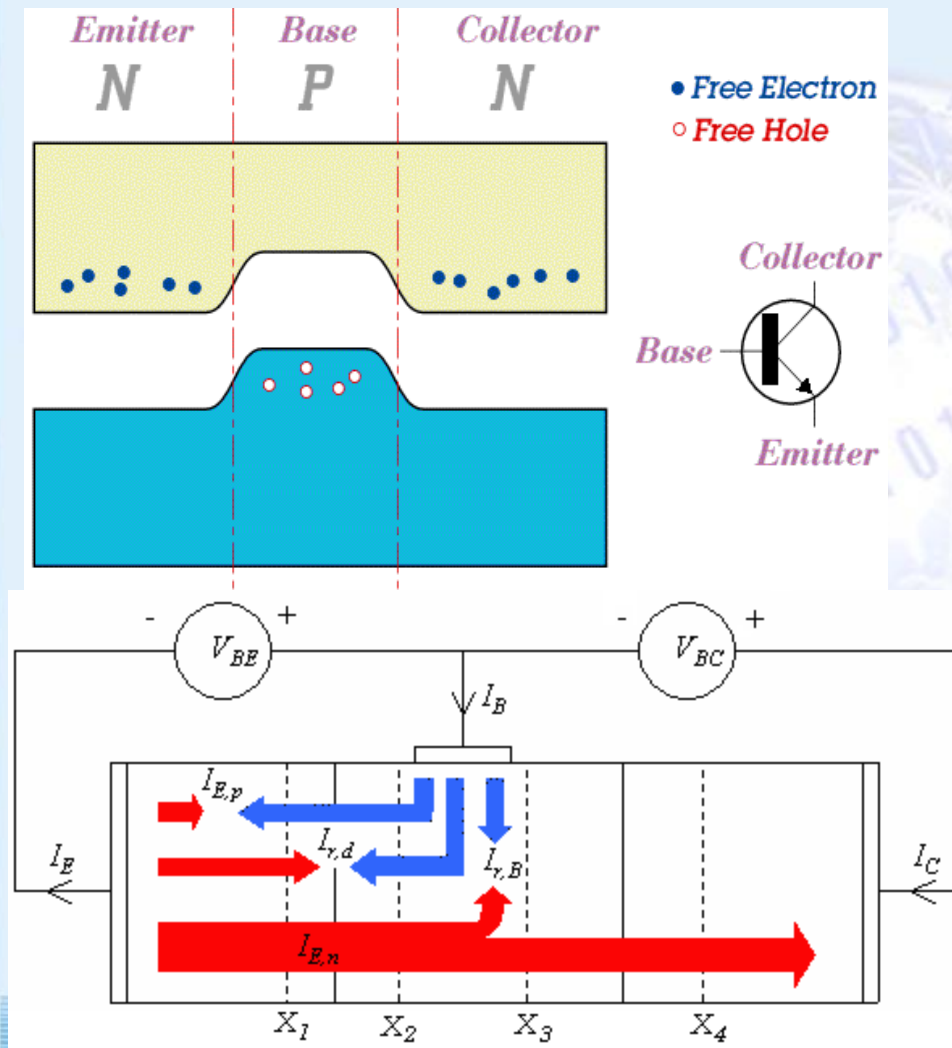
电流

$$\left\{ \begin{array}{l} \text{漂移(Drift) 电流} \\ \text{扩散电流} \end{array} \right. \quad J = q(n\mu_n + p\mu_p)E = \sigma E$$

$$J_n = qD_n \frac{dn}{dx} \quad J_p = -qD_p \frac{dp}{dx}$$

集成电路技术

• 2.1 半导体基础知识



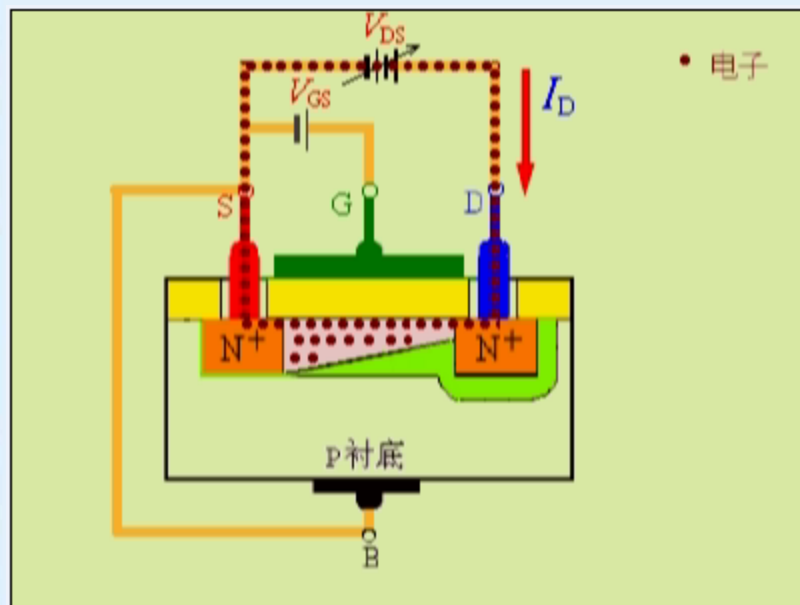
BC 间加反向高压

EB 间电压大于 PN 结的自建势电压

B 足够窄，使得： $W_b \ll L$

集成电路技术

• 2.1 半导体基础知识



$$0 < V_{GS} < V_T$$

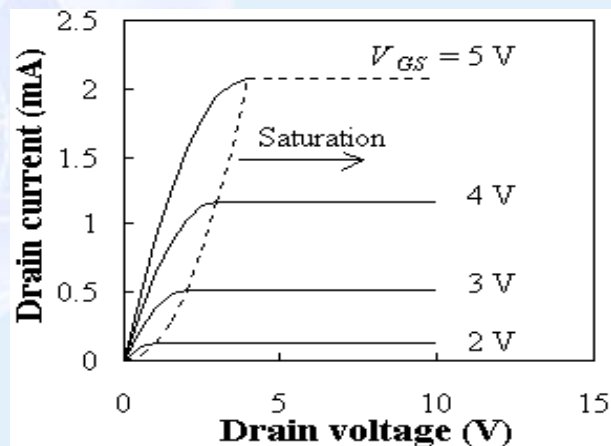
有耗尽层，但少子数量有限，可以认为无电流

$$V_T < V_{GS}$$

在P型半导体表层中聚集较多的电子，形成反型层，将漏极和源极沟通。 $V_{DS} > 0$ ，开始导电。

(1) $0 < V_{DS} < V_{GS} - V_T$ ：MOS管工作在线性区

(2) $V_{GS} - V_T < V_{DS}$ ：MOS管工作在饱和区





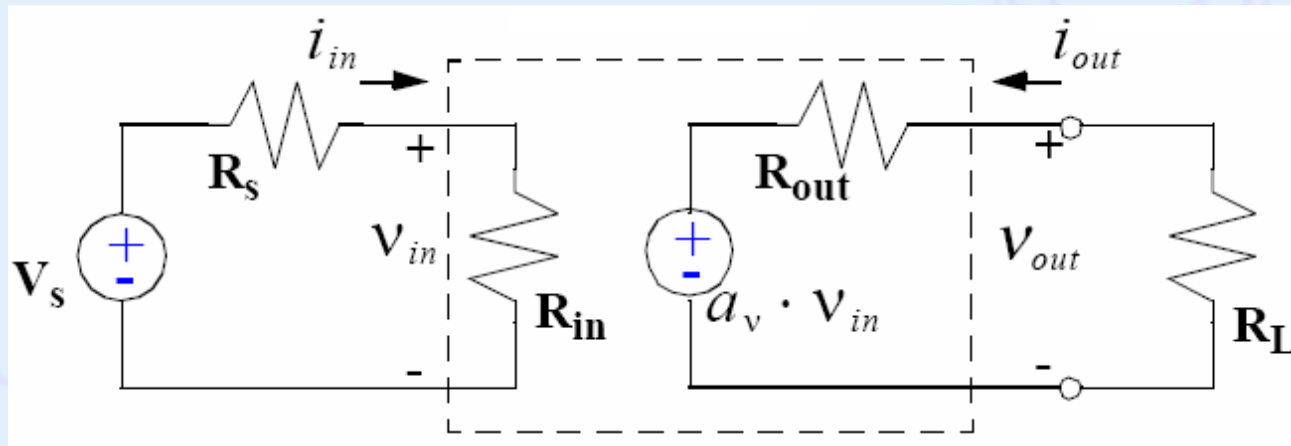
集成电路技术

• 2.1 半导体基础知识

	双极型三极管	场效应管
结构	NPN型，PNP型	结型耗尽型 N沟道，P沟道 绝缘栅增强型 N沟道 P沟道 绝缘栅耗尽型 N沟道 P沟道
载流子	多子扩散、少子漂移	多子漂移
输入量	电流输入	电压输入
控制	电流控制电流源 CCCS(β)	电压控制电流源 VCCS(g_m)
噪声	较大	较小
温度特性	受温度影响较大	较小，并有零温度系数点
输入电阻	几十到几千欧姆	几兆欧姆以上
集成工艺	不易大规模集成	适宜大规模和超大规模集成

集成电路技术

• 2.2 模拟集成电路技术



$$R_{in} = \left. \frac{v_{in}}{i_{in}} \right|_{R_L \rightarrow \infty, i_{out} \rightarrow 0}$$

$$R_{out} = \left. \frac{v_{out}}{i_{out}} \right|_{R_S = v_{in} = 0}$$

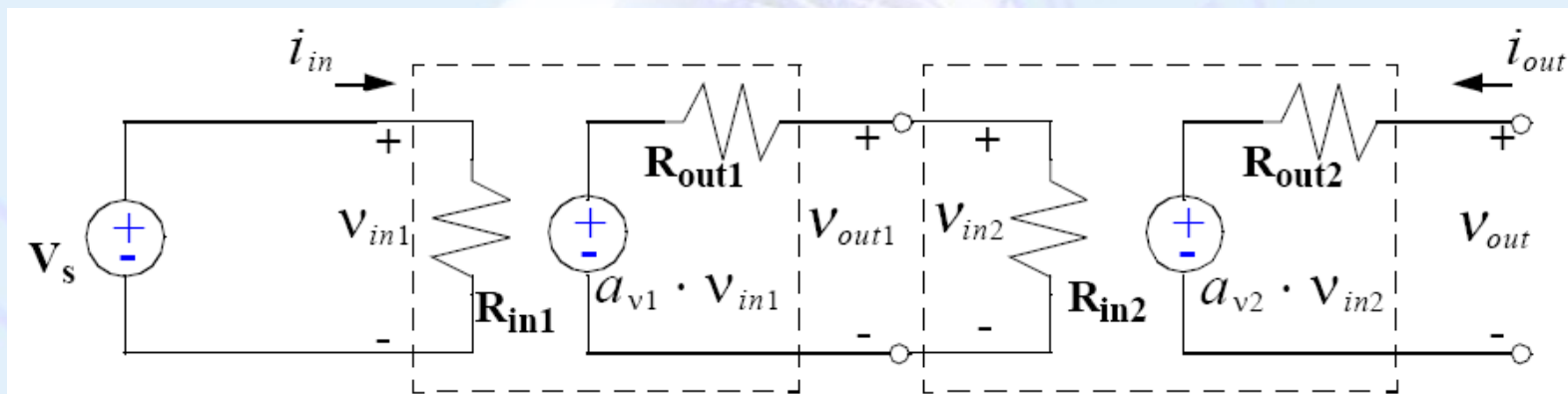
$$GM = \left. \frac{i_{out}}{v_{in}} \right|_{v_{out} = 0}$$

$$A_v = \left. \frac{v_{out}}{v_{in}} \right|_{R_L \rightarrow \infty}$$

集成电路技术

• 2.2 模拟集成电路技术

线性网络的级联



$$v_{out} = a_{v2} \cdot v_{in2} = a_{v2} \cdot v_{out1} = a_{v2} \cdot \left(a_{v1} \cdot v_{in1} \cdot \left(\frac{R_{in2}}{R_{out1} + R_{in2}} \right) \right)$$

集成电路技术

• 2.2 模拟集成电路技术

CMOS 电路模型

线性区:

$$V_{GS} > V_T$$

$$V_{DS} < V_{GS} - V_T$$

$$I_{DS} = k' \cdot \frac{W}{L} \cdot \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$



$$R_{on} = \frac{V_{DS}}{I_{DS}}$$

饱和区:

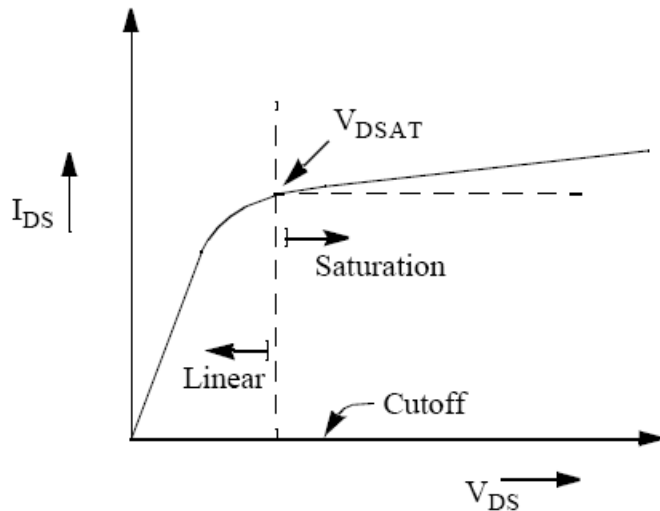
$$V_{GS} > V_T$$

$$V_{DS} > V_{GS} - V_T$$

$$I_{DS} = \frac{k'}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2$$

$$k' = \mu \cdot C_{ox}$$

$$\begin{aligned} g_m &= \frac{dI_{DS}}{dV_{GS}} = k' \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \\ &= \left(2 \cdot k' \cdot \frac{W}{L} \cdot I_{DS} \right)^{\frac{1}{2}} \\ &= \frac{2I_{DS}}{V_{GS} - V_T} \end{aligned}$$



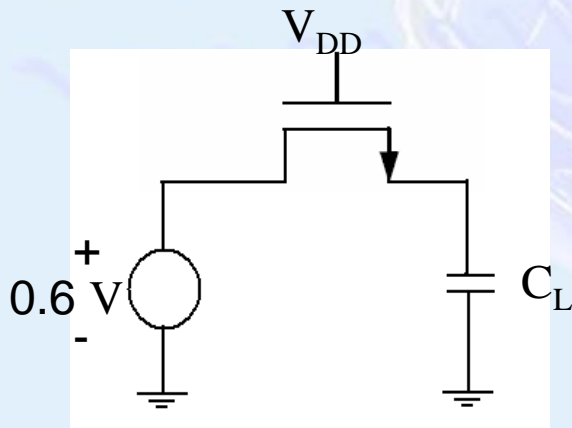
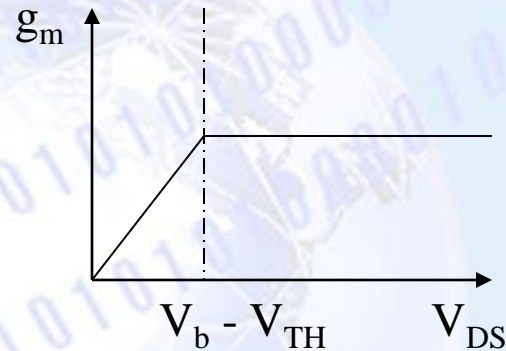
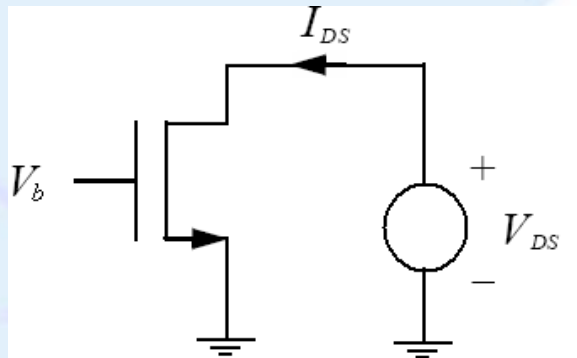
截止区:

$$V_{GS} < V_T$$

集成电路技术

• 2.2 模拟集成电路技术

CMOS 电路模型



$$K' = 300 \text{ uA/V}^2$$

$$V_{DD} = 2.5 \text{ V} \quad V_T = 0.5 \text{ V}$$

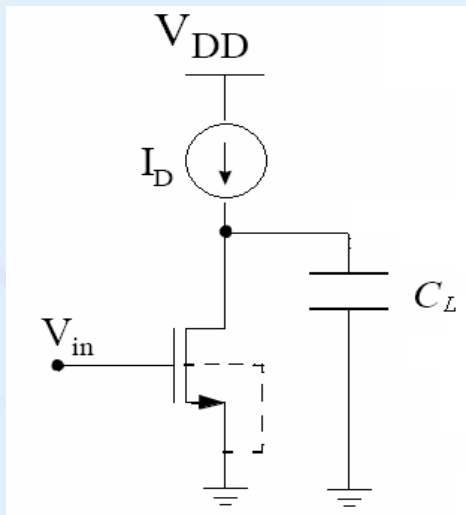
$$C_L = 4 \text{ pF}$$

时间常数为 0.5 ns

$$W/L = ?$$

集成电路技术

• 2.2 模拟集成电路技术



$$GBW = 100 \text{ MHz}, C_L = 3 \text{ pF},$$

$$K' = 50 \text{ uA/V}^2, L_{\min} = 0.5 \text{ um}$$

求: I_{DS} , L , W 以及 $GBW \cdot C_L / I_{DS}$

$$g_m = GBW \cdot 2\pi C_L \sim 2 \text{ mS}$$

设定 $V_{GS} - V_T = 0.2 \text{ V} \Rightarrow I_{DS} = 0.2 \text{ mA}$

$\Rightarrow W/L = 100$

设定 $L = 4 L_{\min} \Rightarrow$

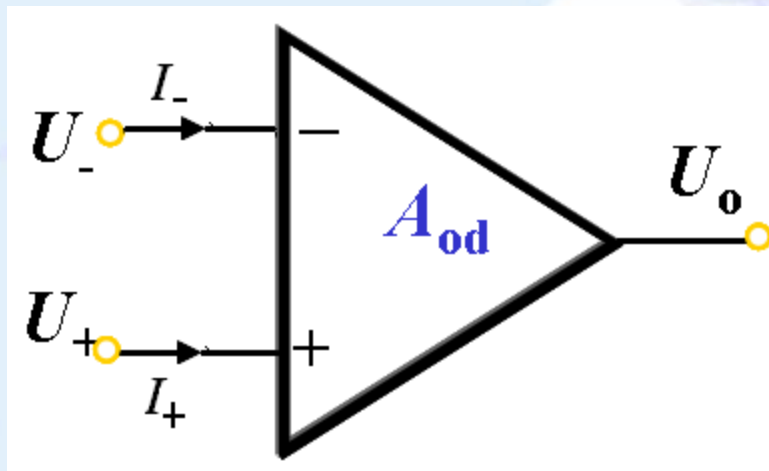
$$GBW = \frac{g_m}{2\pi C_L}$$

$$FOM = GBW \cdot C_L / I_{DS} = 1500 \text{ MHz pF/mA}$$

集成电路技术

• 2.2 模拟集成电路技术

运算放大电路



开环差模电压放大倍数 $A_{od} \rightarrow \infty$

开环差模输入电阻 $r_{id} \rightarrow \infty$

开环输出电阻 $r_o \rightarrow 0$

输入偏置电流 $I_+ = I_- = 0$

虚短

$$U_- = U_+$$

虚断

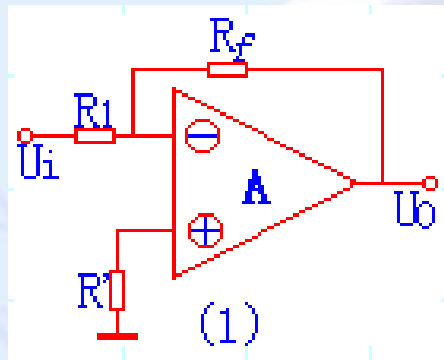
$$I_- = I_+ = 0$$

集成电路技术

• 2.2 模拟集成电路技术

运算放大电路

反相电路

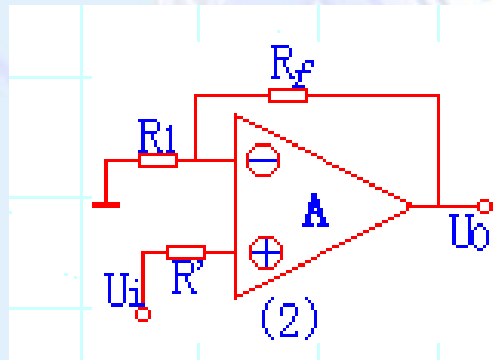


$$U_- = U_+ = 0, \quad I_- = I_+ = 0$$

$$I_1 = \frac{U_i - U_-}{R_1} = \frac{U_i}{R_1} = I_f$$

$$U_o = -I_f R_f = -\frac{R_f}{R_1} U_i$$

同相电路



$$U_- = U_+ = U_i, \quad I_- = I_+ = 0;$$

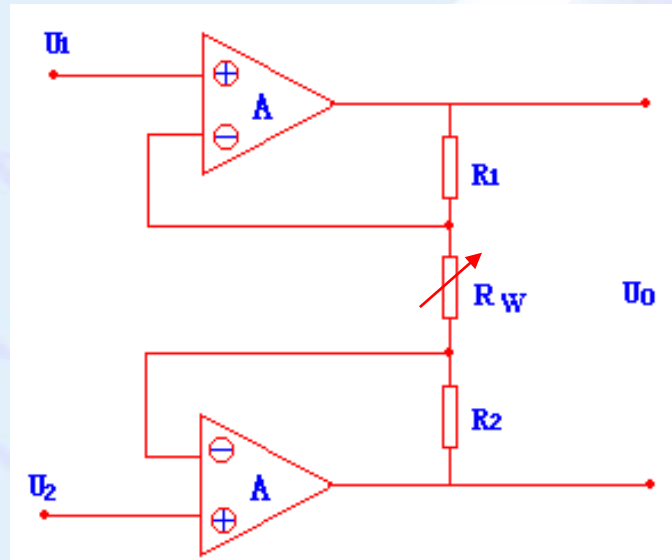
$$U_- = \frac{R_1}{R_1 + R_f} U_o$$

$$U_o = \left(\frac{R_1 + R_f}{R_1} \right) U_i = \left(1 + \frac{R_f}{R_1} \right) U_i$$

集成电路技术

• 2.2 模拟集成电路技术

运算放大电路



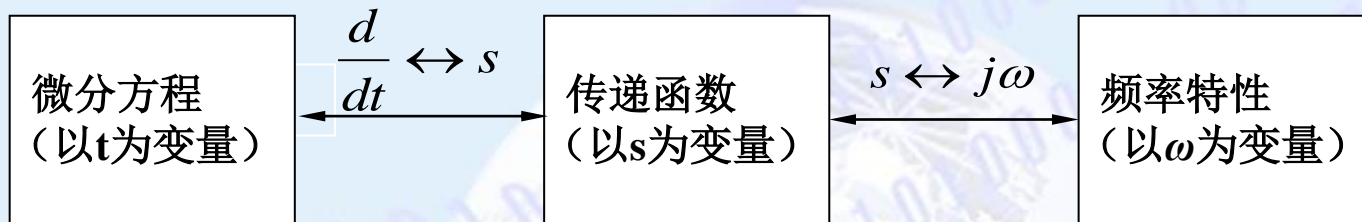
$$u_o = [1 + (R_1 + R_2)/R_W](u_1 - u_2)$$

$$\frac{CMRR1 \times CMRR2}{CMRR1 - CMRR2}$$

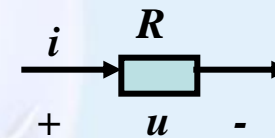
集成电路技术

• 2.2 模拟集成电路技术

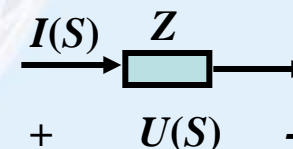
• 电路的复频域分析——波特图



$$H(s) = \frac{Y(s)}{X(s)} = K \frac{\prod_{i=1}^m (s - z_i)}{\prod_{j=1}^n (s - p_j)} = K' \frac{\prod_{i=1}^m \left(1 - \frac{s}{z_i}\right)}{\prod_{j=1}^n \left(1 - \frac{s}{p_j}\right)}$$



$$\begin{aligned} R &\rightarrow R \\ C &\rightarrow 1/s \\ L &\rightarrow s \end{aligned}$$



$$20 \lg |H(j\omega)| = 20 \lg |K'| + \sum_{i=1}^m 20 \lg \left| 1 - \frac{j\omega}{z_i} \right| - \sum_{j=1}^n 20 \lg \left| 1 - \frac{j\omega}{p_j} \right|$$

$$\phi(\omega) = 0^\circ + \sum_{i=1}^m \arctan \left(\frac{-\omega}{z_i} \right) - \sum_{j=1}^n \arctan \left(\frac{-\omega}{p_j} \right)$$

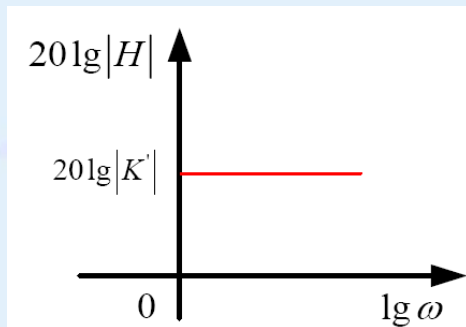
$$\begin{aligned} KCL \quad \sum i &= 0 \\ KVL \quad \sum u &= 0 \end{aligned} \Rightarrow \begin{aligned} \sum I(S) &= 0 \\ \sum U(S) &= 0 \end{aligned}$$

集成电路技术

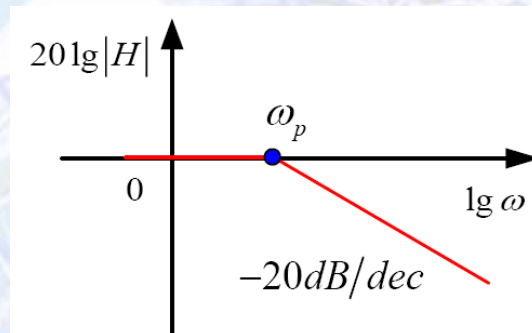
• 2.2 模拟集成电路技术

• 电路的复频域分析——波特图

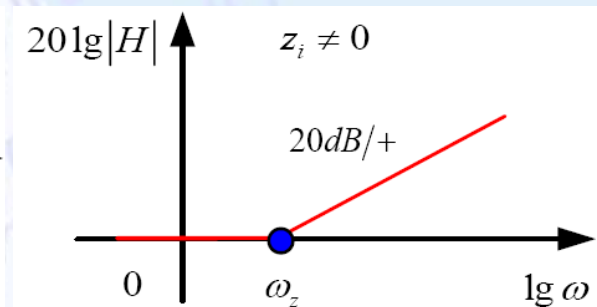
常数项



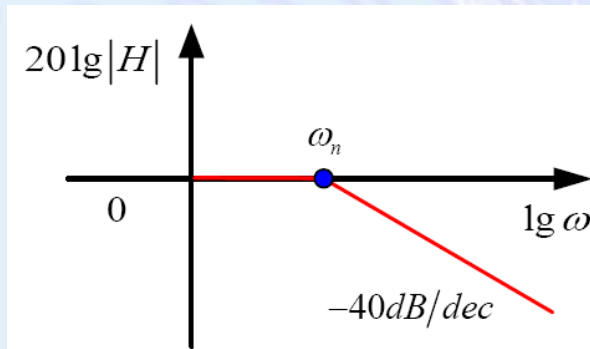
负实极点



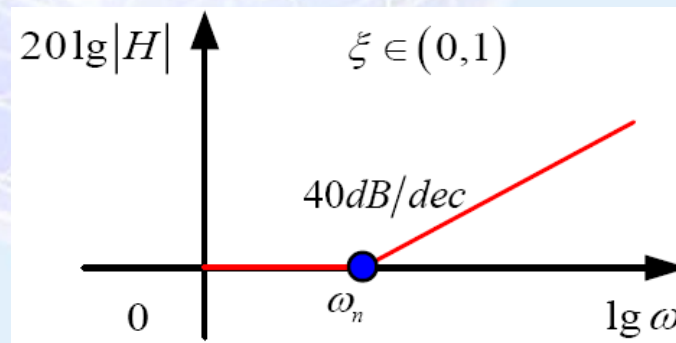
零点



复共轭极点



复共轭零点



集成电路技术

• 2.2 模拟集成电路技术

• 电路的复频域分析——波特图

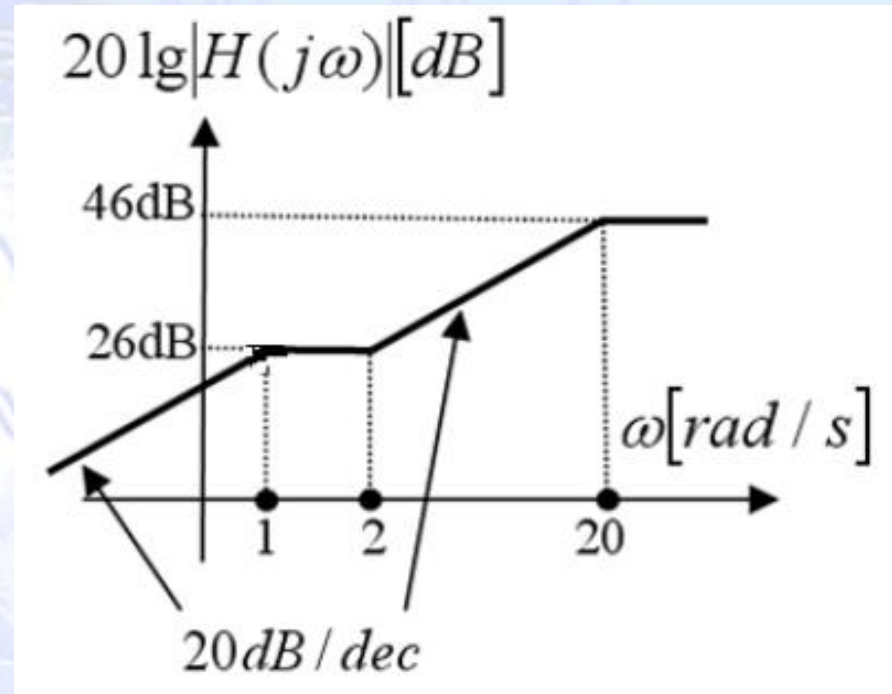
$$H(s) = \frac{2 \times 10^2 s(s+2)}{(s+1)(s+20)}$$

$$20 \times \frac{s \left(1 + \frac{s}{2}\right)}{(1+s) \left(1 + \frac{s}{20}\right)}$$

常数项: $K' = 20$

两个实零点: 0, -2

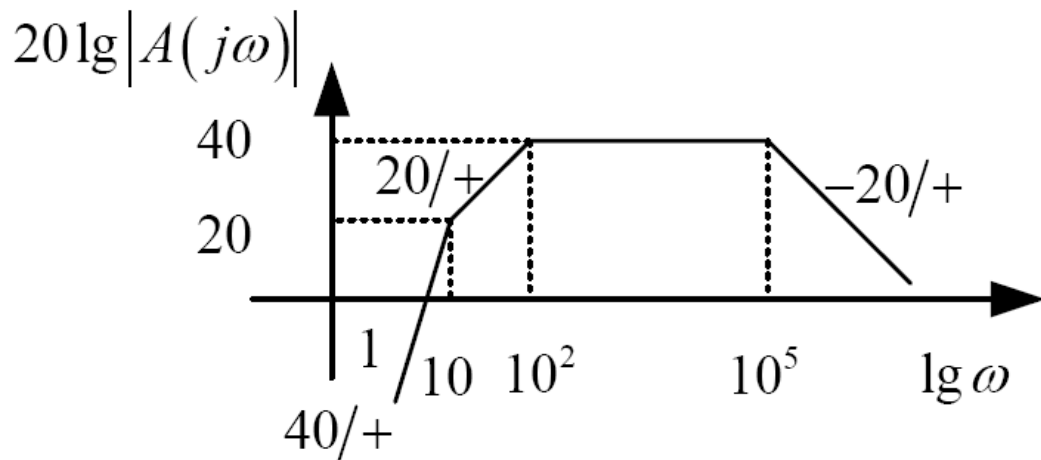
两个负实极点: -1, -20



集成电路技术

• 2.2 模拟集成电路技术

• 电路的复频域分析——波特图



含1个二阶零点：0，

3个负实极点：-10，-100，-10⁵

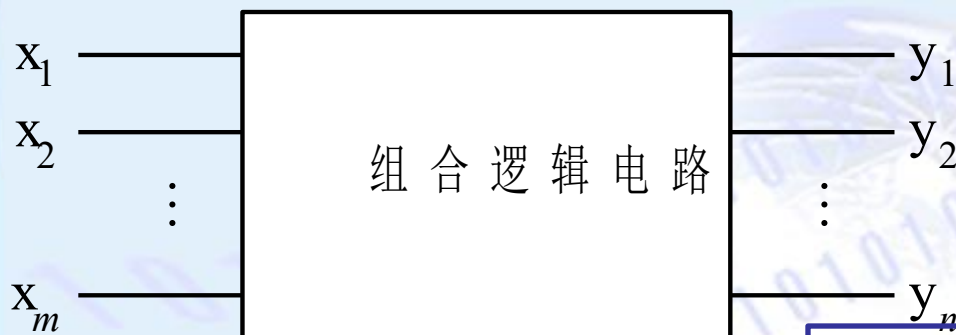
$$K' \frac{s^2}{\left(1 + \frac{s}{10}\right) \left(1 + \frac{s}{10^2}\right) \left(1 + \frac{s}{10^5}\right)}$$

$$H_0 \Big|_{\omega=10^2} = 20\lg|K'| + 40\lg 10^2 - 20\lg \frac{10^2}{10} = 40\text{dB} \Rightarrow K' = \frac{1}{10}$$

集成电路技术

• 3. 数字集成电路技术

组合逻辑



输入/输出表达式描述为

$$y_1 = F_1(x_1, x_2, \dots, x_m)$$

$$y_2 = F_2(x_1, x_2, \dots, x_m)$$

✓ ...

$$y_n = F_n(x_1, x_2, \dots, x_m)$$

1. 组合逻辑电路的分析

电路 \Rightarrow 真值表

2. 组合逻辑电路的设计

功能 \Rightarrow 电路

- (1) 确定 I/O
- (2) 列真值表
- (3) 求最简表达式
- (4) 用基本门电路实现

1. 表达式

1) 标准与或表达式

$$F(A, B, C, \dots) = \sum m_i = \sum m(i) = \sum (i)$$

2) 标准或与表达式

$$F(A, B, C, \dots) = \prod M_i = \prod M(i) = \prod (i)$$

2. 真值表

3. 卡诺图

4. 逻辑图



集成电路技术

• 3. 数字集成电路技术 组合逻辑

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

标准与或表达式:

$$\begin{aligned}F(A,B,C) &= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \\&= m_1 + m_2 + m_4 + m_7 \\&= \sum m(1,2,4,7) \\&= \sum (1,2,4,7)\end{aligned}$$

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

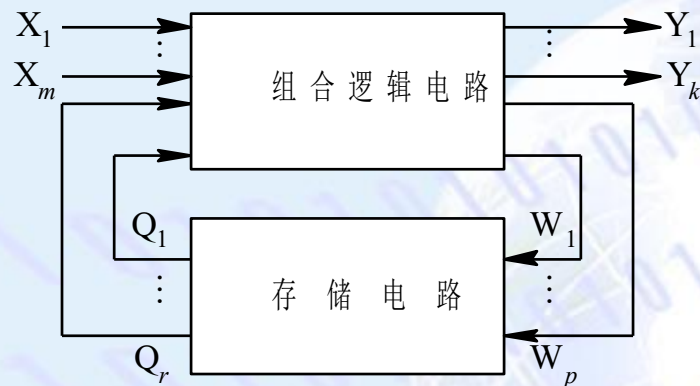
标准或与表达式:

$$\begin{aligned}F(A,B,C) &= (A+B+\bar{C})(A+\bar{B}+C) \\&\quad (\bar{A}+B+C)(\bar{A}+\bar{B}+C) \\&= M_1 + M_2 + M_4 + M_7 \\&= \prod M(1,2,4,7) \\&= \prod (1,2,4,7)\end{aligned}$$

集成电路技术

• 3. 数字集成电路技术

时序逻辑



$$Y_i = f_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), \quad i=1, \dots, k$$

$$W_i = g_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), \quad i=1, \dots, p$$

$$Q^{n+1}_i = h_i(W^n_1, W^n_2, \dots, W^n_p, Q^n_1, Q^n_2, \dots, Q^n_r), \quad i=1, \dots, r$$

- 1)特性方程组：输出、驱动（激励）、状态
- 2)特性表：输入、现态 → 次态
- 3)驱动表：电路输入、现态、次态 → 触发器 输入
- 4)状态转换图：图形表示状态的转换及条件
- 5)时序图：时钟、输入、状态的时间对应



集成电路技术

• 3. 数字集成电路技术

时序逻辑

分析

(1) 根据逻辑图写方程组

输出: $Y_i = f_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), i=1, \dots, k$

激励: $W_i = g_i(X_1, X_2, \dots, X_m, Q_1, Q_2, \dots, Q_r), i=1, \dots, p$

(2) 结合触发器特性方程, 写出各个触发器的状态方程。

状态: $Q_{n+1i} = h_i(W_{n1}, W_{n2}, \dots, W_{np}, Q_{n1}, Q_{n2}, \dots, Q_{nr}),$

$i=1, \dots, r$

(3) 写出状态表 (特性表)

输入、现态 \rightarrow 次态

(4) 画状态图、时序图。

设计

(1) 功能 \Rightarrow 状态

(2) 状态化简

(3) 触发器数目, 状态分配 \Rightarrow 状态转换图

(4) 触发器选型, 确定驱动表

驱动表: 电路输入、现态、次态 \rightarrow 触发器输入

(5) 驱动表 \Rightarrow 卡诺图 \Rightarrow 触发器驱动方程

卡诺图: 电路输入、现态 \rightarrow 触发器输入

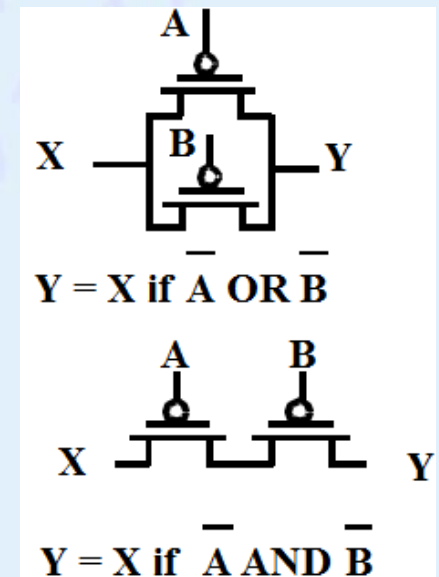
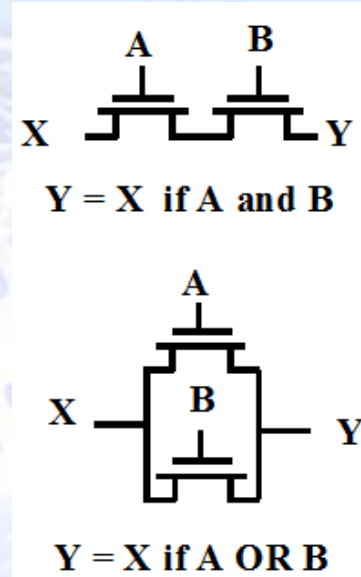
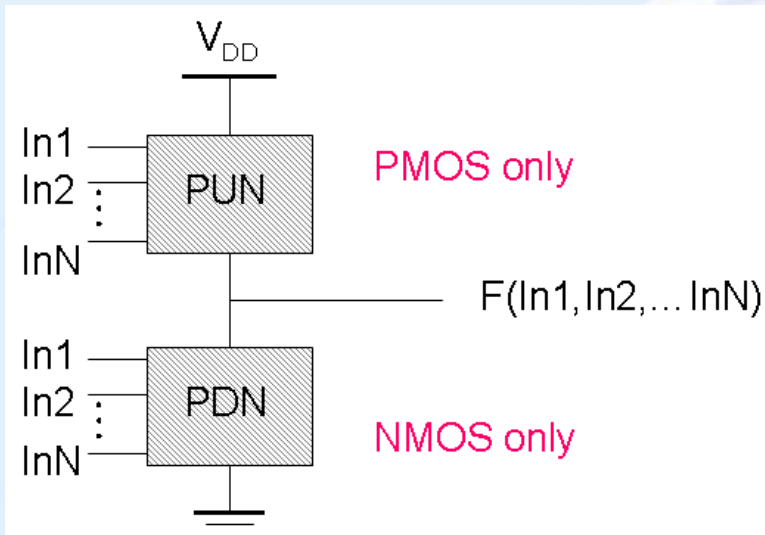
(6) 检查能否自启动。如不能自启动则进行修改。

(7) 画逻辑图并实现电路。

集成电路技术

• 3. 数字集成电路技术

CMOS静态逻辑电路

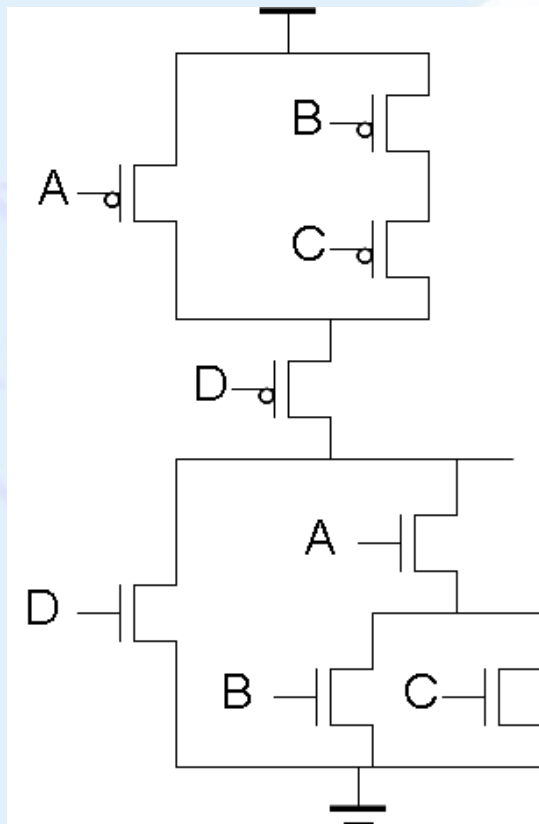


集成电路技术

• 3. 数字集成电路技术

CMOS静态逻辑电路

$$OUT = \overline{D + A \cdot (B + C)}$$



A	B	C	D	OUT
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



集成电路技术

• 4. 工艺和封装测试

主要工艺技术:

- ✓ 硅晶片的生产 (Wafer production);
- ✓ 硅晶片的清洗 (Wafer cleaning);
- ✓ 氧化层的生成 (Oxidation);
- ✓ 光刻 (Lithography);
- ✓ 粒子注入 (Ion implantation);
- ✓ 蚀刻 (Etching);
- ✓ 沉积 (Deposition)。

各个工艺技术的目的。

基本 **CMOS** 工艺流程

- ✓ 构造电路各个元件所需的有源区域;
- ✓ 构造栅极;
- ✓ 构造漏/源极;
- ✓ 构造各个元件互连所需的接触;
- ✓ 以多层金属实现电路中元件的互连;
- ✓ 表面钝化处理。

集成电路技术

• 4. 工艺和封装测试

氧化 (Oxidation)

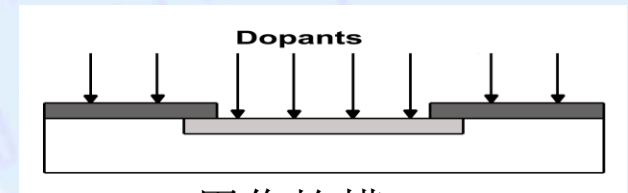
干氧化：

- ✓ 速度慢，易于控制；
- ✓ 密度更高，更纯净；
- ✓ 用于需精确控制厚度的地方。

作用：



去除硅晶片表面的杂质



用作掩模



保护硅晶片的表面

湿氧化：

- ✓ 速度快；
- ✓ 密度低于干氧化法
- ✓ 用于形成掩模等需要厚氧化层的地方。



用于 FET 器件中



分立元件

集成电路技术

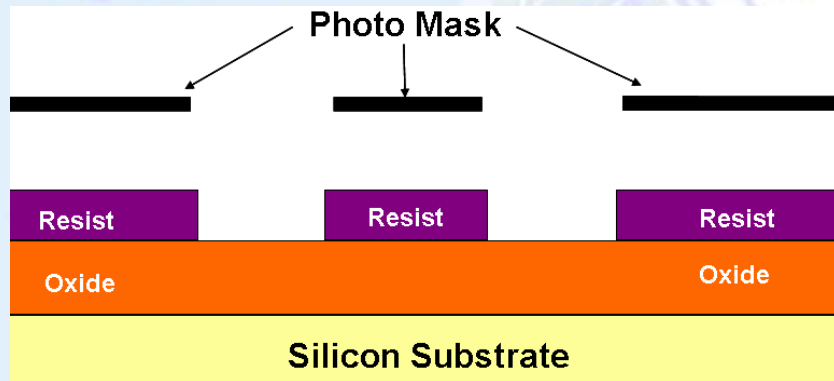
• 4. 工艺和封装测试

光刻技术 (Lithography)

用光“印刷”电路, 把电路结构“翻译”到 Wafer

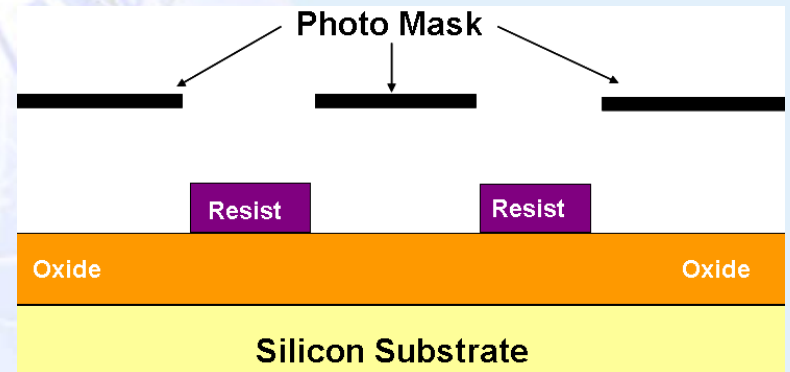
正光刻胶

高分辨率, 一致性不好, 费用高



负光刻胶

分辨率不高, 一致性好

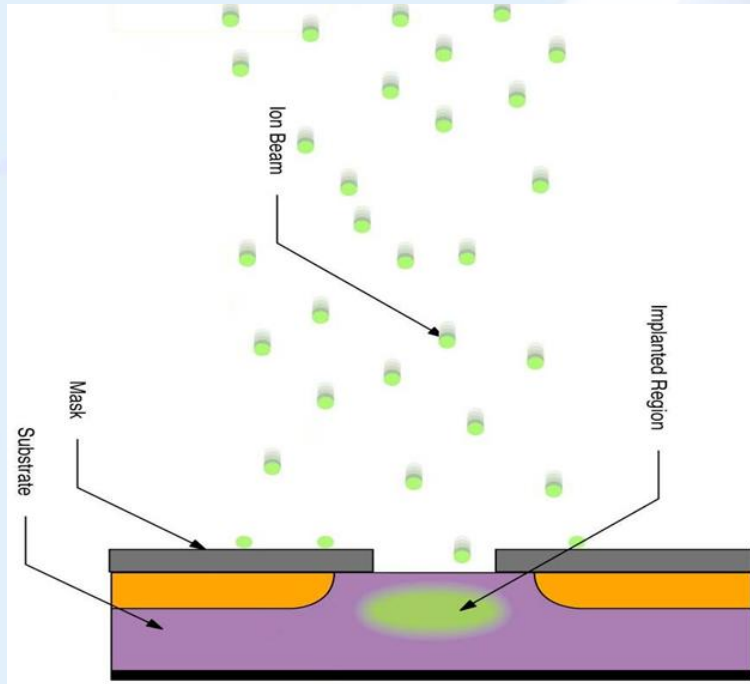


集成电路技术

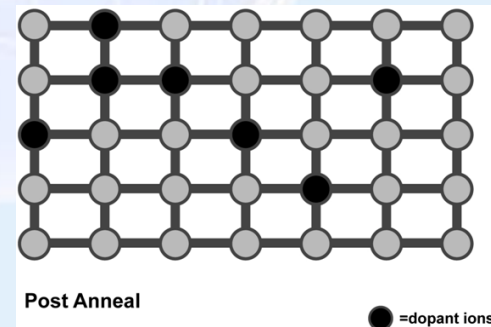
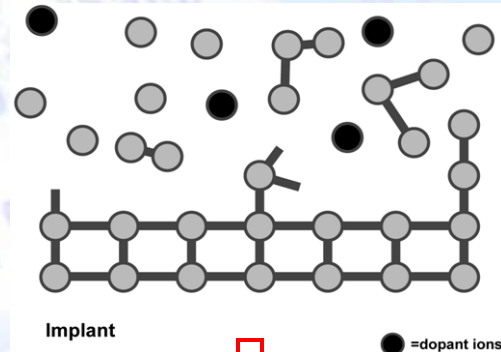
• 4. 工艺和封装测试

粒子注入 (Ion implantation)

以杂质粒子流轰炸衬底表面，形成所需的有源区域。



退火 (Anneal)



修复受损
的晶格

集成电路技术

• 4. 工艺和封装测试

蚀刻 (Etching)

1. 从硅晶片表面有选择的清除掉不需要的物质，把光蚀刻后的“图案”转换为所需的层次；
2. 完全的清除掉一整层；
3. 清洁晶片。

基本方法：

湿的化学方法蚀刻；

Plasma（干）蚀刻。

各向同性

各向同性，所有的湿蚀刻以及一些 plasma 蚀刻

各向异性

具有很高的方向性，可以形成直角以及垂直的结构。仅 plasma 蚀刻



集成电路技术

- 4. 工艺和封装测试

Front End Processing:

制造流程，从纯硅晶片到钝化处理

- Back End Processing:

- 测试与封装

- ✓工艺参数测试 (Parametric wafer level)*
- ✓芯片测试 (Sort Testing, wafer level)*
- ✓组装 (Packaging)
- ✓最终测试 (packaged chip level)*
- ✓封装与运输



半导体器件封装已经成为将芯片功能传送到系统功能的瓶颈



集成电路技术

• 4. 工艺和封装测试

封装步骤

1. 裸片切割 (Die Separation , Dicing)  晶圆级测试 (Chip Probing)
2. 裸片邦定 (Die Attachment, Bonding)
3. 引线连接 (Lead Attachment)
4. 塑封 (Final Sealing, Encapsulation)  芯片级测试
5. 装调/盒 (Trim and Form)