

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：FPGA 实验平台及 IP 核使用

学生姓名：张展翔

学生学号：PB20111669

完成日期：2021.12.11

计算机实验教学中心制

2020 年 09 月

【实验题目】

FPGA 实验平台及 IP 核使用

【实验目的】

熟悉 FPGAOL 在线实验平台结构及使用

掌握 FPGA 开发各关键环节

学会使用 IP 核（知识产权核）

【实验环境】

VLAB 平台: vlab.ustc.edu.cn

FPGAOL 平台: fpgaol.ustc.edu.cn

Vivado

Logisim

【实验练习】

题目 1

在 IP 核目录中的 Distributed Memory 中，更改位宽和位数为 8 和 16，选择 ROM，再在 RST&Initialization 中，创建.coe 文件，修改其内容为：

```
memory_initialization_radix=16;
```

```
memory_initialization_vector=7 5 3 6 4 1 2 0 3 1 6;
```

为其赋初始值

然后进行生成.bit 文件，再于 FPGA 平台进行烧写即可得到如下图所示的结果：

vlab.ustc.edu.cn (x11) - VNC Viewer

应用程序 位置 系统

FPGA Online — Mozilla Firefox

About - FPGA Online x FPGA Online +

202.38.79.134:12113/?token=MRSWGYLFG5SWEMJWGNRGEM3GMNRT0ZBXGQ4TSY3BGRRGYRYGY4GEME

FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

uart

FPGAOL uart beta 1.0

>

uart pins: cts rts rxd txd
xdc,ucf sym: D3 E5 D4 C4
baud rate: 115200

soft clock button

None

clk btn pins: clk_btn
xdc,ucf sym: B18

segplay(sharing with led) hexplay

segplay pin: dot seg_g seg_f seg_e seg_d seg_c seg_b seg_a
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17
hexplay pin: an2 an1 an0 d3 d2 d1 d0
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

Sampling Waveform

lab7-1re - [/home/ubunt... FPGA Online — Mozilla Fi...

vlab.ustc.edu.cn (x11) - VNC Viewer

应用程序 位置 系统

FPGA Online — Mozilla Firefox

About - FPGA Online x FPGA Online +

202.38.79.134:12113/?token=MRSWGYLFG5SWEMJWGNRGEM3GMNRT0ZBXGQ4TSY3BGRRGYRYGY4GEME

FPGA interface

led7 led6 led5 led4 led3 led2 led1 led0

G18 F18 E17 D17 G17 E18 D18 C17

FPGA
XC7A100t-CSG324-1

H16 G13 F13 E16 H14 G16 F16 D14

sw7 sw6 sw5 sw4 sw3 sw2 sw1 sw0

uart

FPGAOL uart beta 1.0

>

uart pins: cts rts rxd txd
xdc,ucf sym: D3 E5 D4 C4
baud rate: 115200

soft clock button

None

clk btn pins: clk_btn
xdc,ucf sym: B18

segplay(sharing with led) hexplay

segplay pin: dot seg_g seg_f seg_e seg_d seg_c seg_b seg_a
xdc,ucf sym: G18 F18 E17 D17 G17 E18 D18 C17
hexplay pin: an2 an1 an0 d3 d2 d1 d0
xdc,ucf sym: A18 B16 B17 A15 A16 A13 A14

Sampling Waveform

lab7-1re - [/home/ubunt... FPGA Online — Mozilla Fi...

题目 2

Design 文件的代码如下：

```
module test(  
    input clk, [7:0] sw,  
    output reg hexplay_an,  
    output reg [3:0] hexplay_data  
);  
    reg [2:0] count;  
    always@(posedge clk)  
    begin  
        count =count +1;  
        hexplay_an=count[2];  
        if(hexplay_an)  
            hexplay_data<=sw[7:4];  
        else  
            hexplay_data<=sw[3:0];  
        end  
    endmodule
```

再创建 xdc 文件，内容如下：

```
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 }  
[get_ports { clk }]; #IO_L12P_T1_MRCC_35 Sch=clk100mhz  
create_clock -add -name sys_clk_pin -period 10.00 -waveform {0
```

```

5} [get_ports {CLK100MHZ}]];

set_property -dict { PACKAGE_PIN D14      IOSTANDARD LVCMOS33 }
[get_ports { sw[0] }]];

set_property -dict { PACKAGE_PIN F16      IOSTANDARD LVCMOS33 }
[get_ports { sw[1] }]];

set_property -dict { PACKAGE_PIN G16      IOSTANDARD LVCMOS33 }
[get_ports { sw[2] }]];

set_property -dict { PACKAGE_PIN H14      IOSTANDARD LVCMOS33 }
[get_ports { sw[3] }]];

set_property -dict { PACKAGE_PIN E16      IOSTANDARD LVCMOS33 }
[get_ports { sw[4] }]];

set_property -dict { PACKAGE_PIN F13      IOSTANDARD LVCMOS33 }
[get_ports { sw[5] }]];

set_property -dict { PACKAGE_PIN G13      IOSTANDARD LVCMOS33 }
[get_ports { sw[6] }]];

set_property -dict { PACKAGE_PIN H16      IOSTANDARD LVCMOS33 }
[get_ports { sw[7] }]];

```

```

## FPGAO_L HEXPLAY

```

```

set_property -dict { PACKAGE_PIN A14      IOSTANDARD LVCMOS33 }
[get_ports { hexplay_data[0] }]];

```

```

set_property -dict { PACKAGE_PIN A13      IOSTANDARD LVCMOS33 }

[get_ports { hexplay_data[1] }]];

set_property -dict { PACKAGE_PIN A16      IOSTANDARD LVCMOS33 }

[get_ports { hexplay_data[2] }]];

set_property -dict { PACKAGE_PIN A15      IOSTANDARD LVCMOS33 }

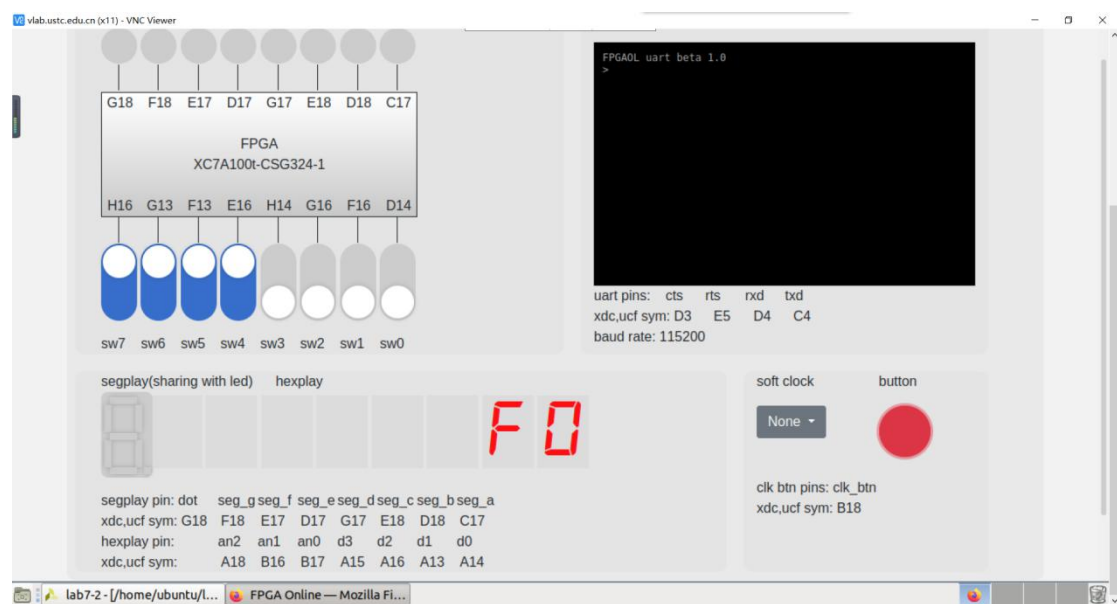
[get_ports { hexplay_data[3] }]];

set_property -dict { PACKAGE_PIN B17      IOSTANDARD LVCMOS33 }

[get_ports { hexplay_an }]];

```

然后在 vivado 中生成 .bit 文件，再登陆 FPGA 平台进行烧写，得到以下情景：



符合题目要求

题目三

设计代码如下所示：

```

module t3(
    input clk,rst,

```

```

        output reg [1:0] hexplay_an,
        output reg [3:0] hexplay_data
    );

    reg [23:0] cnt;

    wire pulse_10hz;

    assign pulse_10hz = (cnt == 24'h1);

    always@(posedge clk)

    begin

    if (rst)

        cnt <= 24'h0;

    else if (cnt > 9999998)

        cnt <= 24'h0;

    else

        cnt <= cnt + 24'h1;

    end

    reg [3:0] t_1of10s;

    reg [3:0] t_1s;

    reg [3:0] t_10s;

    reg [3:0] t_1min;

    always @(posedge clk) begin

        if (rst)

            t_1of10s <= 4'b0100;

```

```

    else if (t_1of10s > 9)
        t_1of10s <= 4'b0;
    else if (pulse_10hz)
        t_1of10s <= t_1of10s + 4'b1;
    else
        t_1of10s <= t_1of10s;
end

always@(posedge clk) begin
    if (rst)
        t_1s <= 4'b0011;
    else if (t_1s > 9)
        t_1s <= 4'b0;
    else if (t_1of10s > 9)
        t_1s <= t_1s + 4'b1;
    else
        t_1s <= t_1s;
end

always@(posedge clk) begin
    if (rst)
        t_10s <= 4'b0010;
    else if (t_10s > 5)
        t_10s <= 4'b0;

```



```

        else if (t_1s > 9)

            t_10s <= t_10s + 4'b1;

        else

            t_10s <= t_10s;

    end

    always @(posedge clk) begin

        if (rst)

            t_1min <= 4'b0001;

        else if (t_1min > 9)

            t_1min <= 4'b0;

        else if (t_10s > 5)

            t_1min <= t_1min + 4'b1;

        else

            t_1min <= t_1min;

    end

    reg [3:0] count;

    always@(posedge clk)

    begin

        count = count + 1;

        hexplay_an = count[3:2];

        case (count[3:2])

            2'b00 : hexplay_data <= t_1of10s;

```

```

2'b01 : hexplay_data <= t_1s;

2'b10 : hexplay_data <= t_10s;

2'b11 : hexplay_data <= t_1min;

endcase

end

endmodule

```

约束文件如下：

```

set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 }
[get_ports { clk }]; #IO_L12P_T1_MRCC_35 Sch=clk100mhz

create_clock -add -name sys_clk_pin -period 10.00 -waveform {0
5} [get_ports { clk }];

set_property -dict { PACKAGE_PIN B18     IOSTANDARD LVCMOS33 }
[get_ports { rst }];

set_property -dict { PACKAGE_PIN A14     IOSTANDARD LVCMOS33 }
[get_ports { hexplay_data[0] }];

set_property -dict { PACKAGE_PIN A13     IOSTANDARD LVCMOS33 }
[get_ports { hexplay_data[1] }];

set_property -dict { PACKAGE_PIN A16     IOSTANDARD LVCMOS33 }
[get_ports { hexplay_data[2] }];

set_property -dict { PACKAGE_PIN A15     IOSTANDARD LVCMOS33 }
[get_ports { hexplay_data[3] }];

set_property -dict { PACKAGE_PIN B17     IOSTANDARD LVCMOS33 }

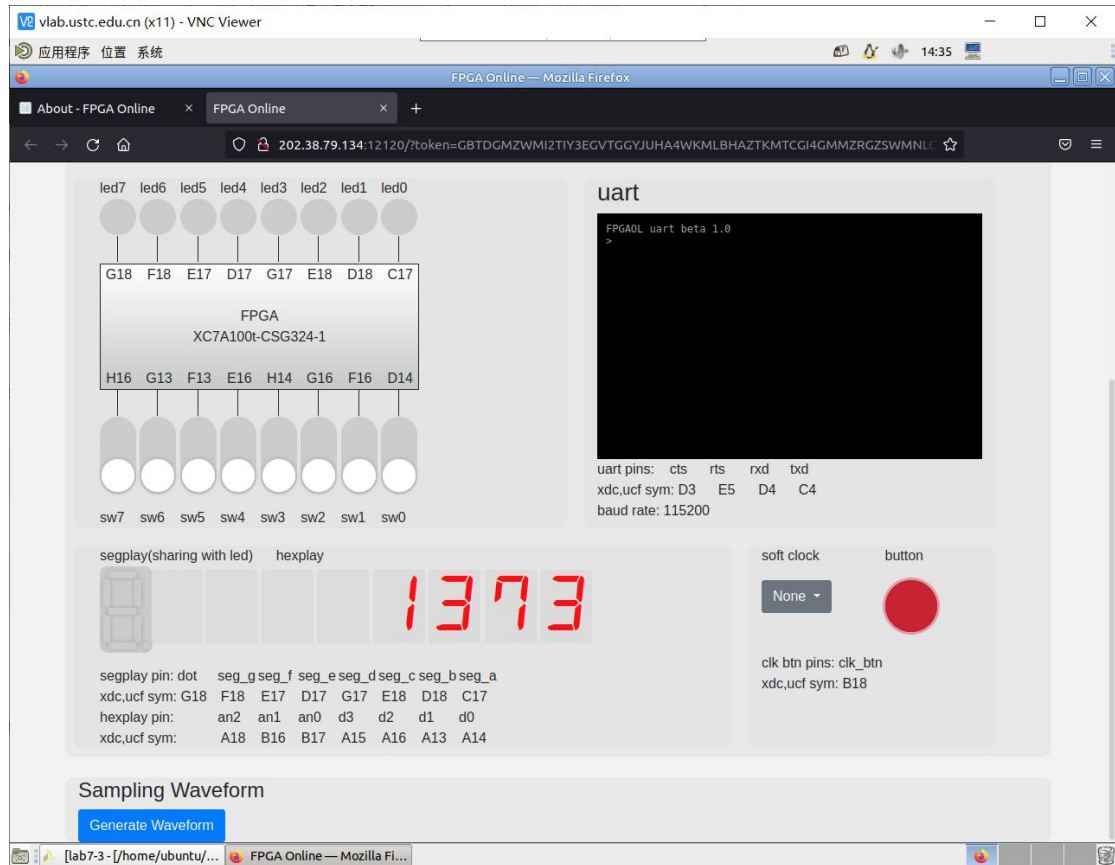
```

```
[get_ports { hexplay_an[0] }]];
```

```
set_property -dict { PACKAGE_PIN B16 IOSTANDARD LVCMOS33 }
```

```
[get_ports { hexplay_an[1] }]];
```

生成.bit 文件后在 FPGA 平台进行烧写即可得到如下效果(动态画面):



【总结与思考】

本次实验学习了 IP 核的创建和使用, 以及利用 FPGA 平台进行仿真电路的实验, 相比于前几次实验有一定的难度, 本次实验我学会了更好的去利用 FPGA 平台进行电路的仿真模拟, 来完成一些特定功能电路的实现。