

中国科学技术大学计算机学院  
《数字电路实验》报告



实验题目：实验 03\_简单时序逻辑电路

学生姓名：张展翔

学生学号：PB20111669

完成日期：2021.11.11

计算机实验教学中心制

2020 年 09 月

## 【实验题目】

### 实验 03\_简单时序逻辑电路

## 【实验目的】

掌握时序逻辑相关器件的原理及底层结构

能够用基本逻辑门搭建各类时序逻辑器件

能够使用 Verilog HDL 设计简单逻辑电路

## 【实验环境】

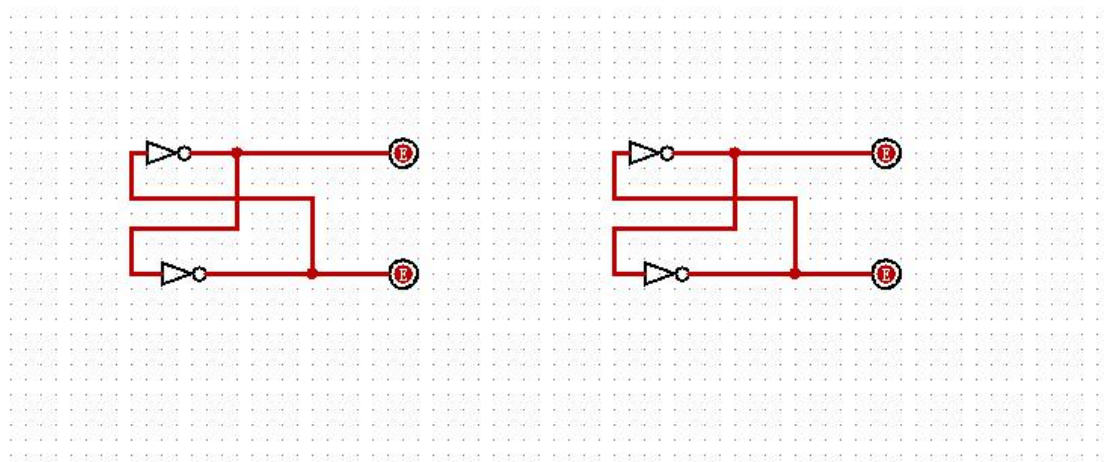
vlab.ustc.edu.cn

Windows10 下的 Logisim

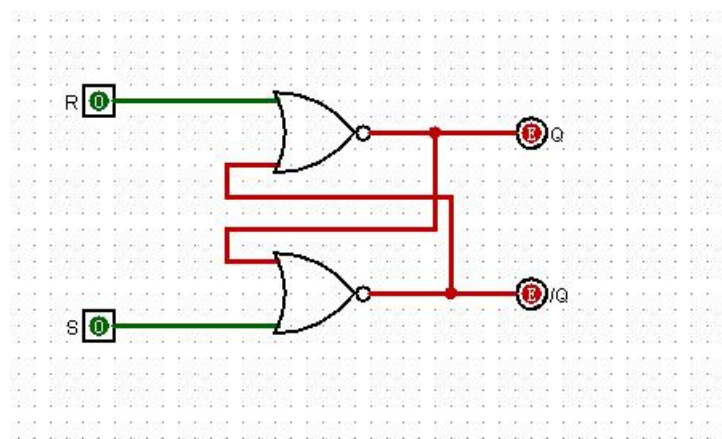
verilogoj.ustc.edu.cn

## 【实验过程】

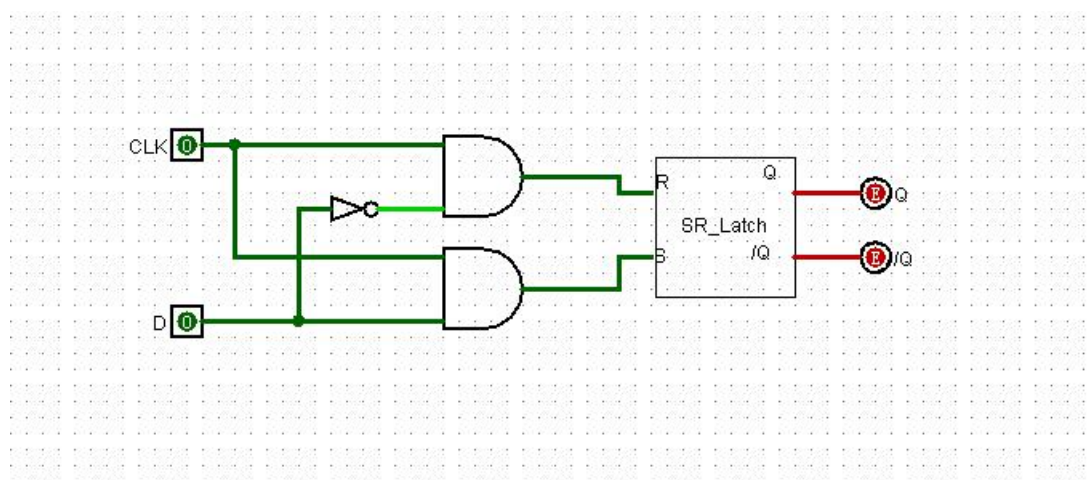
Step1: 搭建双稳态电路



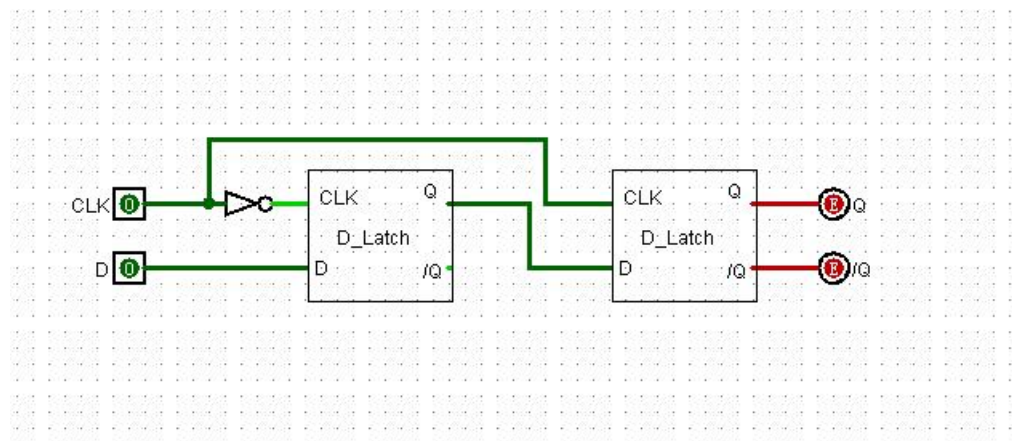
Step2: 搭建 SR 锁存器



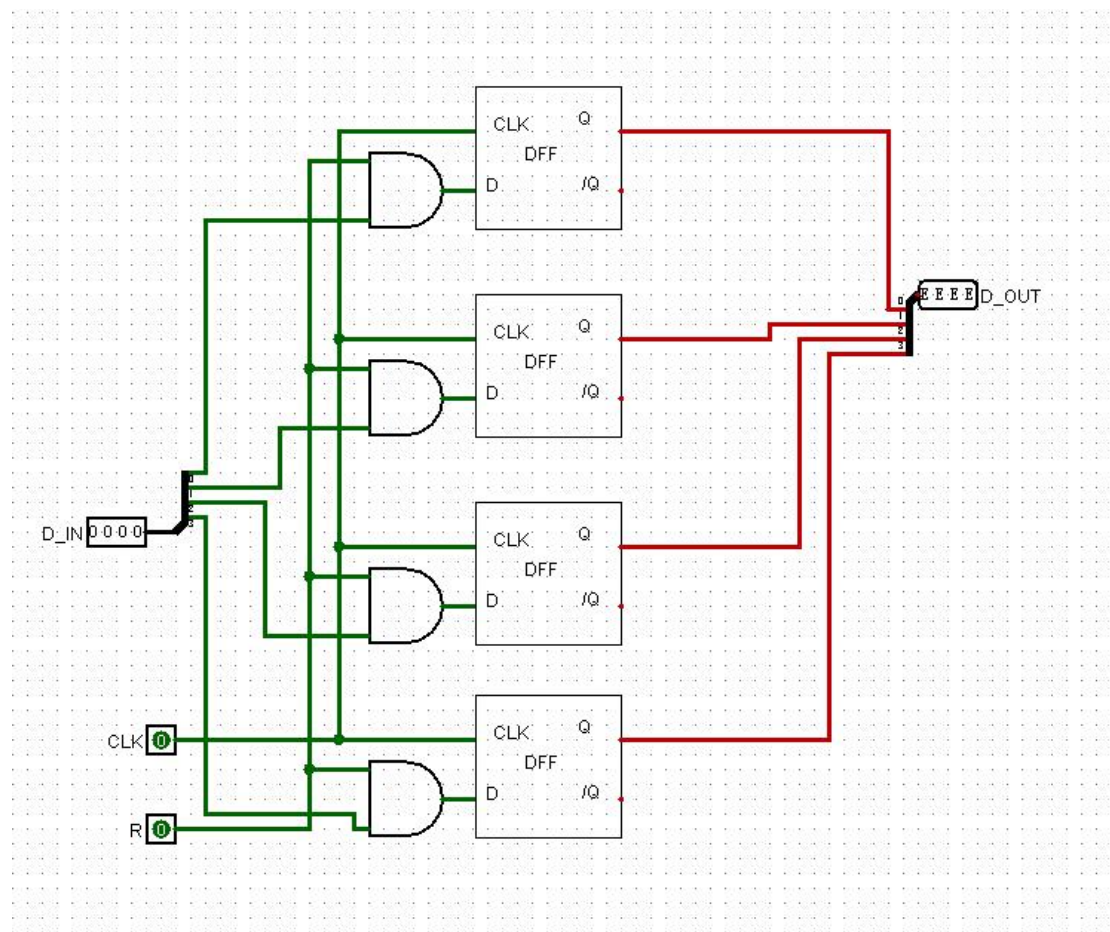
Step3: 搭建 D 锁存器



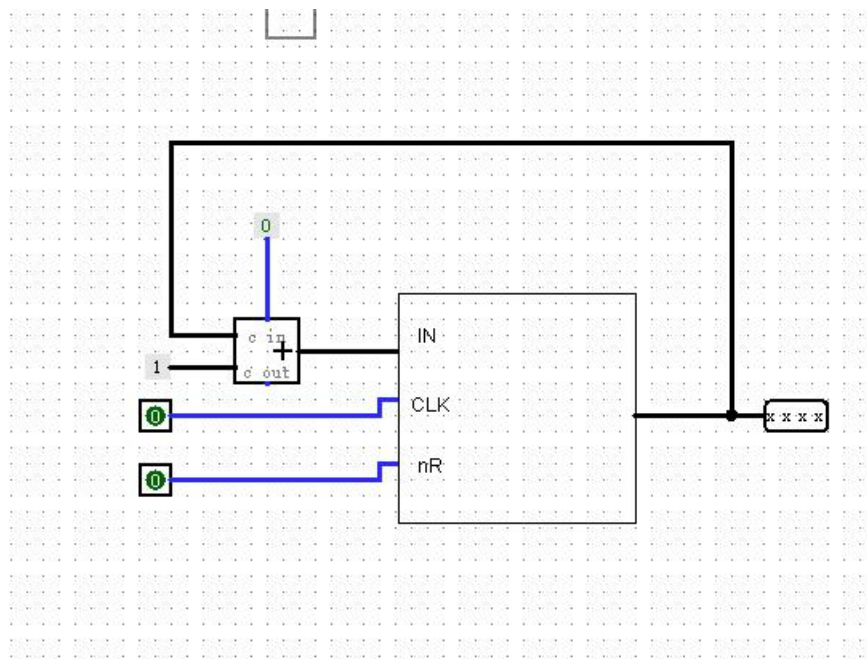
Step4: 搭建 D 触发器



Step5: 搭建寄存器

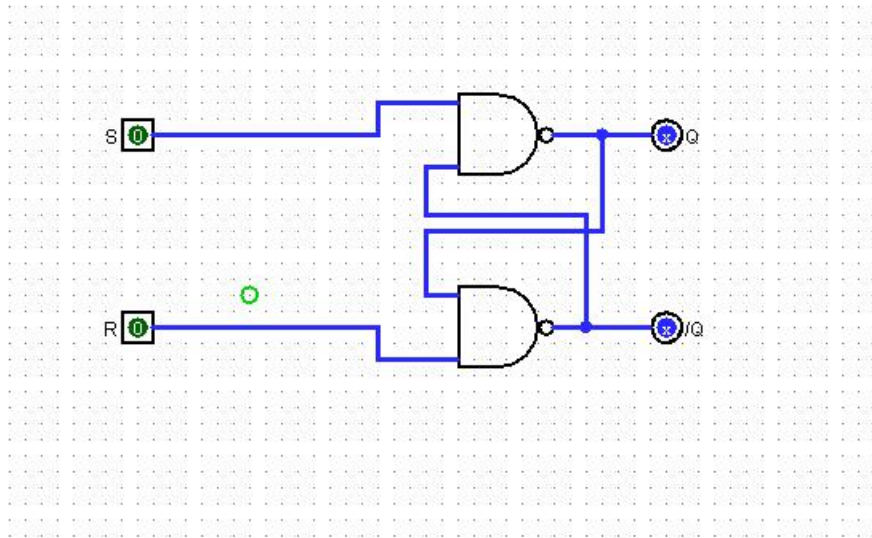


## Step6: 搭建简单时序逻辑电



## 【实验练习】

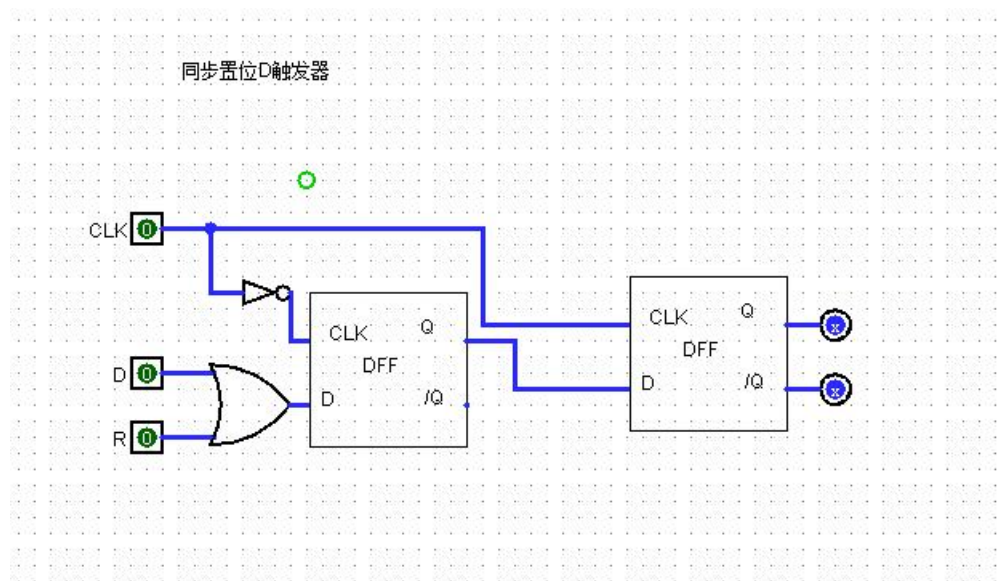
### 题目 1



状态表如下所示

$S = 0, R = 0$	$S = 1, R = 0$	$S = 0, R = 1$	$S = 1, R = 1$
保持	置 1	置 0	不确定

题目 2:



Verilog 代码如下

```
module DFF_S(input CLK, D, R, output reg Q);
    always@(posedge CLK)
    begin
        if( R== 1'b1) Q <= 1;
```

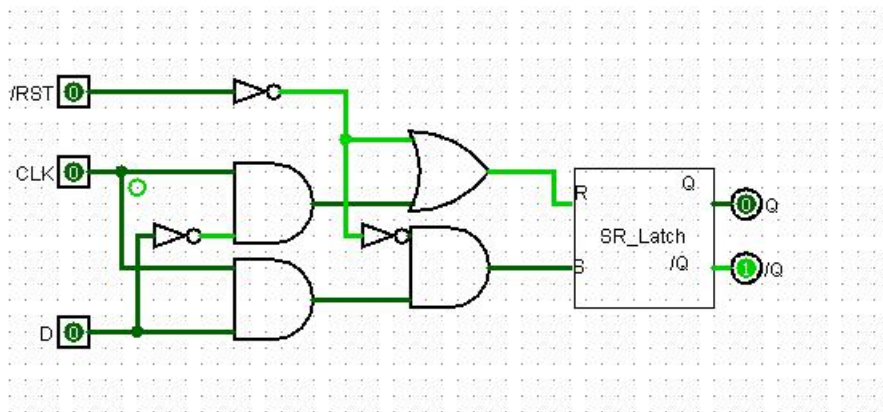
```
else Q <= D;
```

```
end
```

```
endmodule
```

题目 3:

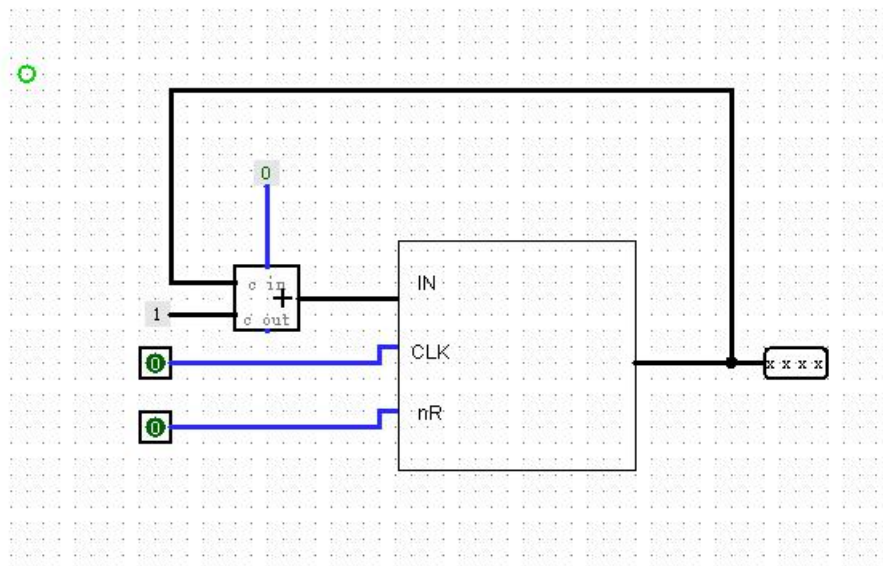
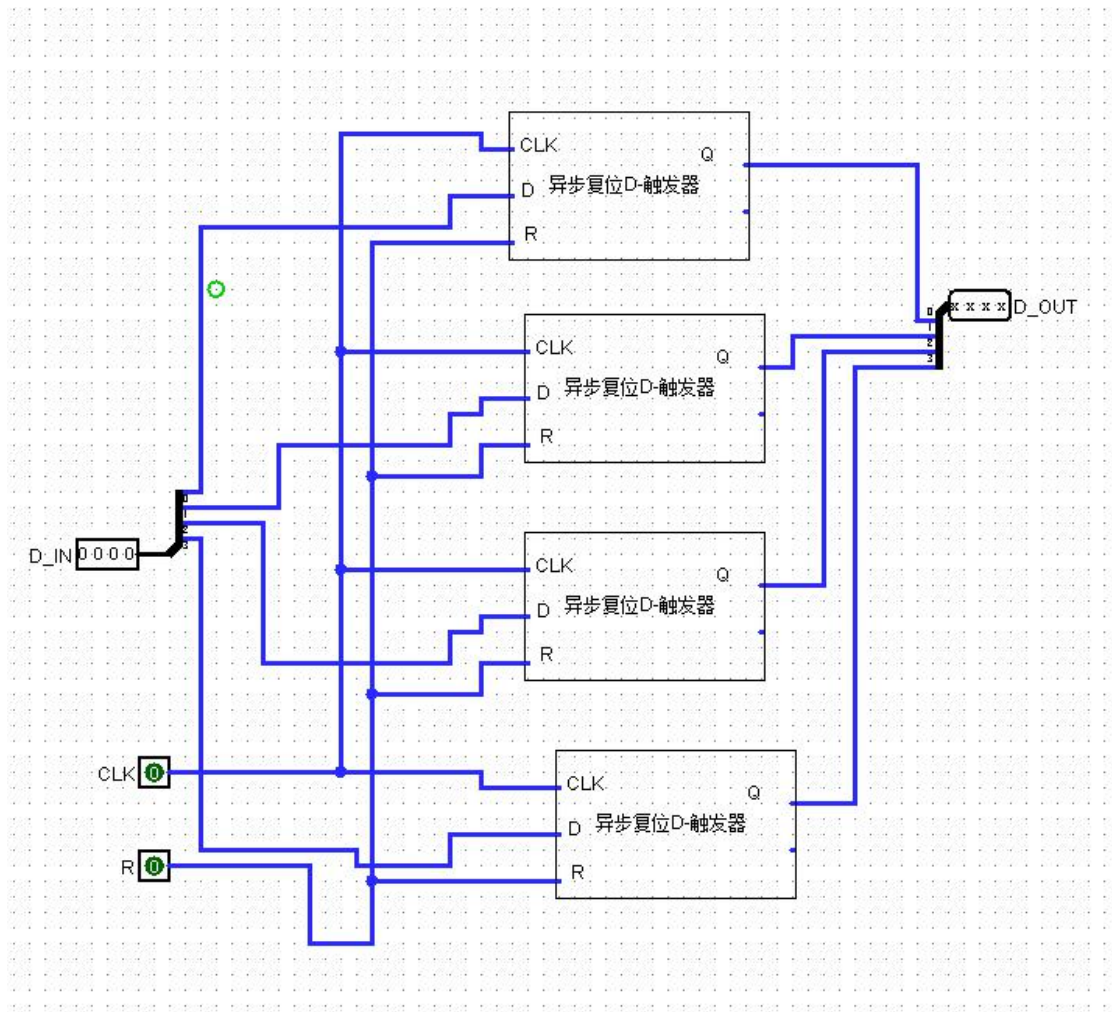
异步复位的 D 触发器:



将寄存器中所有的触发器换成异步复位的，

再利用此寄存器来构建计数器





```
module CTR_R(input CLK, R, output reg [3:0] CNT);
    always@(posedge CLK or negedge R)
```

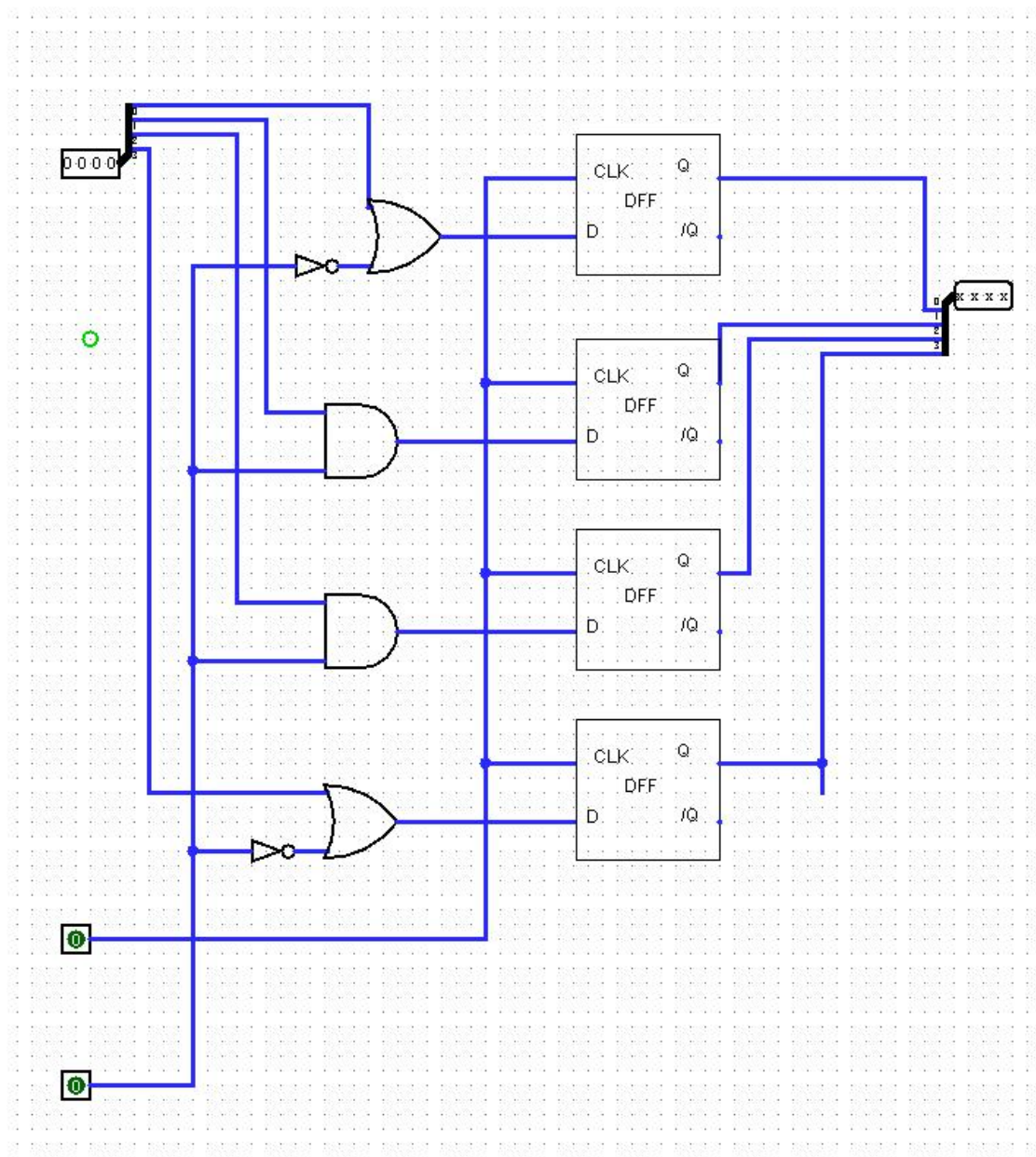
```

begin
    if(R == 0) CNT <= 4'b0;
    else CNT <= CNT + 4'b1;
end
endmodule

```

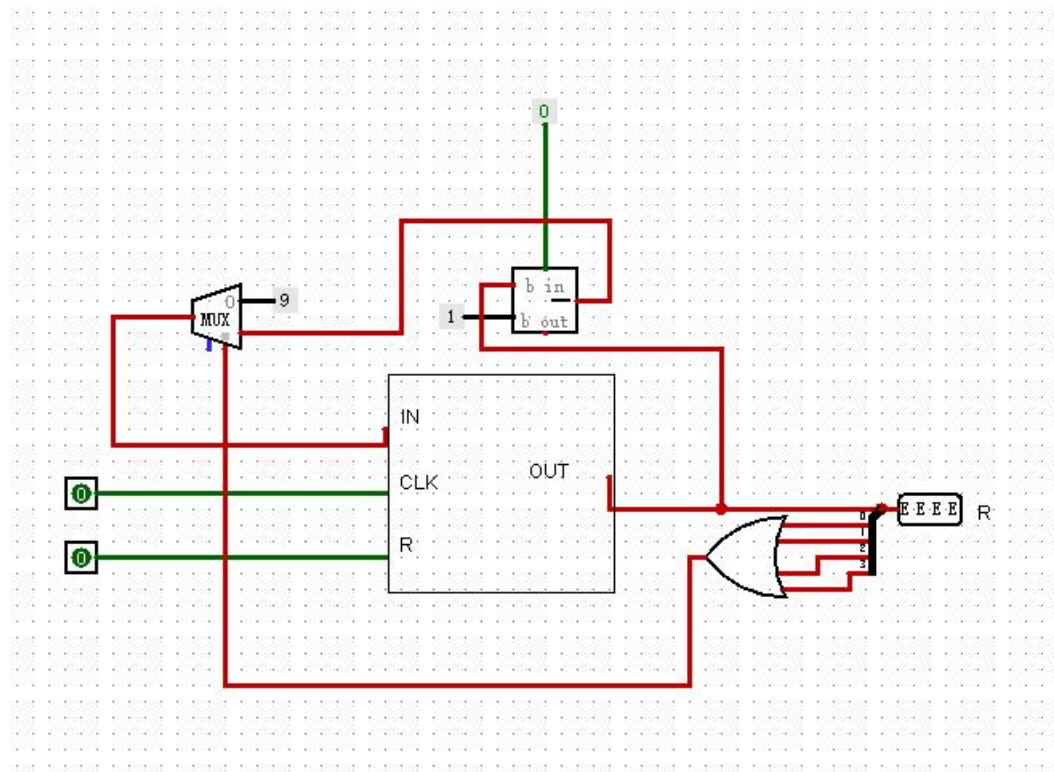
题目 4:

构建复位值为 9 的寄存器





再利用该寄存器来搭建一个 9~0 循环递减的计数器，复位值为 9



Verilog 代码如下：

```
module MNR(input [3:0] D,CLK,R,output reg Q);
```

```
    always@(posedge CLK)
```

```
    begin
```

```
        if(R==0) Q<=4'b1001;
```

```
        else if (D==4'b0000) Q<=4'b1001;
```

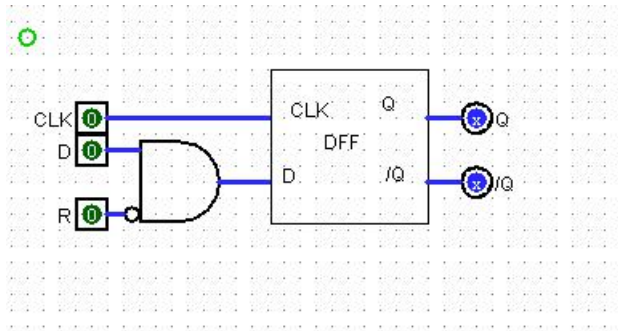
```
        else CNT<=CNT-4'b1;
```

```
    end
```

```
endmodule
```

题目 5：

对于同步复位的 D 触发器来说，将复位信号后加一个非门即可



Verilog 代码如下：

```
module DFF_R(input clk, d, r, output reg q);

    always@(posedge clk)

begin

if(r == 1) q <= 1'b0;

else q <= d;

end

endmodule
```

### 【总结与思考】

总结：通过本次实验，我学会了利用 Logisim 软件搭建了一些基本的时序逻辑电路，包括锁存器，触发器，寄存器等在课堂上所学习到的知识，模拟了基本的电路操作，更加深入的去理解了上述元件的工作原理。

建议：本次实验量有点（（（大×