

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：实验 04_Verilog 硬件描述语言

学生姓名：张展翔

学生学号：PB20111669

完成日期：2021.11.16

计算机实验教学中心制

2020 年 09 月

【实验题目】

实验 04_Verilog 硬件描述语言

【实验目的】

掌握 Verilog HDL 常用语法

能够熟练阅读并理解 Verilog 代码

能够设计较复杂的数字功能电路

能够将 Verilog 代码与实际硬件相对应

【实验环境】

vlab.ustc.edu.cn

Windows10 下的 Logisim

verilogoj.ustc.edu.cn

【实验练习】

题目 1

赋值需要使用赋值语句，故正确代码如下：

```
module test(  
    input a,  
    output reg b);  
    always@(*)  
    begin  
        if(a) b = 1'b0;  
        else b = 1'b1;  
    end
```

```
endmodule
```

题目 2:

```
module test(  
    input [4:0] a,  
    output [4:0]b);  
    always@(*)  
        b = a;  
endmodule
```

题目 3:

```
c = 8'b0011_0000  
d = 8'b1111_0011  
e = 8'b1100_0011  
f = 8'b1100_1100  
g = 8'b0011_0000  
h = 8'b0000_0110  
i = 8'b0000_0000  
j = 8'b1111_0000  
k = 8'b0100_0011
```

题目 4:

```
module sub_test(  
    input a,b,  
    output reg c);
```

```

always@(*)
c = (a<b)?a:b;

endmodule

module test(
input a,b,c,
output o);
wire temp;

sub_test(.a(a),.b(b),.c(temp));
sub_test(.a(temp),.b(c),.c(o));

endmodule

```

题目 5:

always 语句中不能实例化，实例名与模块名不要重复

```

module sub_test(
input a,b);
output o;

assign o = a + b;

endmodule

module test(
input a,b,
output c);
sub_test SUB_TEST(a,b,c);

endmodule

```

【总结与思考】

本次实验主要学习利用了 Verilog HDL 的基本语法逻辑来实现一些基本功能，任务量适中，能够较好地帮助我们复习在课堂上所学习的 Verilog HDL 语言，收获较大。