

中国科学技术大学计算机学院  
《数字电路实验》报告



实验题目：实验 06 FPGA 原理及 Vivado 综合

学生姓名：张展翔

学生学号：PB20111669

完成日期：2021.12.1

计算机实验教学中心制

2020 年 09 月

### 【实验题目】

## 实验 06 FPGA 原理及 Vivado 综合

### 【实验目的】

了解 FPGA 工作原理 了解 Verilog 文件和约束文件在 FPGA 开发中的作用 学会使用 Vivado 进行 FPGA 开发的完整流程

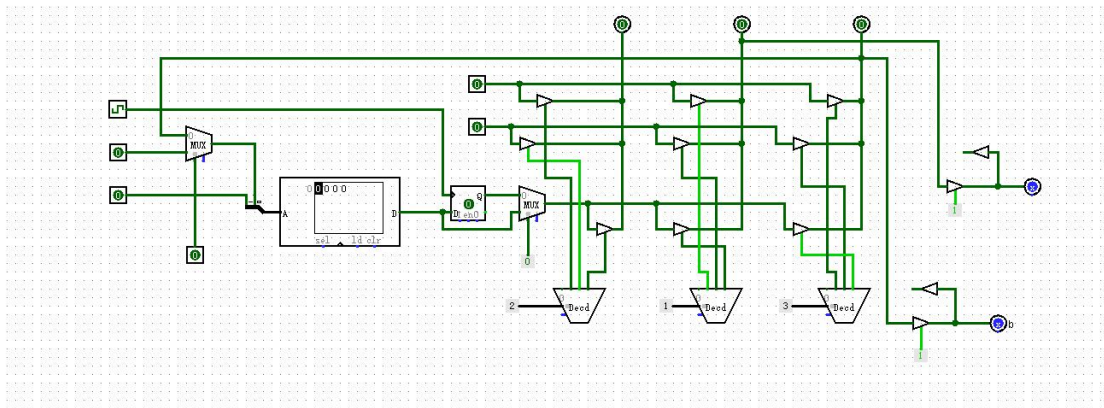
### 【实验环境】

VLAB 平台: [vlab.ustc.edu.cn](http://vlab.ustc.edu.cn) FPGAOL 实验平台:

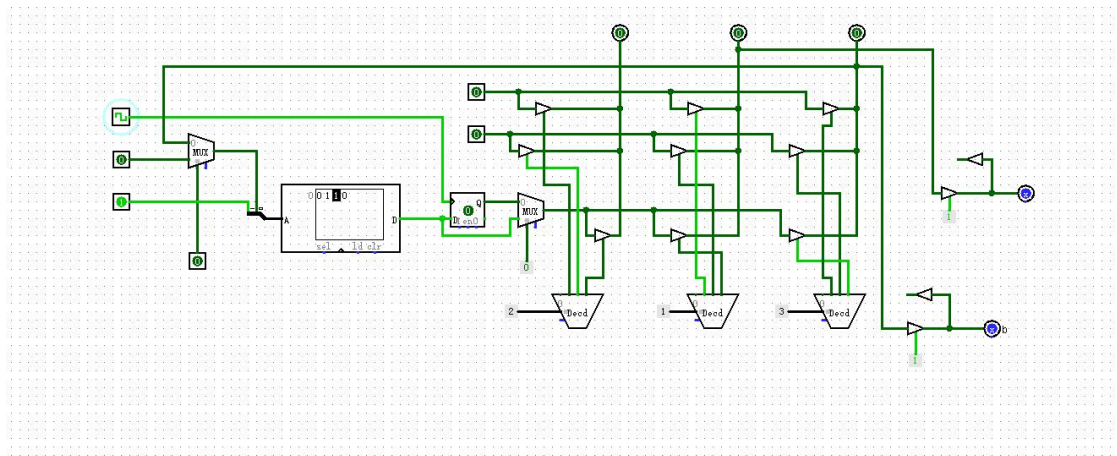
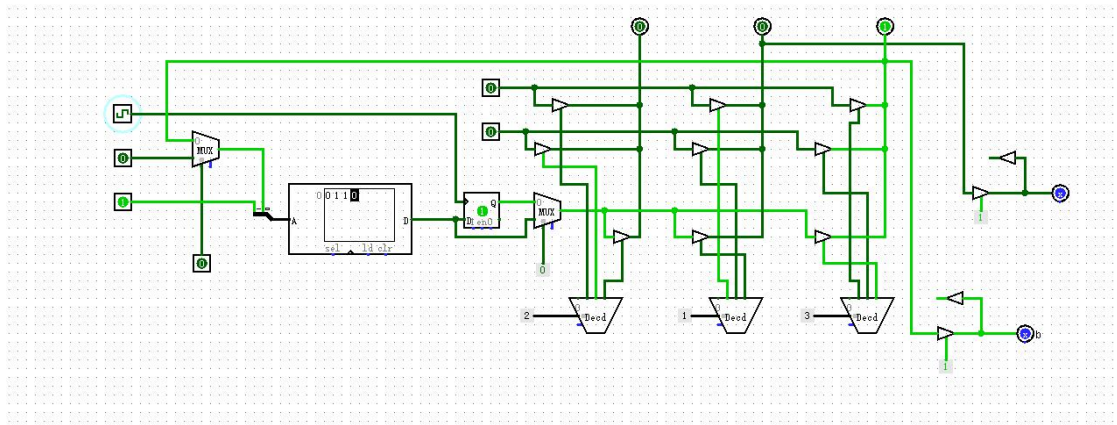
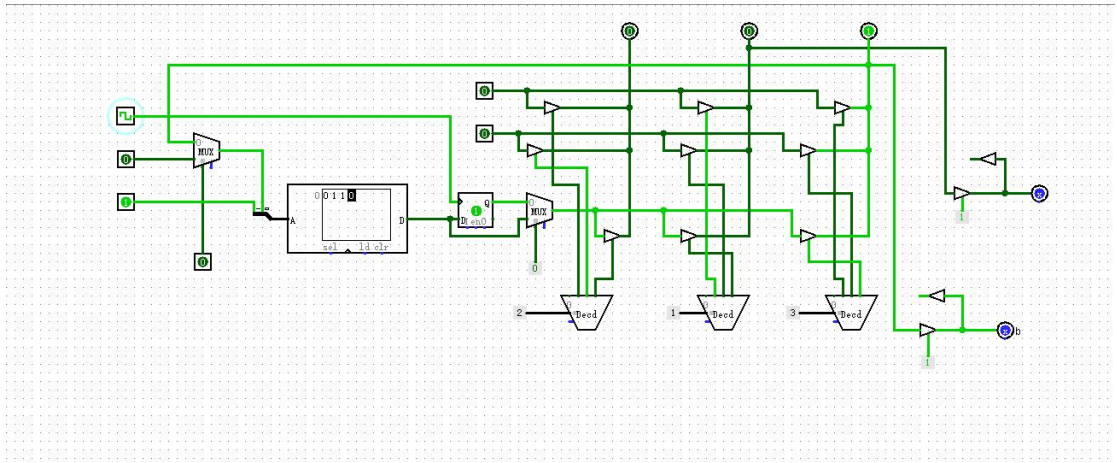
fpgaol.ustc.edu.cn Logisim Vivado 工具

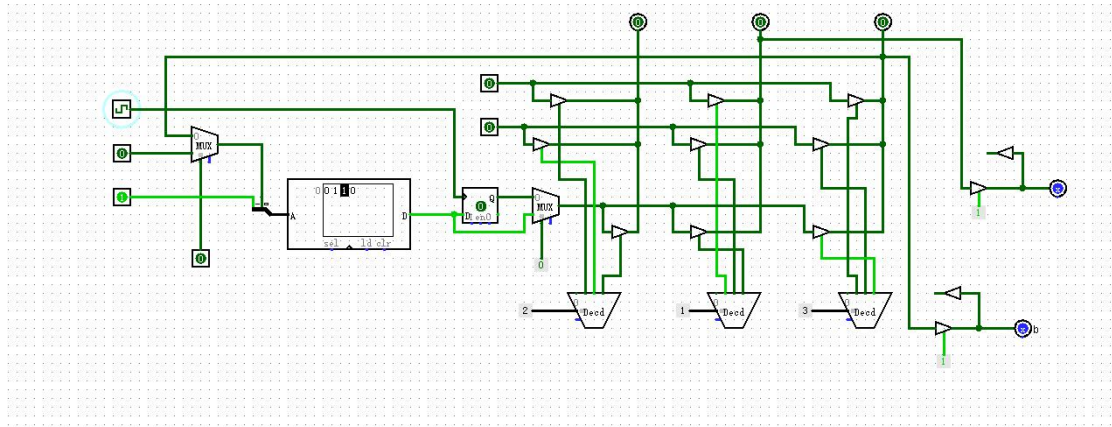
### 【实验练习】

## 题目 1



配置数据如下：（及随着 clk 的变化输出变化如下）





## 题目 2

修改开关管脚所对应的 led 管脚序列如下:

```
## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }];
#IO_L12P_T1_MRCC_35 Sch=clk100mhz
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports
{CLK100MHZ}]];

## FPGA0L BUTTON & SOFT_CLOCK
set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports
{ rst }]];

## FPGA0L LED (single-digit-SEGPLAY)
set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports
{ led[0] }]];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports
{ led[1] }]];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports
{ led[2] }]];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports
{ led[3] }]];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports
{ led[4] }]];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports
{ led[5] }]];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports
{ led[6] }]];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports
{ led[7] }]];

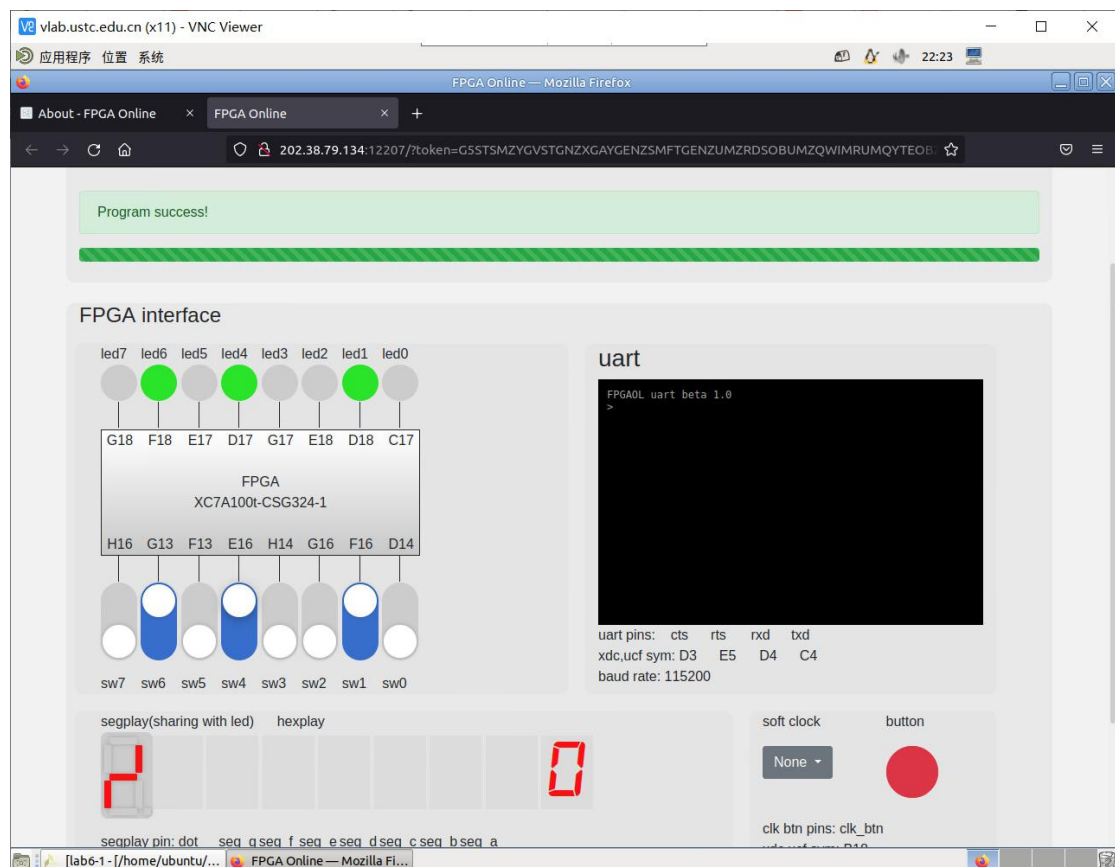
## FPGA0L SWITCH
set_property -dict { PACKAGE_PIN D14      IOSTANDARD LVCMOS33 } [get_ports
{ sw[7] }]];
```

```

set_property -dict { PACKAGE_PIN F16 IOSTANDARD LVCMOS33 } [get_ports
{ sw[6] }];
set_property -dict { PACKAGE_PIN G16 IOSTANDARD LVCMOS33 } [get_ports
{ sw[5] }];
set_property -dict { PACKAGE_PIN H14 IOSTANDARD LVCMOS33 } [get_ports
{ sw[4] }];
set_property -dict { PACKAGE_PIN E16 IOSTANDARD LVCMOS33 } [get_ports
{ sw[3] }];
set_property -dict { PACKAGE_PIN F13 IOSTANDARD LVCMOS33 } [get_ports
{ sw[2] }];
set_property -dict { PACKAGE_PIN G13 IOSTANDARD LVCMOS33 } [get_ports
{ sw[1] }];
set_property -dict { PACKAGE_PIN H16 IOSTANDARD LVCMOS33 } [get_ports
{ sw[0] }];

```

在 vivado 中生成 bit 文件，然后去 FPGA 平台烧写，结果如下：



### 题目 3

设计的 test.v 文件如下：

```

module test(input clk,output reg [7:0] led
);

```

```

    reg [29:0] ctr=0;

    always@(posedge clk) ctr<=ctr+1;

    always@(posedge clk)

led<={ctr[29],ctr[28],ctr[27],ctr[26],ctr[25],ctr[24],ctr[23],ctr[22]};

endmodule

```

约束文件 test.xdc 更改如下：

```

set_property -dict {PACKAGE_PIN E3 IOSTANDARD LVCMOS33}
[get_ports {clk}];

set_property -dict {PACKAGE_PIN C17 IOSTANDARD LVCMOS33}
[get_ports {led[0]}}];

set_property -dict {PACKAGE_PIN D18 IOSTANDARD LVCMOS33}
[get_ports {led[1]}}];

set_property -dict {PACKAGE_PIN E18 IOSTANDARD LVCMOS33}
[get_ports {led[2]}}];

set_property -dict {PACKAGE_PIN G17 IOSTANDARD LVCMOS33}
[get_ports {led[3]}}];

set_property -dict {PACKAGE_PIN D17 IOSTANDARD LVCMOS33}
[get_ports {led[4]}}];

set_property -dict {PACKAGE_PIN E17 IOSTANDARD LVCMOS33}
[get_ports {led[5]}}];

```

```
set_property -dict {PACKAGE_PIN F18 IOSTANDARD LVCMOS33}
[get_ports {led[6]}}];

set_property -dict {PACKAGE_PIN G18 IOSTANDARD LVCMOS33}
[get_ports {led[7]}}];
```

如需将计数器改为 32 位的，需要更改 test.v 文件为如下：

```
module test(input clk,output reg [7:0] led
    );
    reg [31:0] ctr=0;
    always@(posedge clk) ctr<=ctr+1;
    always@(posedge clk)

    led<={ctr[31],ctr[30],ctr[29],ctr[28],ctr[27],ctr[26],ctr[2
5],ctr[24]}};
endmodule
```

时钟信号保证了每一次的跳变时间间隔是相同的

### 【总结与思考】

本次实验利用了 Vivado 综合 FPGA 平台，学会了利用 Vivado 平台生成 bit 文件，并在 FPGA 平台进行烧写模拟电路板，综合性较强，实验步骤详细，收获较大。