

컴퓨터 공학 기초 실험2 보고서

실험제목: Register_File

실험일자: 2023년 10월 16일 (월)

제출일자: 2023년 10월 25일 (수)

학 과: 컴퓨터공학과

담당교수: 이준환 교수님

실습분반: 월요일 0, 1, 2

학 번: 2022202064

성 명: 최봉규

1. 제목 및 목적

A. 제목

Register File

B. 목적

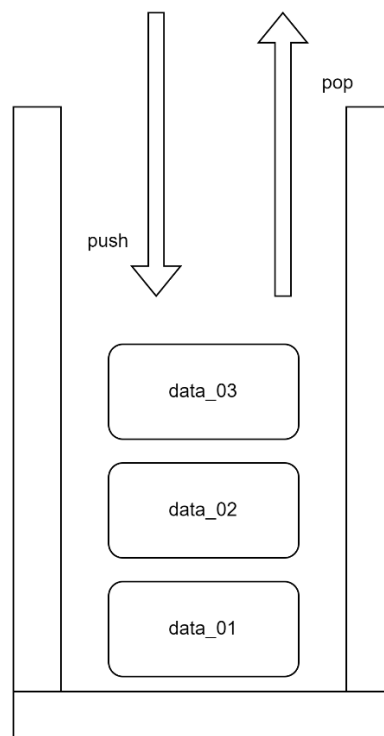
이번 실습에서는 지난 실습 때 설계한 32bit register를 여러 개 instance 하고 각 register에 address를 할당하여 read & write을 수행하는 register file을 설계한다. Stack과 queue에 대해 조사하여 이 둘의 차이점을 이해한다. 이번 실습의 register는 enabled resettable d flip flop을 이용한다.

2. 원리(배경지식)

Stacks

Stack은 기본적으로 "쌓는다"의 의미를 갖는다. Data를 쌓아 올린 형태의 자료구조를 갖게 된다. Data가 순서대로 쌓이며 가장 마지막에 삽입된 자료가 가장 먼저 삭제되는 LIFO(last in first out)의 구조를 갖는다. Stack의 대한 예시로 쌓아져 있는 종이컵, 후위표기법 등을 예시로 들 수 있다. Stack은 top으로만 접근이 가능하다. 이에 대한 연산은 push와 pop이다. Push는 data를 해당 구조에 넣는 것(insert)을, pop은 해당 구조에서 data를 빼는 연산, 삭제하는 연산(delete)과 같다.

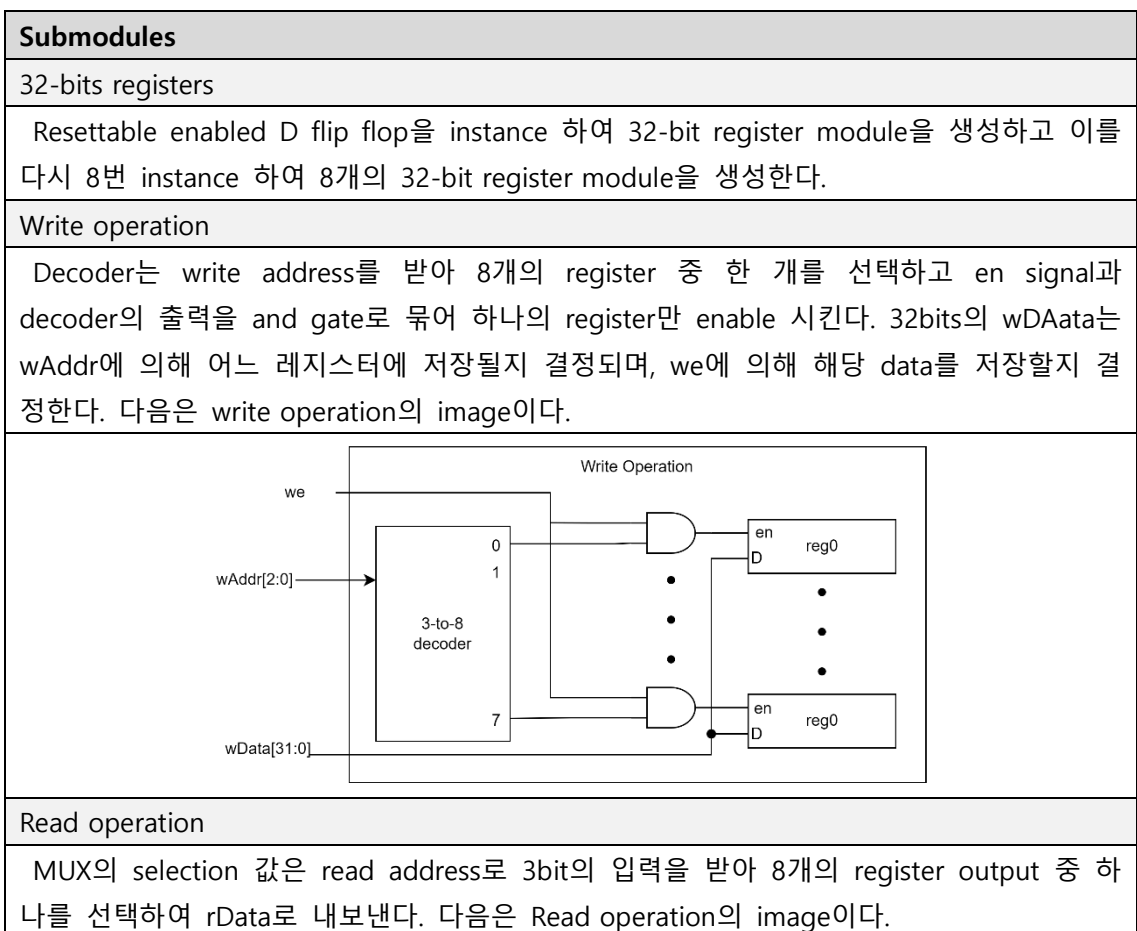
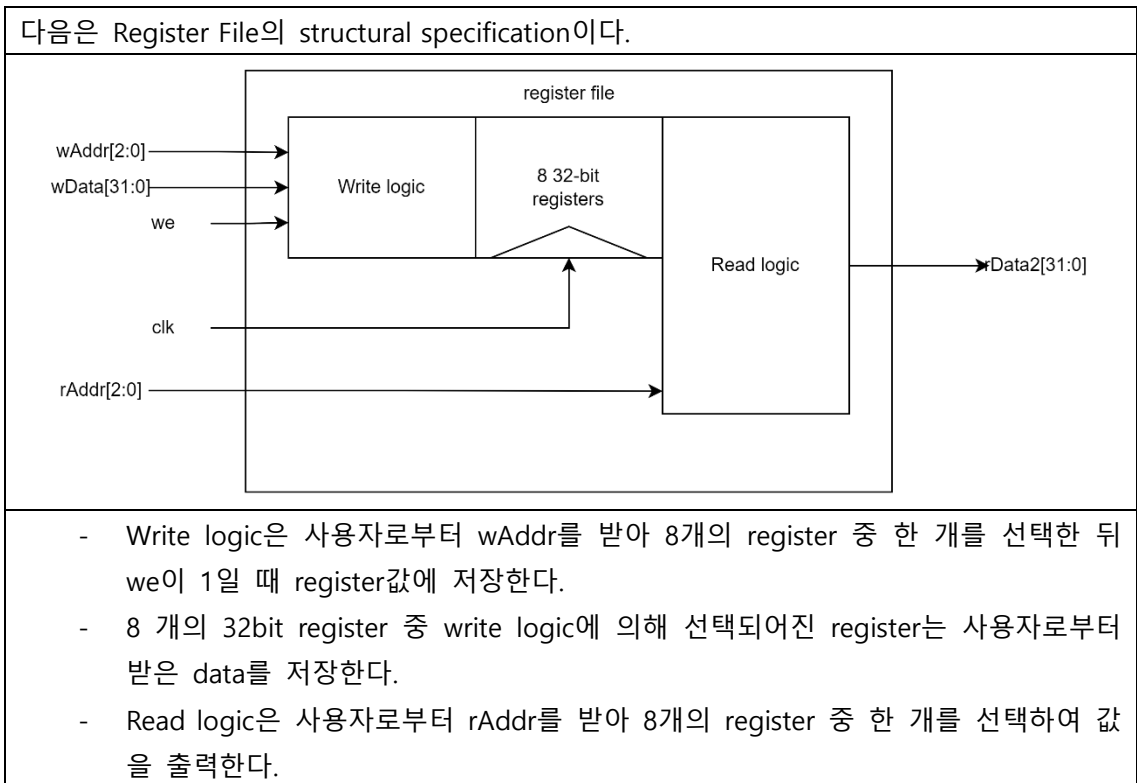
아래의 이미지는 stack에 대한 이미지이다. 이 이미지로 예시로 들면 삽입된 순서는 data_01, data_02, data_03 순서이다. 하지만 이를 삭제할 때에는 그 역순인 data_03, data_02, data_01의 순서로 되는 것이다.

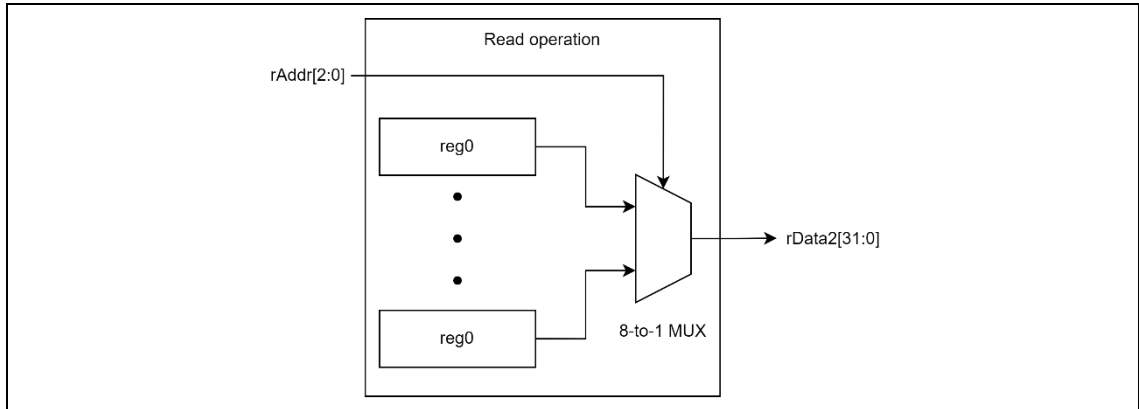


Queue
<p>Queue는 먼저 집어넣은 data가 먼저 빠져나오게 되는 자료구조이다. Stack과 마찬가지로 data는 순서대로 쌓인다. 하지만 stack과 다른 삭제 연산을 시행한다. 가장 먼저 삽입된 data가 가장 먼저 삭제되는 FIFO(first in first out)의 구조를 갖는다. Queue에 대한 예시로는 대기줄 같은 것이 있다. Queue는 insert하는 것을 enqueue, delete하는 것을 dequeue라는 연산을 갖는다. queue에는 두 가지의 위치를 갖는다. Head의 front, tail의 rear가 그 역할이다. Enqueue 연산을 할 경우에는 rear에서 연산을 수행하고 rear를 한 칸 옮긴다. Dequeue 연산의 경우는 front에서 연산을 수행하고 front를 한 칸 옮기게 된다.</p> <p>아래의 이미지는 queue에 대한 이미지이다. 이 이미지로 예시를 들면, enqueue는 data_01, data_02, data_03의 순서로 진행된다. Dequeue 역시 이와 같은 순서인 data_01, data_02, data_03의 순서로 진행된다. 이때 enqueue가 진행되고 dequeue를 하기 전 front는 data_01의 위치를 rear는 data_03의 위치를 갖는다.</p>

3. 설계 세부사항

Register_File
<ul style="list-style-type: none"> - 32bit register가 8개 instance 된다. - Write는 write enable(we)에 의해 활성화된다. - Write operation Decoder를 통해 address를 해석하여 해당 register enable - Read operation MUX를 통해 8개의 register 중 한 개를 선택한다.

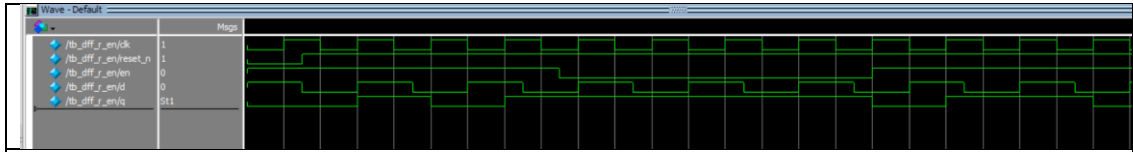




4. 설계 검증 및 실험 결과

A. 시뮬레이션 결과

Register_file					
					
ID	Description	Input	Expected output	Measured output	Comparison
1	reset	reset_n = 1'b0;	32'h0000_0000	32'h0000_0000	Yes
2	Write_01	wAddr = 3'b000 wData = 32'h1001_0111	32'h1001_0111	32'h1001_0111	Yes
3	Read_01	wAddr = 3'b000	32'h1001_0111	32'h1001_0111	Yes
4	Write_02	wAddr = 3'b001 wData = 32'hff00_ff00	32'h1001_0111	32'h1001_0111	Yes
5	Write_03	wAddr = 3'b010 wData = 32'hff00_ff00	32'h1001_0111	32'h1001_0111	Yes
6	Write_04	wAddr = 3'b011 wData = 32'h12ff_0012	32'h1001_0111	32'h1001_0111	Yes
7	Read_02	Addr = 3'b001	32'hff00_ff00	32'hff00_ff00	Yes
8	Read_03	Addr = 3'b010	32'hff00_ff00	32'hff00_ff00	Yes
9	Read_04	Addr = 3'b011	32'h12ff_0012	32'h12ff_0012	Yes
10	Write_05	wAddr = 3'b010 wData = 32'h1234_1234	32'h12ff_0012	32'h12ff_0012	Yes
11	Read_06	Addr = 3'b010	32'h1234_1234	32'h1234_1234	Yes
register32_8					



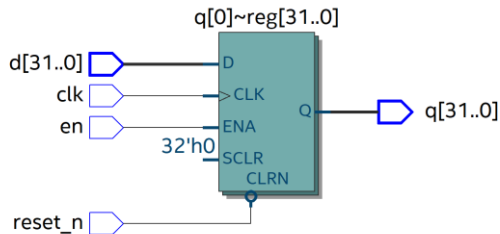
Reset_n이 하강을 하고 0일 때는 q의 값은 d와 상관없이 0을 유지함을 확인할 수 있다. 이후에는 en이 1일 때만 q가 update되고 en이 0인 경우에는 q의 값이 prev_q를 가지는 것을 확인할 수 있다.

B. 합성(synthesis) 결과

Register_file																																							
	Flow Summary <<Filter>> <table> <tr><td>Flow Status</td><td>Successful - Wed Oct 18 10:24:40 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>Register_file</td></tr> <tr><td>Top-level Entity Name</td><td>Register_file</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>123 / 41,910 (< 1 %)</td></tr> <tr><td>Total registers</td><td>256</td></tr> <tr><td>Total pins</td><td>73 / 499 (15 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Successful - Wed Oct 18 10:24:40 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	Register_file	Top-level Entity Name	Register_file	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	123 / 41,910 (< 1 %)	Total registers	256	Total pins	73 / 499 (15 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Successful - Wed Oct 18 10:24:40 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	Register_file																																						
Top-level Entity Name	Register_file																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	123 / 41,910 (< 1 %)																																						
Total registers	256																																						
Total pins	73 / 499 (15 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
<p>해당 그림은 Register_file의 RTL map으로 submodule인 write_operation register32_8, read_operation이 있는 것을 확인할 수 있다.</p>	<p>Top module은 Register_file로 flow status는 successful이다. Logic utilization은 123, register의 수는 256개, total pins는 73인 것을 확인할 수 있다.</p>																																						
register32_8																																							
	Flow Summary <<Filter>> <table> <tr><td>Flow Status</td><td>Flow Failed - Wed Oct 18 11:10:55 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>Register_file</td></tr> <tr><td>Top-level Entity Name</td><td>register32_8</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>129 / 41,910 (< 1 %)</td></tr> <tr><td>Total registers</td><td>256</td></tr> <tr><td>Total pins</td><td>298 / 499 (60 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Flow Failed - Wed Oct 18 11:10:55 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	Register_file	Top-level Entity Name	register32_8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	129 / 41,910 (< 1 %)	Total registers	256	Total pins	298 / 499 (60 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Flow Failed - Wed Oct 18 11:10:55 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	Register_file																																						
Top-level Entity Name	register32_8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	129 / 41,910 (< 1 %)																																						
Total registers	256																																						
Total pins	298 / 499 (60 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
<p>해당 그림은 register32_8의 RTL map으로 submodule인 register32_r_en이 8개 있는 것을 확인할 수 있다.</p>	<p>Top module은 register32_8로 flow status는 failed이다. Logic utilization은 129, register의 수는 256, total pins는 298인 것</p>																																						

을 확인할 수 있다.

register32_r_en



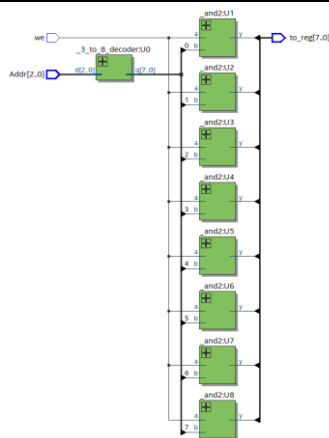
Flow Summary

<<Filter>>	
Flow Status	Successful - Wed Oct 18 11:18:39 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	Register_file
Top-level Entity Name	register32_r_en
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	9 / 41,910 (< 1 %)
Total registers	32
Total pins	67 / 499 (13 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

해당 그림은 register32_r_en의 RTL map으로 submodule인 enabled resettable d flip flop이 32bit bus로 연결된 것을 확인할 수 있다.

Top module은 register32_r_en로 flow status는 successful이다. Logic utilization은 9, register의 수는 32, total pins는 67인 것을 확인할 수 있다.

write_operation



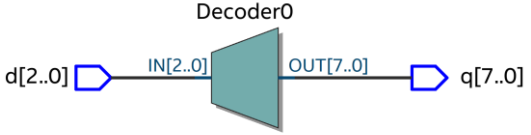
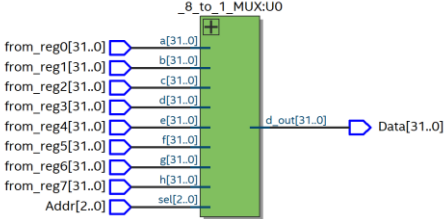
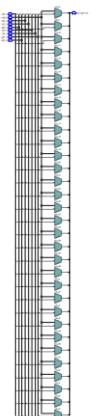
Flow Summary

<<Filter>>	
Flow Status	Successful - Wed Oct 18 12:15:21 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	Register_file
Top-level Entity Name	write_operation
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	5 / 41,910 (< 1 %)
Total registers	0
Total pins	12 / 499 (2 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 (0 %)
Total DSP Blocks	0 / 112 (0 %)
Total HSSI RX PCSs	0 / 9 (0 %)
Total HSSI PMA RX Deserializers	0 / 9 (0 %)
Total HSSI TX PCSs	0 / 9 (0 %)
Total HSSI PMA TX Serializers	0 / 9 (0 %)
Total PLLs	0 / 15 (0 %)
Total DLLs	0 / 4 (0 %)

해당 그림은 write_operation의 RTL map으로 submodule인 _3_to_8_decoder와 _and2가 8개 있는 모습을 확인할 수 있다.

Top module은 write_operation으로 flow status는 successful이다. Logic utilization은 5, register의 수는 0, total pins는 12인 것을 확인할 수 있다.

_3_to_8_decoder

	<div>Flow Summary</div> <div><<Filter>></div> <table> <tr><td>Flow Status</td><td>Successful - Wed Oct 18 12:22:21 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>Register_file</td></tr> <tr><td>Top-level Entity Name</td><td>_3_to_8_decoder</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>5 / 41,910 (< 1 %)</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>11 / 499 (2 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Successful - Wed Oct 18 12:22:21 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	Register_file	Top-level Entity Name	_3_to_8_decoder	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	5 / 41,910 (< 1 %)	Total registers	0	Total pins	11 / 499 (2 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Successful - Wed Oct 18 12:22:21 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	Register_file																																						
Top-level Entity Name	_3_to_8_decoder																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	5 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	11 / 499 (2 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
<p>해당 그림은 _3_to_8_decoder의 RTL map으로 behavior방식으로 input으로 3bit, output으로 8bits bus가 나가는 모습을 확인할 수 있다.</p>	<p>Top module은 _3_to_8_decoder로 flow status는 successful이다. Logic utilization은 5, register의 수는 0, total pins는 11인 것을 확인할 수 있다.</p>																																						
<div>read_operation</div>																																							
	<div>Flow Summary</div> <div><<Filter>></div> <table> <tr><td>Flow Status</td><td>Flow Failed - Wed Oct 18 13:32:36 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>Register_file</td></tr> <tr><td>Top-level Entity Name</td><td>read_operation</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>49 / 41,910 (< 1 %)</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>291 / 499 (58 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Flow Failed - Wed Oct 18 13:32:36 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	Register_file	Top-level Entity Name	read_operation	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	49 / 41,910 (< 1 %)	Total registers	0	Total pins	291 / 499 (58 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Flow Failed - Wed Oct 18 13:32:36 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	Register_file																																						
Top-level Entity Name	read_operation																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	49 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	291 / 499 (58 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
<p>해당 그림은 read_operation의 RTL map으로 submodule인 _8_to_1_MUX가 있는 것을 확인할 수 있다.</p>	<p>Top module은 read_operation으로 flow status는 failed이다. Logic utilization은 49, register의 수는 0, total pins는 291인 것을 확인할 수 있다.</p>																																						
<div>_8_to_1_MUX</div>																																							
	<div>Flow Summary</div> <div><<Filter>></div> <table> <tr><td>Flow Status</td><td>Flow Failed - Wed Oct 18 13:39:05 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>Register_file</td></tr> <tr><td>Top-level Entity Name</td><td>_8_to_1_MUX</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>49 / 41,910 (< 1 %)</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>291 / 499 (58 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Flow Failed - Wed Oct 18 13:39:05 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	Register_file	Top-level Entity Name	_8_to_1_MUX	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	49 / 41,910 (< 1 %)	Total registers	0	Total pins	291 / 499 (58 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Flow Failed - Wed Oct 18 13:39:05 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	Register_file																																						
Top-level Entity Name	_8_to_1_MUX																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	49 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	291 / 499 (58 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						

해당 그림은 _8_to_1_MUX의 RTL map으로 behavior 방식으로 되었으며, 2 to 1 mux가 32개 있는 것을 확인할 수 있다.	Top module은 _8_to_1_MUX로 flow status는 failed이다. Logic utilization은 49, register의 수는 0, total pins는 291인 것을 확인할 수 있다.
---	--

5. 고찰 및 결론

A. 고찰

read_operation, _8_to_1_MUX, registrer32_8 module에 대해서 compile을 시행하게 되면 Fitter 부분에서 에러가 난다. 하지만 Analysis & synthesis는 성공적으로 되며 테스트벤치와 RTL map을 확인할 수는 있다. 해당 오류에 대해서 왜 일어나게 되는지 모르겠다. Quturs에서는 다음과 같이 설명한다. "too many to fit in the 288 user I/O pin locations available in the selected device" 이 문구로 미루어 보아 pin의 개수를 너무 많이 사용했기 때문인데, 아직 pin의 개수를 어떤 식으로 조절할 수 있을지에 대해 몰라 해당 오류를 해결할 수 있는 방안이 떠오르지 않는다.

B. 결론

해당 실습을 진행하게 되면서 필요는 없지만 각 module에 대해 compile을 모두 해보았다. 각 module에서 analysis & synthesis는 모두 성공적이었지만 fitter 부분에서 간혹, failed를 확인할 수 있었다. 해당 에러를 방지하기 위해 Pin의 개수를 조절하는 방법은 아직 모르지만, 무조건 synthesis가 잘됐다고 해서 module에 대한 compile이 성공적이라는 것은 아니라는 것을 알게 되었다.

6. 참고문헌

심동규 교수님/객체지향프로그래밍설계/광운대학교(컴퓨터정보공학부)/2023

이기훈 교수님/데이터구조설계/광운대학교(컴퓨터정보공학부)/2023

이준환 교수님/컴퓨터공학기초실험2/광운대학교(컴퓨터정보공학부)/2023