

# 컴퓨터 공학 기초 실험2 보고서

실험제목: Counter & Shifter

실험일자: 2023년 10월 16일 (월)

제출일자: 2023년 10월 25일 (수)

학 과: 컴퓨터공학과

담당교수: 이준환 교수님

실습분반: 월요일 0, 1, 2

학 번: 2022202064

성 명: 최봉규

## 1. 제목 및 목적

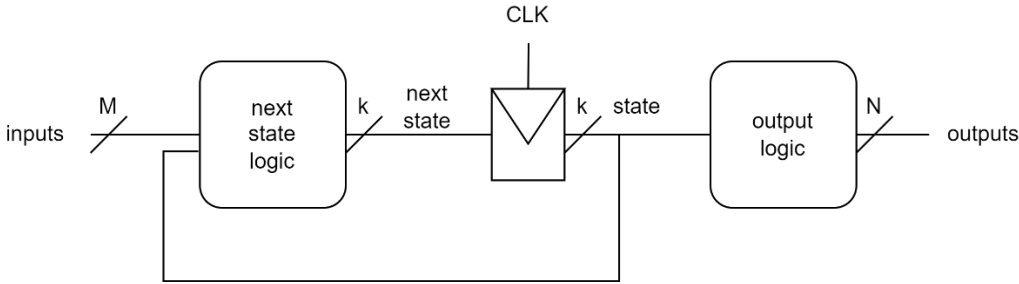
### A. 제목

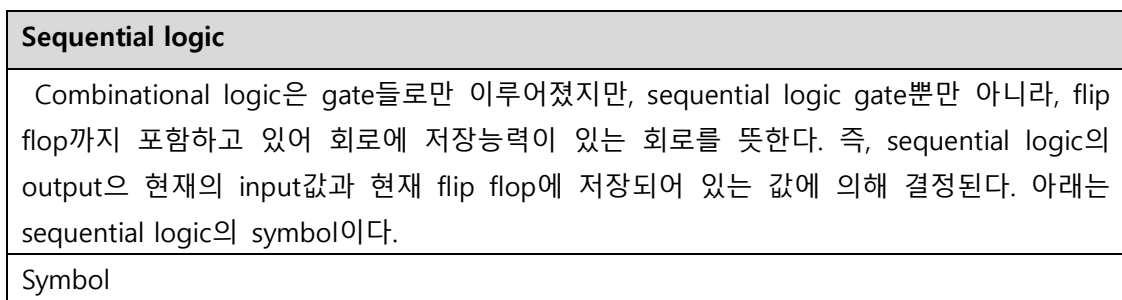
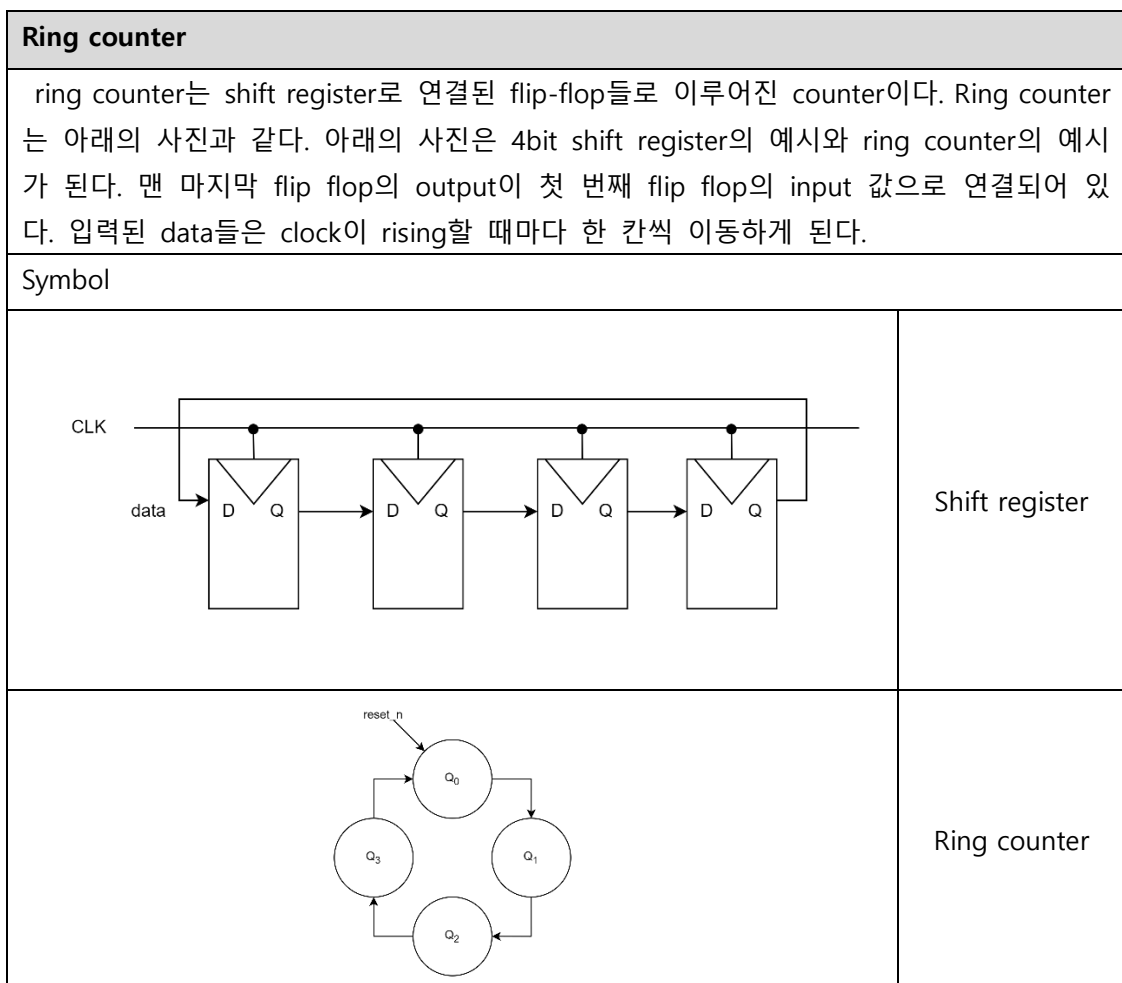
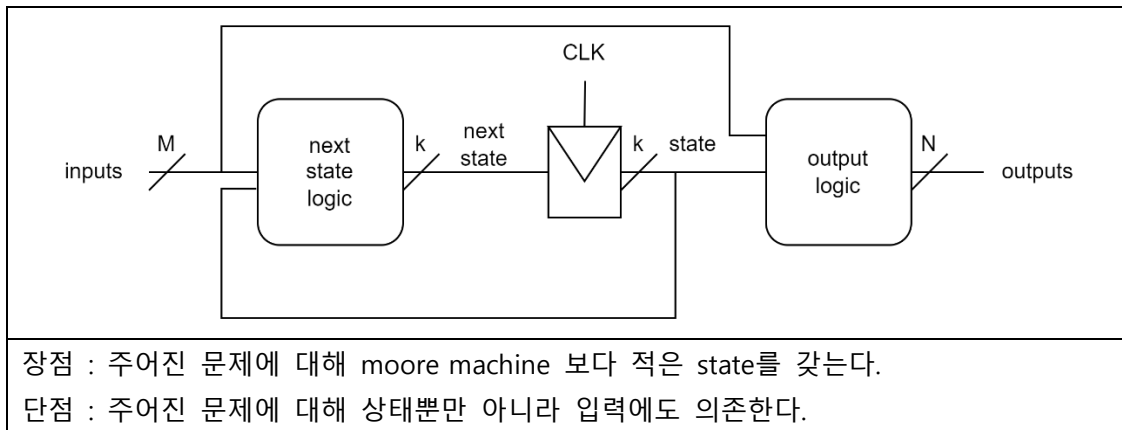
Counter & Shifter

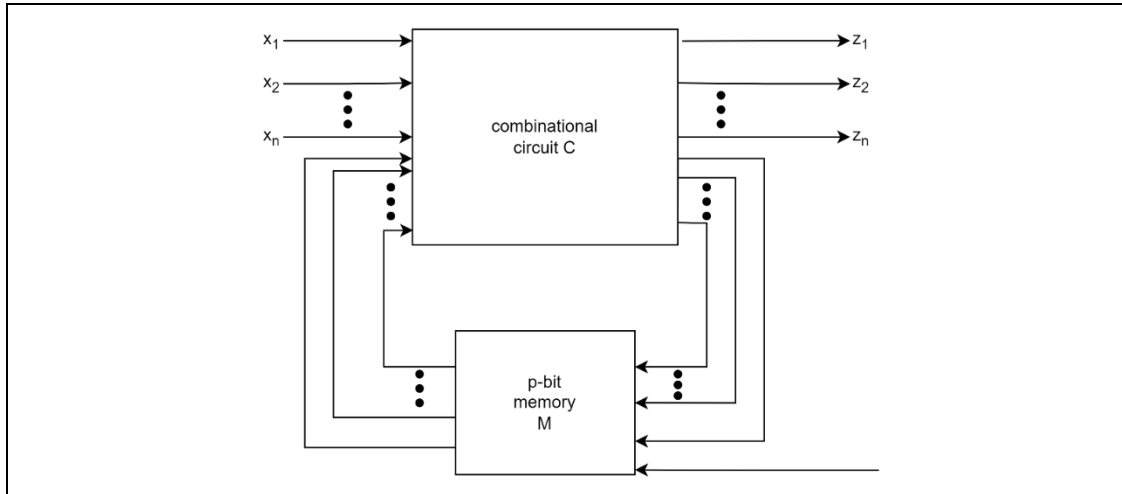
### B. 목적

이번 실습에서는 flip-flop과 combinational logic을 이용하여 sequential logic인 shifter와 counter를 설계하여 보도록 한다. Finite State Machine을 이해하고 그중 Moore FSM와 Mealy FSM의 두 모델의 동작방식을 이해한다. 동작방식을 이해하며, 두 모델의 장단점에 대하여 인지한다. Counter의 종류인 ring counter에 대하여 이해한다. 또한 loadable counter와 ring counter를 비교하여 장단점 및 응용분야에 대해 생각한다.

## 2. 원리(배경지식)

Finite State Machine
FSM 모델은 시스템의 동작을 상태(state)와 상태 간의 천이(transition)로 표현된다. FSM은 동작 방식에 따라 Moore machine과 Mealy machine으로 구분된다. Moore machine은 출력이 단지 현재 상태에 의해서 결정되는 회로이며, Mealy machine은 현재 상태와 입력에 의해 출력이 결정되는 회로이다. 아래의 그림들은 Moore FSM과 Mealy FSM의 그림이다. 두 모델의 장단점을 같이 설명하고 있다.
Moore FSM

장점 : 현재 state에 따른 출력값을 가지고 있으므로 직관적이다. 단점 : 주어진 문제에 대해서 mealy machine보다 더 많은 state를 갖는다. 시스템의 상태에만 의존한다.
Mealy FSM





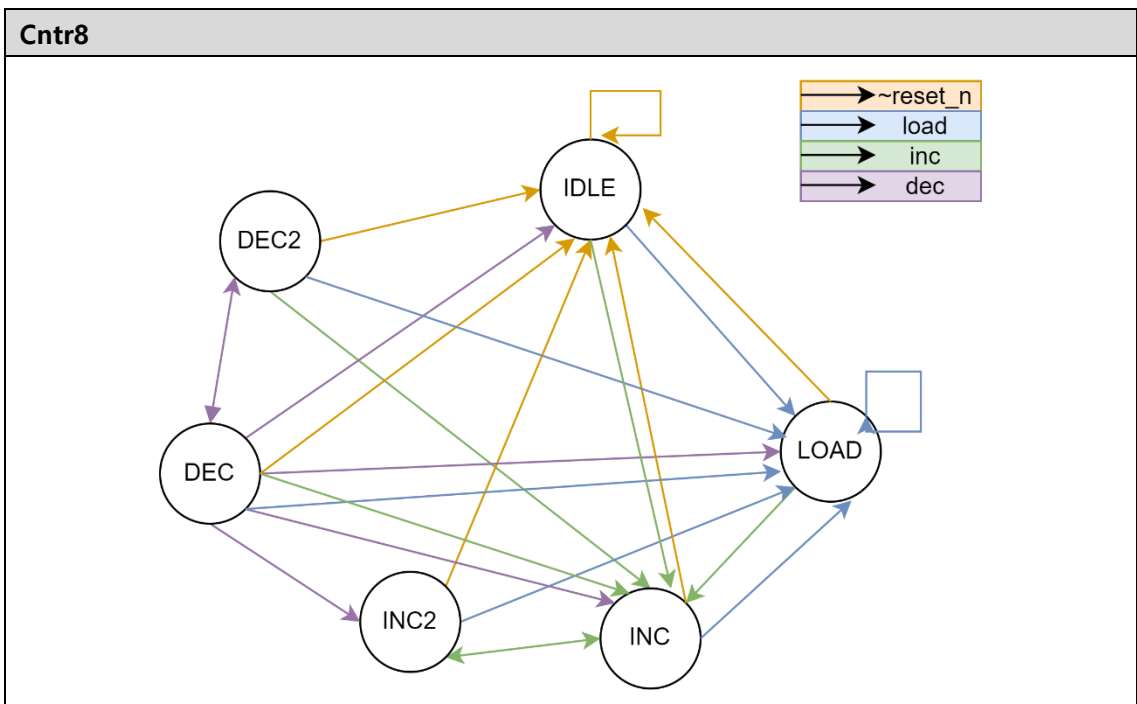
### 3. 설계 세부사항

Counter	
<ul style="list-style-type: none"> <li>- 펄스신호에 따라 어떤 정해진 순서대로 상태의 변이가 진행되는 레지스터를 counter라고 한다. Counter는 어떤 사건이 발생할 때마다 펄스신호를 만들어 그 사건의 발생횟수를 세는 등에 사용된다.</li> <li>- 설계할 counter는 8-bit loadable up/down conter이고, 다음과 같은 control signal을 입력받는다.</li> <li>- Counter_signal간의 우선 순위는 reset_n, load, inc 순이다.</li> </ul>	
Signal	Description
reset_n	Active low에 동작하는 reset signal로 register 값을 0으로 초기화 시킨다.
load	입력된 data를 register값으로 load한다.
inc	Counter의 증가, 감소를 제어하는 신호로, 1일 경우에는 가산, 0일 경우에는 감산을 수행한다.

Shifter	
<ul style="list-style-type: none"> <li>- Shifter는 register에 저장되어 있는 정보를 단방향이나 양방향으로 이동시킬 수 있는 하드웨어이다.</li> <li>- 설계할 shifter는 8-bit loadable shifter이고, 다음과 같은 control signal을 입력으로 받는다.</li> </ul>	
Signal	Description
reset_n	Active low에 동작하는 reset signal로 register 값을 0으로 초기화 시킨다.
Op	Shift를 시키기 위한 명령어로서 다음의 명령어를 갖는다. <ul style="list-style-type: none"> <li>- NOP: No operation(현재 register의 값을 그대로 출력한다.)</li> <li>- Load: 입력된 data를 출력한다.</li> <li>- LSL: Logical shift left를 수행한다.</li> </ul>

	- LSR: Logical shift right를 수행한다. - ASR: Arithmetic shift right를 수행한다. (ASL은 LSL과 동작이 같기 때문에 이번 설계에서 따로 구현하지는 않는다.)
Shamt	Shift amount로 2bit값을 갖는다.

Cnt5			
<p>위는 cnt5의 Moor machine FSM이다. 입력 신호는 두 개로 reset_n과 inc가 있다. Reset_n으로 동작할 때는 해당 FSM을 초기화 해서 state 0으로 가게 만든다. 다음은 inc다. Inc가 1인 경우에는 다음 state로 이동한다. 하지만 0인 경우에는 이전 state로 이동한다. 다음은 이에 따른 상태 천이도이다. 아웃풋은 next state와 같아 생략한다.</p>			
Current state	Input		Next state
	Reset_n	inc	
0	0	1'bx	0
	1	1	1
		0	4
1	0	1'bx	0
	1	1	2
		0	0
2	0	1'bx	0
	1	1	3
		0	1
3	0	1'bx	0
	1	1	4
		0	2
4	0	1'bx	0
	1	1	0
		0	3

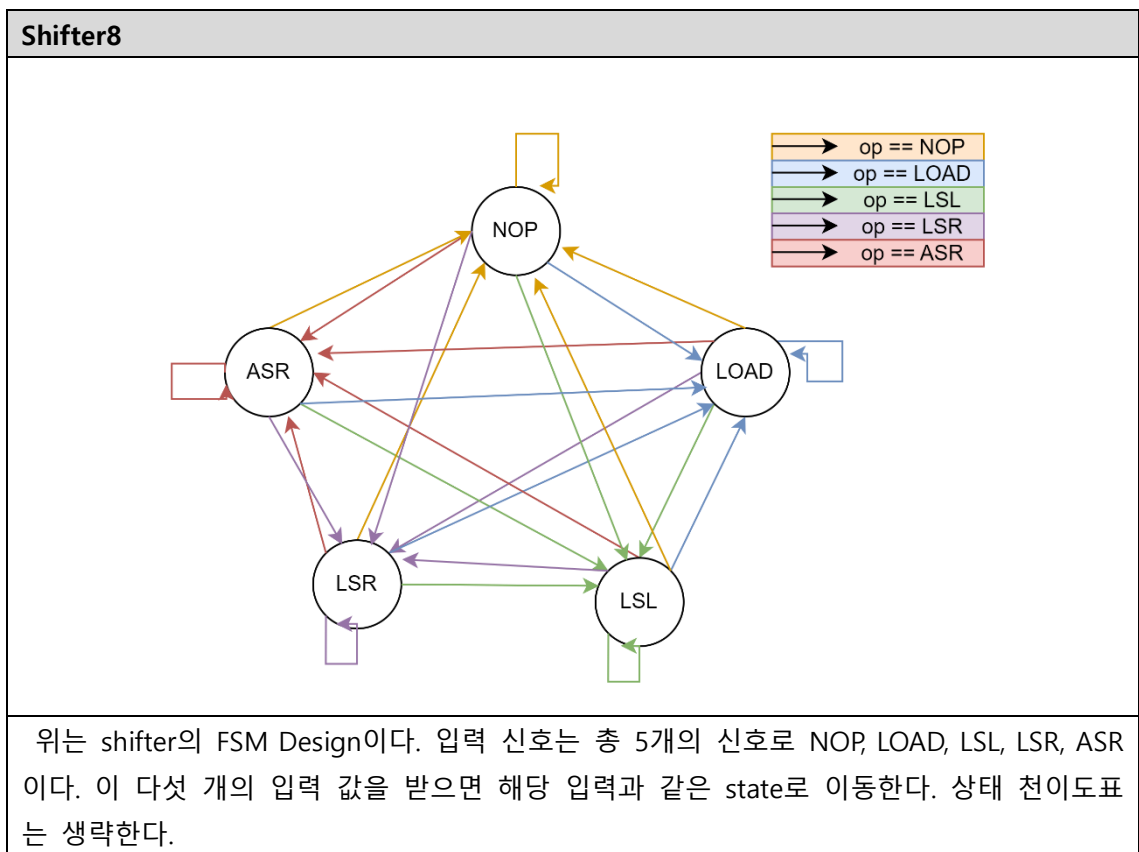


위는 cntr8의 FSM Design이다. 입력 신호는 Reset\_n, load, inc로 총 3개이다. Dec는 ~inc 이기 때문에 다른 신호로 취급하지 않는다. 세 신호의 우선순위는 앞에서 말했듯이 reset\_n이 가장 우선권을 갖는다. 그 후 load, inc의 순이다.

State	Encoding	Description
IDLE	3'b000	초기 상태
LOAD	3'b001	d_in 값을 load
INC	3'b010	현 상태에서 1 증가
INC2	3'b011	현 상태에서 1 증가
DEC	3'b100	현 상태에서 1 감소
DEC2	3'b101	현 상태에서 1 감소

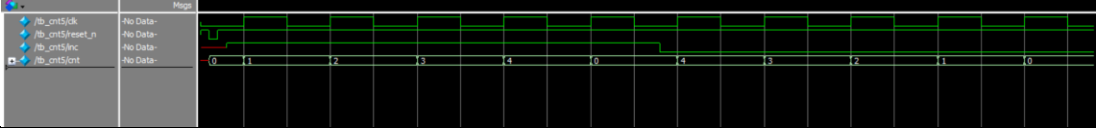
Current state	Input			Next state
	Reset_n	Load	Inc	
IDLE	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC
			0	DEC
LOAD	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC
			0	DEC
INC	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC2

			0	DEC
INC2	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC
			0	DEC
DEC	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC
			0	DEC2
DEC2	0	1'bx	1'bx	IDLE
	1	1	1'bx	LOAD
		0	1	INC
			0	DEC

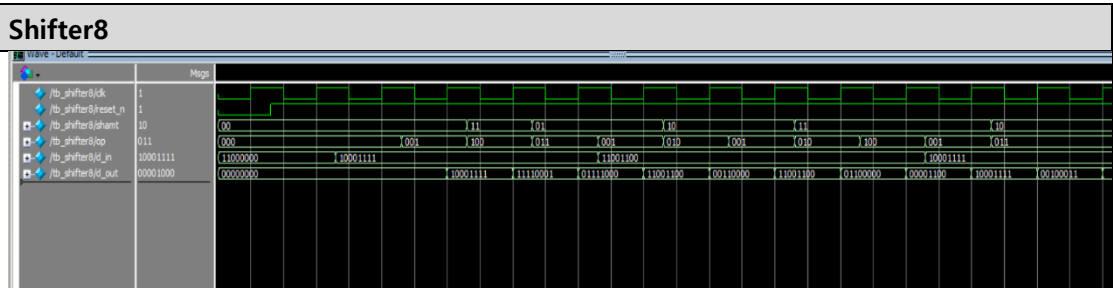


#### 4. 설계 검증 및 실험 결과

##### A. 시뮬레이션 결과

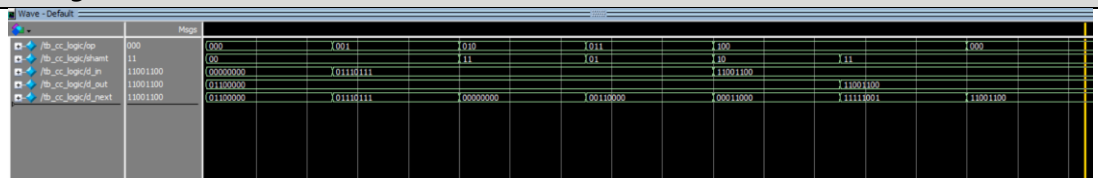
Cnt5					
					
ID	Description	Input	Expected output	Measured output	Comparison
-	Init	Clk = 1'b0 Reset_n = 1'b1	3'bxxx	3'bxxx	Yes
1	Check reset_1	Reset_n = 1'b0	3'b001	3'b001	Yes
2	Transition detection_01	Reset_n = 1'b1 Inc = 1'b1	3'b010	3'b010	Yes
3	Transition detection_02	Inc = 1'b1	3'b011	3'b011	Yes
4	Transition detection_03	Inc = 1'b1	3'b100	3'b100	Yes
5	Transition detection_04	Inc = 1'b1	3'b000	3'b000	Yes
6	Transition detection_05	Inc = 1'b0	3'b100	3'b100	Yes
7	Transition detection_06	Inc = 1'b0	3'b011	3'b011	Yes
8	Transition detection_07	Inc = 1'b0	3'b010	3'b010	Yes
9	Transition detection_08	Inc = 1'b0	3'b001	3'b001	Yes
10	Transition detection_09	Inc = 1'b0	3'b000	3'b000	Yes





ID	Description	Input	Expected output	Measured output	Comparison
1	Reset	Reset_n = 0	8'b0000_0000	8'b0000_0000	Yes
2	NOP_01	d_in = 8'b1100_0000	8'b0000_0000	8'b0000_0000	Yes
3	NOP_02	d_in = 8'b1000_1111	8'b0000_0000	8'b0000_0000	Yes
4	LOAD_01	-	8'b1000_1111	8'b1000_1111	Yes
5	ASR_01	shamt = 2'b11	8'b1111_0001	8'b1111_0001	Yes
6	LSR_01	shamt = 2'b01	8'b0111_1000	8'b0111_1000	Yes
7	LOAD_02	d_in = 8'b1100_1100	8'b1100_1100	8'b1100_1100	Yes
8	LSL_01	shamt = 2'b10	8'b0011_0000	8'b0011_0000	Yes
9	LOAD_03	d_in = 8'b1100_1100	8'b1100_1100	8'b1100_1100	Yes
10	LSL_02	shmat = 2'b11	8'b0110_0000	8'b0110_0000	Yes
11	ASR_02	shmat = 2'b11	8'b0001_1000	8'b0001_1000	Yes
12	LOAD_04	d_in = 8'b1000_1111	8'b1000_1111	8'b1000_1111	Yes
13	LSR_02	shamt = 2'b10	8'b0010_0011	8'b0010_0011	Yes

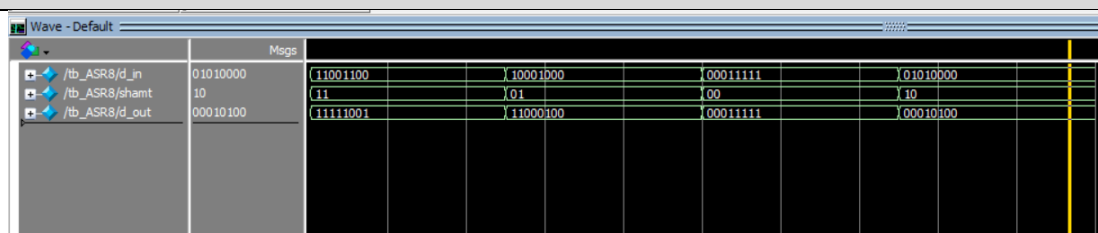
### cc\_logic



각 op 코드와 d\_in과 d\_out, shamt에 따라 d\_next가 그 결과로 반영되는 것을 확인할 수 있다. 각각의 op code는 다음과 같은 역할을 한다.

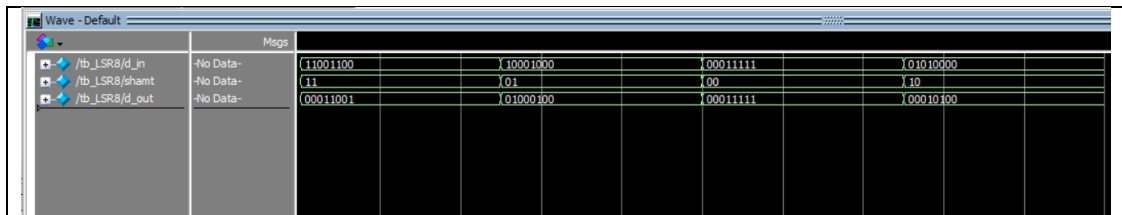
NOP	LOAD	LSL	LSR	ASR
3'b000	3'b001	3'b010	3'b1011	3'b100

### ASR8



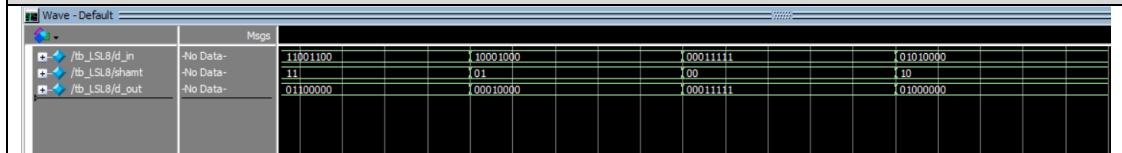
각 d\_in과 shamt에 따라 d\_in의 값이 shamt 만큼 오른쪽으로 arithmetic shift right한 것을 확인할 수 있다.

### LSR8



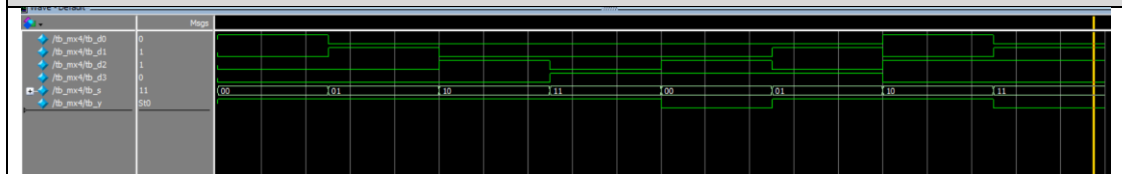
각 d\_in과 shamt에 따라 d\_in의 값이 shamt 만큼 오른쪽으로 logical shift right한 것을 확인할 수 있다.

### LSL8



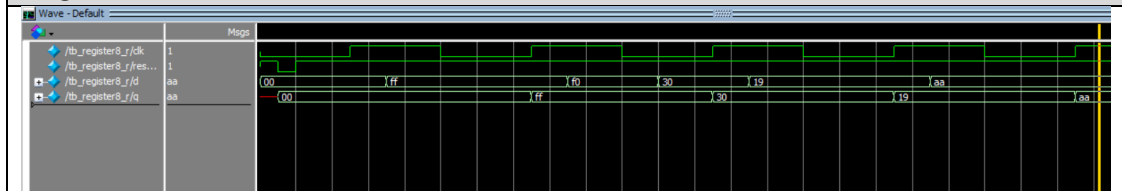
각 d\_in과 shamt에 따라 d\_in의 값이 shamt 만큼 왼쪽으로 logical shift left한 것을 확인할 수 있다.

### mx4



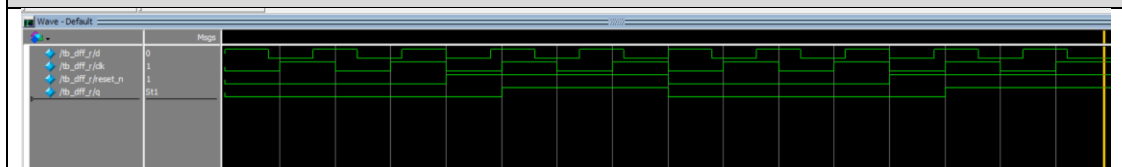
2bit input 인 s에 따라 output인 y가 d0, d1, d2, d3 중 값을 선택하는 것을 확인할 수 있다.

### \_register8\_r

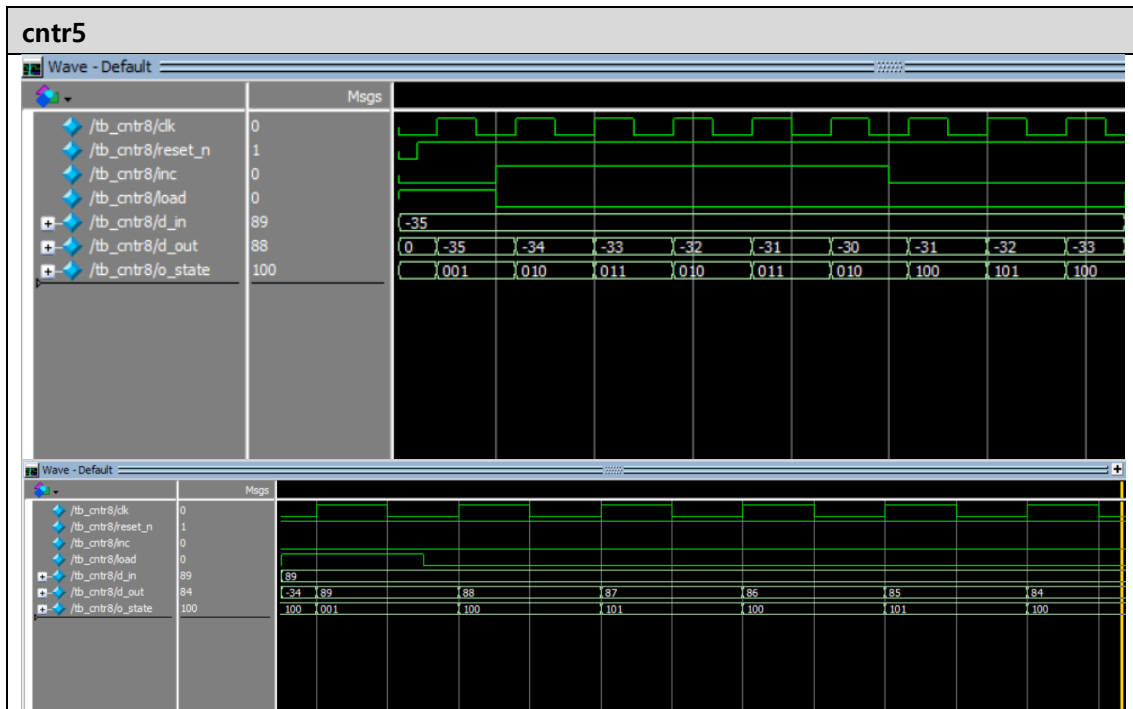


Clk이 상승 엣지일 때마다 d값에 저장된 값이 q값으로 가는 것을 확인할 수 있다.

### \_dff\_r



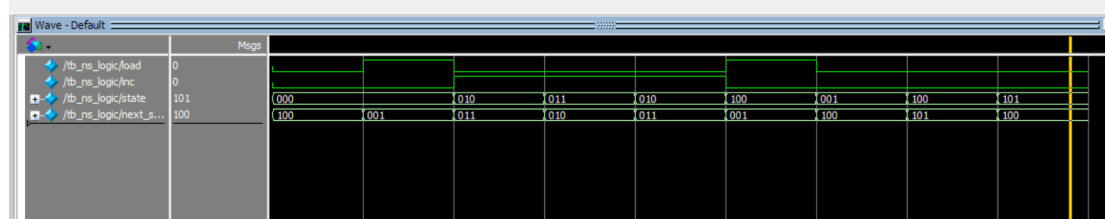
Clk이 상승 엣지일 때 값이 업데이트 되며 아무리 상승엣지이더라도 reset\_n = 0이 되면 q값이 0임을 확인할 수 있다.



ID	Description	Input	Expected output	Measured output	Comparison
1	IDLE_01	d_in=8'd-35	d_out = 8'd0	d_out = 8'd0	Yes
2	LOAD_01	-	d_out=8'd-35	d_out=8'd-35	Yes
3	Inc_01	-	d_out=8'd-34	d_out=8'd-34	Yes
4	Inc_02	-	d_out=8'd-33	d_out=8'd-33	Yes
5	Inc_03	-	d_out=8'd-32	d_out=8'd-32	Yes
6	Inc_04	-	d_out=8'd-31	d_out=8'd-31	Yes
7	Inc_05	-	d_out=8'd-30	d_out=8'd-30	Yes
8	dec_01	-	d_out=8'd-31	d_out=8'd-31	Yes
9	dec_02	-	d_out=8'd-32	d_out=8'd-32	Yes
10	dec_03	-	d_out=8'd-33	d_out=8'd-33	Yes
11	dec_04	d_in =	d_out=8'd	d_out=8'd-34	Yes

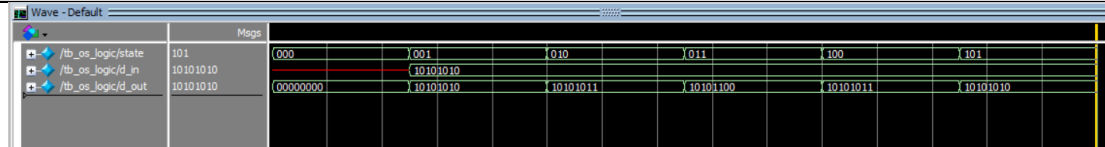
		8'd89	-34		
12	LOAD_02	-	d_out = 8'd89	d_out = 8'd89	Yes
13	dec_05	-	d_out = 8'd88	d_out = 8'd88	Yes
15	dec_06	-	d_out = 8'd87	d_out = 8'd87	Yes
16	dec_07	-	d_out = 8'd86	d_out = 8'd86	Yes
17	dec_08	-	d_out = 8'd85	d_out = 8'd85	Yes
18	dec_09	-	d_out = 8'd84	d_out = 8'd84	Yes

### ns\_logic



입력은 load, inc, state로 조합을 통해 next\_state가 나오는 것을 확인할 수 있다. Load는 inc보다 우선순위를 갖는다. Inc가 1인 순간은 next\_state는 무조건 3'b001의 값을 갖는 것을 확인할 수 있다.

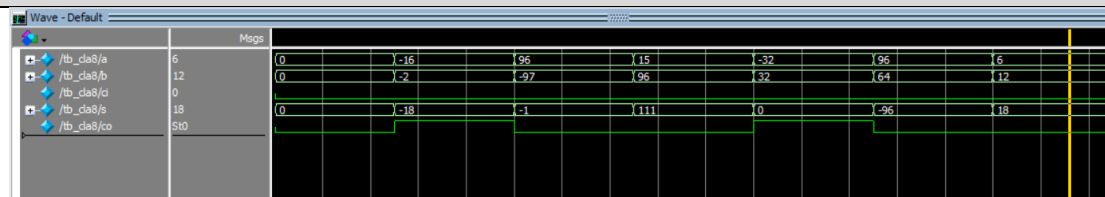
### os\_logic



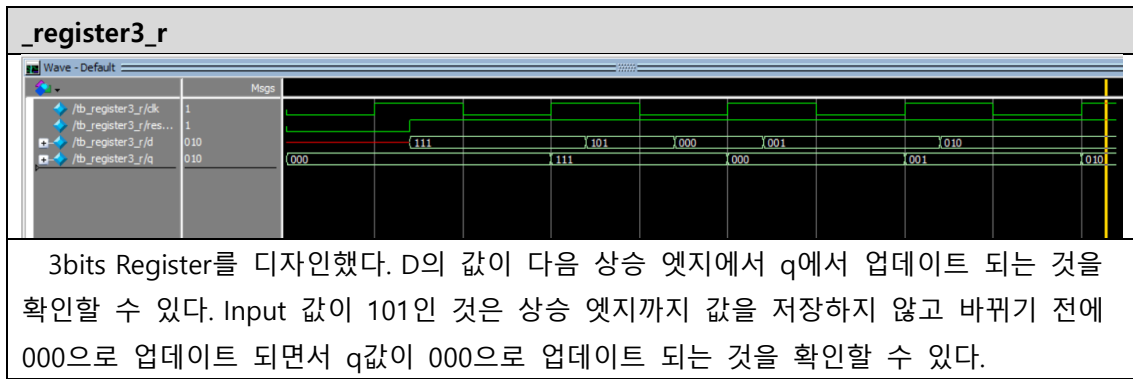
d\_out은 d\_in과 state의 조합으로 결정된다. 다음은 state에 따른 d\_out의 연산이다. 표에 맞게 제대로 연산된 결과를 확인할 수 있다.

3'b000	3'b001	3'b011	3'b010	3'b100	3'b101
8'h00	d_in	1 증가	1 증가	1 감소	1 감소

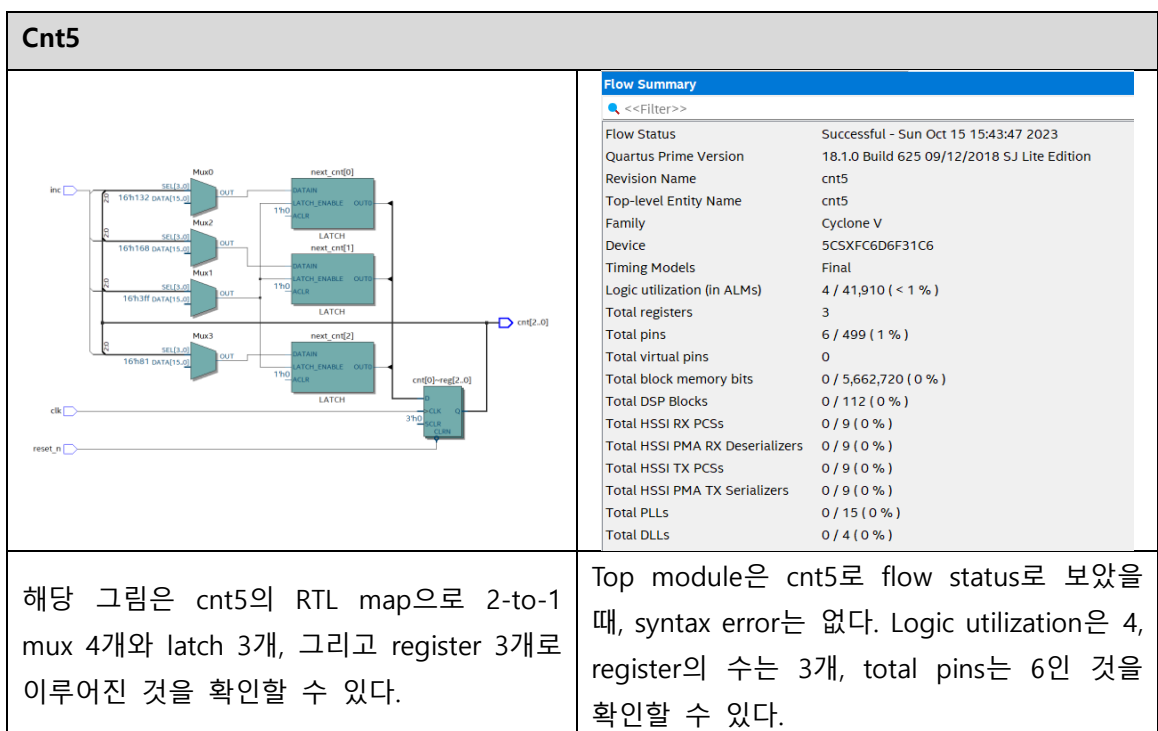
### cla8



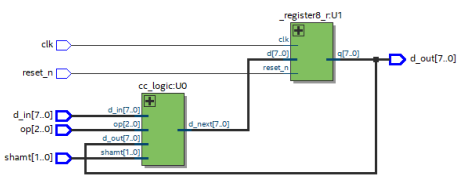
8bits인 두 수 a, b의 연산 값이 s에 표시된다. 2번째와 5번째의 테스트는 MSB에서의 carry가 발생한 것을 확인할 수 있고, 나머지의 케이스의 경우에는 덧셈이 잘 이루어진 것을 확인할 수 있다.



## B. 합성(synthesis) 결과



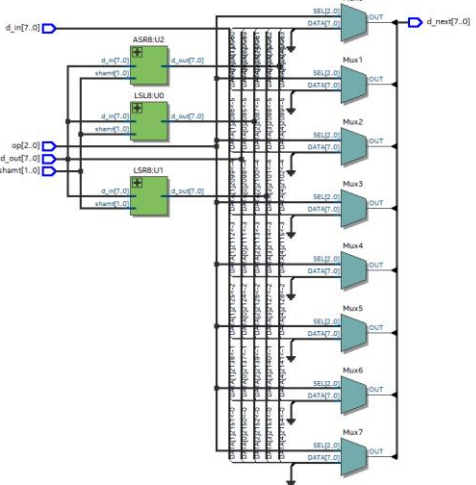
## Shifter8

	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 19:20:10 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>shifter8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>20 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>8</td></tr> <tr> <td>Total pins</td><td>23 / 499 ( 5 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 19:20:10 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	shifter8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	20 / 41,910 ( < 1 % )	Total registers	8	Total pins	23 / 499 ( 5 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 19:20:10 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	shifter8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	20 / 41,910 ( < 1 % )																																						
Total registers	8																																						
Total pins	23 / 499 ( 5 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						

해당 그림은 shifter8의 RTL map으로 submodule인 cc\_logic과 \_register8과 연결된 모습을 확인할 수 있다.

Top module은 shifter8로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 20, register의 수는 8개, total pins는 23인 것을 확인할 수 있다.

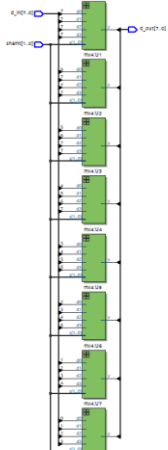
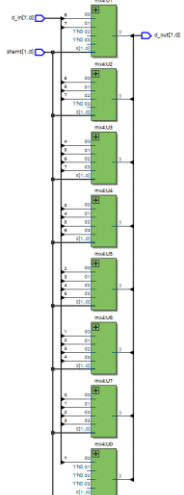
## cc\_logic

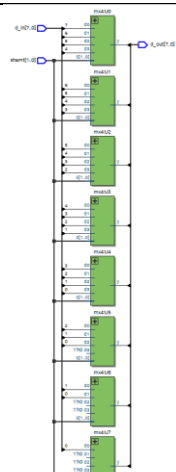
	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 20:47:52 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>cc_logic</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>23 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>29 / 499 ( 6 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 20:47:52 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	cc_logic	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	23 / 41,910 ( < 1 % )	Total registers	0	Total pins	29 / 499 ( 6 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 20:47:52 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	cc_logic																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	23 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	29 / 499 ( 6 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						

해당 그림은 cc\_logic의 RTL map으로 submodule인 LSL8과 LSR9, ASR8이 있는 것을 확인할 수 있다.

Top module은 cc\_logic으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 23, register의 수는 0개, total pins는 29인 것을 확인할 수 있다.

## ASR8

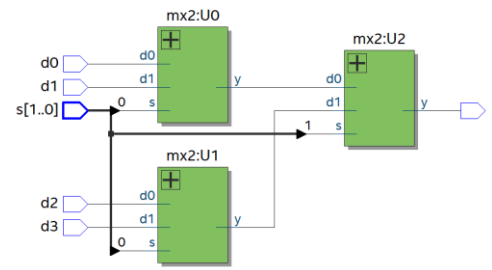
	<div data-bbox="879 235 1422 280">Flow Summary</div> <div data-bbox="879 280 1422 302">&lt;&lt;Filter&gt;&gt;</div> <table border="1"> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 20:56:20 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>shifter8</td></tr> <tr><td>Top-level Entity Name</td><td>ASR8</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>7 / 41,910 ( &lt; 1 % )</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>18 / 499 ( 4 % )</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 20:56:20 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	ASR8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )	Total registers	0	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 20:56:20 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	ASR8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	18 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
<p>해당 그림은 ASR8의 RTL map으로 submodule인 mx4 8개를 이어 붙인 것을 확인할 수 있다.</p>	<p>Top module은 ASR8으로 flow status로 보았을 때, syntax error는 없다. Logic utilization 은 7, register의 수는 0개, total pins는 18인 것을 확인할 수 있다.</p>																																						
LSR8																																							
	<div data-bbox="879 972 1422 1016">Flow Summary</div> <div data-bbox="879 1016 1422 1039">&lt;&lt;Filter&gt;&gt;</div> <table border="1"> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:01:21 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>shifter8</td></tr> <tr><td>Top-level Entity Name</td><td>LSR8</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>7 / 41,910 ( &lt; 1 % )</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>18 / 499 ( 4 % )</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:01:21 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	LSR8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )	Total registers	0	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 21:01:21 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	LSR8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	18 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
<p>해당 그림은 LSR8의 RTL map으로 submodule인 mx4 8개를 이어 붙인 것을 확인할 수 있다.</p>	<p>Top module은 LSR8으로 flow status로 보았을 때, syntax error는 없다. Logic utilization 은 7, register의 수는 0개, total pins는 18인 것을 확인할 수 있다.</p>																																						
LSL8																																							

	<table border="1"> <thead> <tr> <th colspan="2">Flow Summary</th> </tr> <tr> <th colspan="2">&lt;&lt;Filter&gt;&gt;</th> </tr> </thead> <tbody> <tr> <td>Flow Status</td> <td>Successful - Tue Oct 17 21:05:07 2023</td> </tr> <tr> <td>Quartus Prime Version</td> <td>18.1.0 Build 625 09/12/2018 S.J Lite Edition</td> </tr> <tr> <td>Revision Name</td> <td>shifter8</td> </tr> <tr> <td>Top-level Entity Name</td> <td>LSL8</td> </tr> <tr> <td>Family</td> <td>Cyclone V</td> </tr> <tr> <td>Device</td> <td>5CSXFC6D6F31C6</td> </tr> <tr> <td>Timing Models</td> <td>Final</td> </tr> <tr> <td>Logic utilization (in ALMs)</td> <td>8 / 41,910 ( &lt; 1 % )</td> </tr> <tr> <td>Total registers</td> <td>0</td> </tr> <tr> <td>Total pins</td> <td>18 / 499 ( 4 % )</td> </tr> <tr> <td>Total virtual pins</td> <td>0</td> </tr> <tr> <td>Total block memory bits</td> <td>0 / 5,662,720 ( 0 % )</td> </tr> <tr> <td>Total DSP Blocks</td> <td>0 / 112 ( 0 % )</td> </tr> <tr> <td>Total HSSI RX PCSs</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI PMA RX Deserializers</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI TX PCSs</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI PMA TX Serializers</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total PLLs</td> <td>0 / 15 ( 0 % )</td> </tr> <tr> <td>Total DLLs</td> <td>0 / 4 ( 0 % )</td> </tr> </tbody> </table>	Flow Summary		<<Filter>>		Flow Status	Successful - Tue Oct 17 21:05:07 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 S.J Lite Edition	Revision Name	shifter8	Top-level Entity Name	LSL8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	8 / 41,910 ( < 1 % )	Total registers	0	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Summary																																											
<<Filter>>																																											
Flow Status	Successful - Tue Oct 17 21:05:07 2023																																										
Quartus Prime Version	18.1.0 Build 625 09/12/2018 S.J Lite Edition																																										
Revision Name	shifter8																																										
Top-level Entity Name	LSL8																																										
Family	Cyclone V																																										
Device	5CSXFC6D6F31C6																																										
Timing Models	Final																																										
Logic utilization (in ALMs)	8 / 41,910 ( < 1 % )																																										
Total registers	0																																										
Total pins	18 / 499 ( 4 % )																																										
Total virtual pins	0																																										
Total block memory bits	0 / 5,662,720 ( 0 % )																																										
Total DSP Blocks	0 / 112 ( 0 % )																																										
Total HSSI RX PCSs	0 / 9 ( 0 % )																																										
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																										
Total HSSI TX PCSs	0 / 9 ( 0 % )																																										
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																										
Total PLLs	0 / 15 ( 0 % )																																										
Total DLLs	0 / 4 ( 0 % )																																										

해당 그림은 LSR8의 RTL map으로 submodule인 mx4 8개를 이어 붙인 것을 확인할 수 있다.

Top module은 LSL8으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 8, register의 수는 0개, total pins는 18인 것을 확인할 수 있다.

#### mx4

	<table border="1"> <thead> <tr> <th colspan="2">Flow Summary</th> </tr> <tr> <th colspan="2">&lt;&lt;Filter&gt;&gt;</th> </tr> </thead> <tbody> <tr> <td>Flow Status</td> <td>Successful - Tue Oct 17 21:08:58 2023</td> </tr> <tr> <td>Quartus Prime Version</td> <td>18.1.0 Build 625 09/12/2018 S.J Lite Edition</td> </tr> <tr> <td>Revision Name</td> <td>shifter8</td> </tr> <tr> <td>Top-level Entity Name</td> <td>mx4</td> </tr> <tr> <td>Family</td> <td>Cyclone V</td> </tr> <tr> <td>Device</td> <td>5CSXFC6D6F31C6</td> </tr> <tr> <td>Timing Models</td> <td>Final</td> </tr> <tr> <td>Logic utilization (in ALMs)</td> <td>2 / 41,910 ( &lt; 1 % )</td> </tr> <tr> <td>Total registers</td> <td>0</td> </tr> <tr> <td>Total pins</td> <td>7 / 499 ( 1 % )</td> </tr> <tr> <td>Total virtual pins</td> <td>0</td> </tr> <tr> <td>Total block memory bits</td> <td>0 / 5,662,720 ( 0 % )</td> </tr> <tr> <td>Total DSP Blocks</td> <td>0 / 112 ( 0 % )</td> </tr> <tr> <td>Total HSSI RX PCSs</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI PMA RX Deserializers</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI TX PCSs</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total HSSI PMA TX Serializers</td> <td>0 / 9 ( 0 % )</td> </tr> <tr> <td>Total PLLs</td> <td>0 / 15 ( 0 % )</td> </tr> <tr> <td>Total DLLs</td> <td>0 / 4 ( 0 % )</td> </tr> </tbody> </table>	Flow Summary		<<Filter>>		Flow Status	Successful - Tue Oct 17 21:08:58 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 S.J Lite Edition	Revision Name	shifter8	Top-level Entity Name	mx4	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	2 / 41,910 ( < 1 % )	Total registers	0	Total pins	7 / 499 ( 1 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Summary																																											
<<Filter>>																																											
Flow Status	Successful - Tue Oct 17 21:08:58 2023																																										
Quartus Prime Version	18.1.0 Build 625 09/12/2018 S.J Lite Edition																																										
Revision Name	shifter8																																										
Top-level Entity Name	mx4																																										
Family	Cyclone V																																										
Device	5CSXFC6D6F31C6																																										
Timing Models	Final																																										
Logic utilization (in ALMs)	2 / 41,910 ( < 1 % )																																										
Total registers	0																																										
Total pins	7 / 499 ( 1 % )																																										
Total virtual pins	0																																										
Total block memory bits	0 / 5,662,720 ( 0 % )																																										
Total DSP Blocks	0 / 112 ( 0 % )																																										
Total HSSI RX PCSs	0 / 9 ( 0 % )																																										
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																										
Total HSSI TX PCSs	0 / 9 ( 0 % )																																										
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																										
Total PLLs	0 / 15 ( 0 % )																																										
Total DLLs	0 / 4 ( 0 % )																																										

해당 그림은 LSR8의 RTL map으로 submodule인 mx2 3개를 이어 붙인 것을 확인할 수 있다.

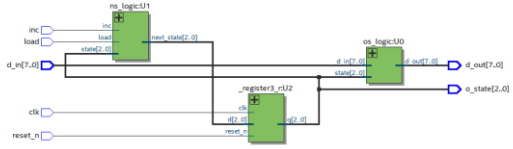
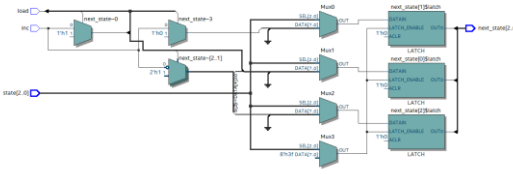
Top module은 mx4으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 2, register의 수는 0개, total pins는 7인 것을 확인할 수 있다.

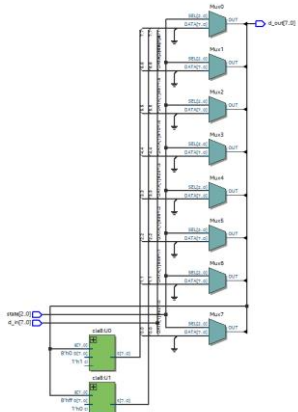
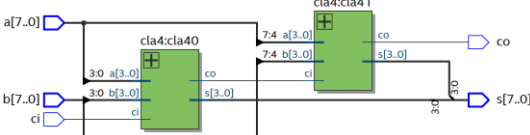
#### \_register8\_r

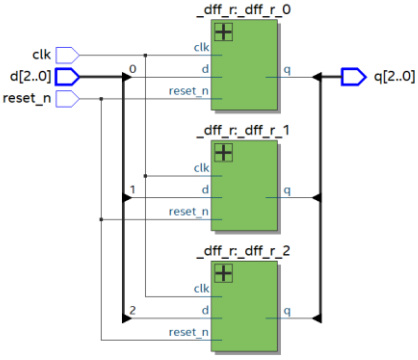


	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:12:56 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>shifter8</td></tr> <tr><td>Top-level Entity Name</td><td>_register8_r</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>3 / 41,910 (&lt; 1 %)</td></tr> <tr><td>Total registers</td><td>8</td></tr> <tr><td>Total pins</td><td>18 / 499 ( 4 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:12:56 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	_register8_r	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	3 / 41,910 (< 1 %)	Total registers	8	Total pins	18 / 499 ( 4 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 %)	Total DSP Blocks	0 / 112 ( 0 %)	Total HSSI RX PCSs	0 / 9 ( 0 %)	Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)	Total HSSI TX PCSs	0 / 9 ( 0 %)	Total HSSI PMA TX Serializers	0 / 9 ( 0 %)	Total PLLs	0 / 15 ( 0 %)	Total DLLs	0 / 4 ( 0 %)
Flow Status	Successful - Tue Oct 17 21:12:56 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	_register8_r																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	3 / 41,910 (< 1 %)																																						
Total registers	8																																						
Total pins	18 / 499 ( 4 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 %)																																						
Total DSP Blocks	0 / 112 ( 0 %)																																						
Total HSSI RX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)																																						
Total HSSI TX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)																																						
Total PLLs	0 / 15 ( 0 %)																																						
Total DLLs	0 / 4 ( 0 %)																																						
<p>해당 그림은 _register8_r의 RTL map으로 submodule인 _dff_r 8개를 이어 붙인 것을 확인할 수 있다.</p>	<p>Top module은 _register8_r으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 3, register의 수는 8개, total pins는 18인 것을 확인할 수 있다.</p>																																						
_dff_r																																							
	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:29:20 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>shifter8</td></tr> <tr><td>Top-level Entity Name</td><td>_dff_r</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>1 / 41,910 (&lt; 1 %)</td></tr> <tr><td>Total registers</td><td>1</td></tr> <tr><td>Total pins</td><td>4 / 499 (&lt; 1 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:29:20 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	_dff_r	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	1 / 41,910 (< 1 %)	Total registers	1	Total pins	4 / 499 (< 1 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 %)	Total DSP Blocks	0 / 112 ( 0 %)	Total HSSI RX PCSs	0 / 9 ( 0 %)	Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)	Total HSSI TX PCSs	0 / 9 ( 0 %)	Total HSSI PMA TX Serializers	0 / 9 ( 0 %)	Total PLLs	0 / 15 ( 0 %)	Total DLLs	0 / 4 ( 0 %)
Flow Status	Successful - Tue Oct 17 21:29:20 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	_dff_r																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)																																						
Total registers	1																																						
Total pins	4 / 499 (< 1 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 %)																																						
Total DSP Blocks	0 / 112 ( 0 %)																																						
Total HSSI RX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)																																						
Total HSSI TX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)																																						
Total PLLs	0 / 15 ( 0 %)																																						
Total DLLs	0 / 4 ( 0 %)																																						
<p>해당 그림은 _dff_r의 RTL map이다.</p>	<p>Top module은 _dff_r으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 1, register의 수는 1개, total pins는 4인 것을 확인할 수 있다.</p>																																						

cntr5

	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:39:58 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>cnt8</td></tr> <tr><td>Top-level Entity Name</td><td>cnt8</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>20 / 41,910 (&lt; 1 %)</td></tr> <tr><td>Total registers</td><td>3</td></tr> <tr><td>Total pins</td><td>23 / 499 ( 5 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:39:58 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cnt8	Top-level Entity Name	cnt8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	20 / 41,910 (< 1 %)	Total registers	3	Total pins	23 / 499 ( 5 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 %)	Total DSP Blocks	0 / 112 ( 0 %)	Total HSSI RX PCSs	0 / 9 ( 0 %)	Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)	Total HSSI TX PCSs	0 / 9 ( 0 %)	Total HSSI PMA TX Serializers	0 / 9 ( 0 %)	Total PLLs	0 / 15 ( 0 %)	Total DLLs	0 / 4 ( 0 %)
Flow Status	Successful - Tue Oct 17 21:39:58 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cnt8																																						
Top-level Entity Name	cnt8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	20 / 41,910 (< 1 %)																																						
Total registers	3																																						
Total pins	23 / 499 ( 5 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 %)																																						
Total DSP Blocks	0 / 112 ( 0 %)																																						
Total HSSI RX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)																																						
Total HSSI TX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)																																						
Total PLLs	0 / 15 ( 0 %)																																						
Total DLLs	0 / 4 ( 0 %)																																						
<p>해당 그림은 cnt8의 RTL map으로 submodule인 ns_logic과 os_logic, _register3_r로 연결된 것을 확인할 수 있다.</p>	<p>Top module은 cnt8로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 20, register의 수는 3개, total pins는 23인 것을 확인할 수 있다.</p>																																						
ns_logic																																							
	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 22:08:31 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>cnt8</td></tr> <tr><td>Top-level Entity Name</td><td>ns_logic</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>4 / 41,910 (&lt; 1 %)</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>8 / 499 ( 2 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 22:08:31 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cnt8	Top-level Entity Name	ns_logic	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	4 / 41,910 (< 1 %)	Total registers	0	Total pins	8 / 499 ( 2 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 %)	Total DSP Blocks	0 / 112 ( 0 %)	Total HSSI RX PCSs	0 / 9 ( 0 %)	Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)	Total HSSI TX PCSs	0 / 9 ( 0 %)	Total HSSI PMA TX Serializers	0 / 9 ( 0 %)	Total PLLs	0 / 15 ( 0 %)	Total DLLs	0 / 4 ( 0 %)
Flow Status	Successful - Tue Oct 17 22:08:31 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cnt8																																						
Top-level Entity Name	ns_logic																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	4 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	8 / 499 ( 2 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 %)																																						
Total DSP Blocks	0 / 112 ( 0 %)																																						
Total HSSI RX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)																																						
Total HSSI TX PCSs	0 / 9 ( 0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)																																						
Total PLLs	0 / 15 ( 0 %)																																						
Total DLLs	0 / 4 ( 0 %)																																						
<p>해당 그림은 ns_logic의 RTL map으로 behavior 방식으로 연결된 것을 확인할 수 있다.</p>	<p>Top module은 ns_logic으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 4, register의 수는 0개, total pins는 8인 것을 확인할 수 있다.</p>																																						
os_logic																																							

	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 22:26:10 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>cntr8</td></tr> <tr> <td>Top-level Entity Name</td><td>os_logic</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>17 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>19 / 499 ( 4 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 22:26:10 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cntr8	Top-level Entity Name	os_logic	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	17 / 41,910 ( < 1 % )	Total registers	0	Total pins	19 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 22:26:10 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cntr8																																						
Top-level Entity Name	os_logic																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	17 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	19 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
<p>해당 그림은 os_logic의 RTL map으로 behavior 방식과 submodule인 cla8이 2 개 연결된 것을 확인할 수 있다.</p>	<p>Top module은 os_logic으로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 17, register의 수는 0개, total pins는 19인 것을 확인할 수 있다.</p>																																						
cla8																																							
	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 22:33:10 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>cntr8</td></tr> <tr> <td>Top-level Entity Name</td><td>cla8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>9 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>26 / 499 ( 5 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table>	Flow Status	Successful - Tue Oct 17 22:33:10 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cntr8	Top-level Entity Name	cla8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	9 / 41,910 ( < 1 % )	Total registers	0	Total pins	26 / 499 ( 5 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )
Flow Status	Successful - Tue Oct 17 22:33:10 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cntr8																																						
Top-level Entity Name	cla8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	9 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	26 / 499 ( 5 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
<p>해당 그림은 cla8의 RTL map으로 submodule인 cla4가 2 개 연결된 것을 확인할 수 있다.</p>	<p>Top module은 cla8로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 9, register의 수는 0개, total pins는 26인 것을 확인할 수 있다.</p>																																						
_register3_r																																							

	<div>Flow Summary</div> <div>&lt;&lt;Filter&gt;&gt;</div> <table border="1"> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 22:43:44 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>cntr8</td></tr> <tr><td>Top-level Entity Name</td><td>_register3_r</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>1 / 41,910 (&lt; 1 %)</td></tr> <tr><td>Total registers</td><td>3</td></tr> <tr><td>Total pins</td><td>8 / 499 (2 %)</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr><td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr><td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 22:43:44 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cntr8	Top-level Entity Name	_register3_r	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	1 / 41,910 (< 1 %)	Total registers	3	Total pins	8 / 499 (2 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)
Flow Status	Successful - Tue Oct 17 22:43:44 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cntr8																																						
Top-level Entity Name	_register3_r																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)																																						
Total registers	3																																						
Total pins	8 / 499 (2 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
<p>해당 그림은 _register3_r의 RTL map으로 submodule인 _dff_r가 3 개 연결된 것을 확인할 수 있다.</p>	<p>Top module은 _register3_r로 flow status로 보았을 때, syntax error는 없다. Logic utilization은 1, register의 수는 3개, total pins는 8인 것을 확인할 수 있다.</p>																																						

## 5. 고찰 및 결론

### A. 고찰

Shifter를 진행할 때, 테스트 벤치가 shift연산을 진행하면 그 다음의 모든 값들이 x값으로 나오는 것을 확인했다. 자세히 보니 테스트 벤치에서 인자에 shamt값이 빠져있었다. 해당 값이 빠지니 shift 연산을 거쳤을 때, output이 x값으로 나오게 되고 이후의 값들은 그 d\_out의 대해서 연산을 진행하니 어떤 op 입력값을 주더라도 멀쩡한 값이 나오지 않았다. 해당 값의 오류를 찾기 위해 모든 submodule에 대해 testbench를 만들고 멀쩡히 돌아가는 것을 확인했다. 이후 학우를 거쳐 다른 테스트 벤치를 받았을 때 제대로 작동됨을 확인하고 내 테스트벤치의 오류를 확신하며 오류를 고칠 수 있었다. 테스트 벤치를 작성할 때 항상 모듈에 의도한 대로 Instance 했는지 확인을 해야겠다는 생각을 가지게 되었다.

### B. 결론

Loadble counter는 재설정이 가능하다. 초기값을 로드하여 시작할 수 있다. 특정 시작 값을 설정하고 카운팅을 할 때 유용하게 사용가능하다. 타이밍 제어 등 다양한 시스템에서 활용 가능하다. 하지만 회로가 더 복잡하게 설정된다. 초기값을 로드해야 되기 때문이다. 초기값을 로드하는 데 시간이 소요될 수 있다. Ring counter는 loadable counter보다 좀 더 간단한 구조를 갖는다. 간단한 구조를 가지니 딜레이가 될 것도 없고 빠른 카운팅이 가능하다. Loadble conter처럼 특정 값에서 시작하지 못한다. 순환적인 상태를 변경하는 신호등 같은 경우에서 유용하게 사용할 수 있을 것으로 생각된다.

Barrel shifter 데이터의 위치를 변경하거나 특정 비트의 위치를 조작하는데 사용할 수 있다. 그의 종류에는 logical shift left, logical shift right, arithmetic shift right, 등 이 있다. Sequential logic을 이용하지 않고, 한 번의 연산으로 bit 수를 shift, rotate할 수 있는 카운터이다. Combinational logic을 이용해 n-bit의 길이를 가지는 register를 n-bit만큼 shift 하기 위해  $n \log_2 n$ 개가 필요하다. 또한, band width는 n이다.

## 6. 참고문헌

Harris, David/Digital Design and computer Architecture/Elsevier/2007

이준환 교수님/컴퓨터공학기초실험2/광운대학교(컴퓨터정보공학부)/2023

이형근 교수님/어셈블리프로그래밍설계및실습/광운대학교(컴퓨터정보공학부)/2023

도움을 준 이:

- 김태관: Shifter8의 테스트 벤치가 제대로 작동되지 않았을 때 자신의 샘플을 주면서 비교할 수 있도록 해 줌.