

多核处理器非一致 Cache 体系结构延迟优化技术研究综述

黄安文 高 军 张民选

(国防科学技术大学计算机学院 长沙 410073)

(awhuang@nudt.edu.cn)

Latency Optimization Techniques in Non-Uniform Cache Architecture for Chip Multi-Processors: A Survey

Huang Anwen, Gao Jun, and Zhang Minxuan

(College of Computer, National University of Defense Technology, Changsha 410073)

Abstract Non-Uniform Cache Architecture (NUCA) provides a new opportunity in solving the “Memory Wall” problem of Chip Multiprocessor (CMP). This survey focuses on the latency reduction techniques of NUCA for CMP. Based on the introduction of several typical models of NUCA for CMP, the trade-off between latency and capacity is analyzed in shared and private mechanism. Furthermore, the advantage and disadvantage of data mechanism is discussed in detail from the perspective of data mapping, migration, replication and search, respectively. Finally, confronted with challenges and opportunities, several open problems about latency reduction techniques aimed at the scalable CMP architecture based on Network-on-Chip (NoC) are explored and predicted from three aspects, such as optimization of NUCA model, data management policy and coherence maintain mechanism.

Key words non-uniform cache architecture; chip multi-processors; network-on-chip; memory wall; latency optimization

摘 要 非一致 Cache 体系结构(non-uniform cache architecture, NUCA)为解决多核处理器(chip multi-processor)“存储墙”难题提供了新的设计思路. 重点关注面向 CMP 的 NUCA 延迟优化技术,在介绍若干典型 NUCA 模型的基础上,分析大容量 Cache 环境下共享/私有机制中的延迟-容量权衡问题,讨论映射、迁移、复制和搜索等数据管理机制在多核环境下的优缺点. 最后,针对基于片上网络(network-on-chip, NoC)互连结构的可扩展 CMP 体系结构,从 NUCA 模型优化、数据管理和一致性维护机制 3 个方面讨论和预测未来 CMP NUCA 延迟优化领域的发展趋势及面临的挑战性问题.

关键词 非一致 Cache 体系结构;多核处理器;片上网络;存储墙;延迟优化

中图法分类号 TP302

多核处理器(chip multi-processor, CMP)已经广泛应用于高性能服务器、在线事务处理等领域. 随着多核多线程间数据通信需求的不断增强,需要在片上集成大容量 Cache 来实现数据共享和信息交

互. 从降低访存延迟和减少访问冲突的角度考虑,一般会将 Cache 划分为多个物理 bank 分布在片上,核与 bank 间通过内部片上网络连接.

大容量分布式 Cache 和复杂片上互连结构的采

收稿日期:2012-01-04

基金项目:国家自然科学基金项目(60970036)

用,使得线延迟成为影响多核处理器 Cache 访问时间的关键因素,访存请求的响应时间依赖于被请求数据和处理器核的相对物理位置.片上访问延迟会由于访存请求和数据响应在互连结构上移动距离的长度不同而有所差异,由此造成非一致访问延迟效应. Kim 等人充分利用这种不均衡性,首次提出了面向单核环境非一致 Cache 体系结构(non-uniform cache architecture, NUCA)^[1]的概念. NUCA 在 CMP 环境中的应用研究已经逐步推广^[2-3],为有效缓解“存储墙”难题提供了新的思路.

1 典型非一致 Cache 体系结构模型

1.1 CMP-NUCA

多线程环境下,多核需要对 Cache 进行频繁读写以实现数据通信,非一致访问现象带来的矛盾更加突出.如果不能充分利用这种非一致访问延迟特性,长互连线延迟造成的性能损失将会削弱甚至抵消大容量 Cache 低失效率带来的获益.

为此,文献[2]将非一致延迟访问的思想扩展到多核环境中构成 CMP-NUCA 结构,将 L2 bank 阵列置于芯片中央,被 8 个处理器核共享,并且允许数据块根据访问频率向请求者方向动态迁移以降低命中延迟.多核环境中的迁移机制不但依赖于灵活的搜索机制,并且受限于应用程序工作负载中的数据共享模式.

1.2 CMP-NURAPID

文献[4]提出了 NuRAPID(non-uniform access with replacement and placement using distance associativity)非一致 Cache 结构,基于距离相联的思想将数据阵列划分成具有不同访问延迟的 d-group. 它将 tag 阵列和 data 阵列进行解耦,利用正、反向指针记录将两个物理分离的阵列间的逻辑对应关系,如图 1 所示.通过解耦可以提供灵活的放置策略,使频繁访问的数据更多地出现在最快的 d-group 内.

CMP-NuRAPID^[3]是该思想在 CMP 环境中的扩展.从降低延迟的角度出发,它将各核私有的 tag 阵列放在靠近本地处理器核的位置,将频繁访问的数据块放置在距离请求者较近的物理域中. CMP-NuRAPID 中的多个 tag 阵列可以共享某个数据块的单独副本,只需要将 tag 阵列中的正向指针指向 data 阵列中相应的数据块即可,不需要进行数据拷贝.由于访问相邻片上节点 Cache 的时间开销比片外访问要小很多,可以将超过本地 Cache 容量

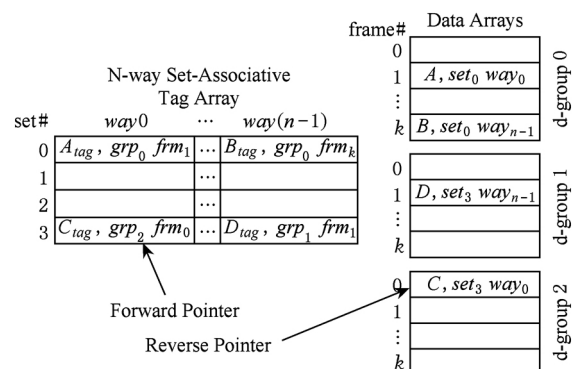


图 1 单核 NuRAPID 结构示意图^[4]

范围的私有数据保存在其他容量需求较小的邻居 Cache 中.

1.3 Dance-hall 和 Tile 结构

瓦片式(Tile)结构^[5-6]和 dance-hall 结构^[7]是大容量 L2 Cache 的其他两种常见组织形式. Tile 多核环境中,片上访存请求所耗费的时间由路由器延迟、链路延迟和 bank 访问延迟构成,分布式 bank 的组织方式构成了天然的非一致 Cache 体系结构. Dance-hall 结构中,处理器核和 Cache bank 分别位于互连结构两侧,核与 bank 间的数据交互必须通过共享的片上互连结构进行,因此互连延迟会显著影响访存效率.

1.4 Nahalal

Nahalal^[8]的设计出发点是将共享数据集中放置于芯片中央区域,被多个处理器核包围,同时将各核私有的 Cache 放在外围距离各处理器核较近的物理位置.共享数据块会迁移到芯片中央的共享区域,而私有数据只会保存在各核对应的私有 bank 中. Nahalal 和传统 CMP-NUCA 布局的一个显著不同在于:对私有数据块的访问不会阻塞共享数据块的访问通路.因此, Nahalal 可以根据应用程序的数据共享行为对 L2 Cache 域进行物理划分,既能满足对共享数据块的快速访问,又能保证私有数据与相应处理器核的物理近邻性,Cache 平均访问延迟得到明显改善.然而, Nahalal 拓扑结构限制了它的可扩展性,只能适用于中等规模的多核系统.

2 延迟与容量权衡

2.1 共享-私有结构优势对比

NUCA 容量扩大化和片上互连结构复杂化使得 Cache 非一致访问现象更加明显,设计人员必须在共享 Cache 低失效率和私有 Cache 低命中延迟的

优点之间寻找最佳折衷. 共享结构不但对片上 Cache 空间具有更高的利用率, 还能容忍多个应用程序工作集间容量需求的不均衡性; 此外, 由于片上只会存在唯一的数据副本, 一致性维护也比较简单^[9]. 然而, 完全共享 L2 会导致命中延迟较大, 长延迟访问造成的损失会削弱共享结构有效容量增加带来的性能获益.

私有 Cache 可以在本地 bank 中复制相应的数据副本, 具有以下优势: 首先, 数据物理位置距离处理器核较近, 命中延迟较低; 其次, 不同核上运行的应用程序间的存储访问特性不会彼此干扰, 便于实现性能隔离. 然而, 私有机制的弊端无法回避: 第一, 复制数据副本会减少有效空间, 容量失效问题比较突出; 第二, 负载不均衡会导致 Cache 空间有效利用率不高, 常常出现部分处理器核由于私有空间不能满足需求而发生容量失效, 而其他核的 Cache 尚有未利用空间; 第三, 私有结构中需要对多个副本进行频繁更新和作废, 一致性维护开销不容忽视^[10].

简而言之, 私有结构可以提供快速本地访问, 但以降低 Cache 有效容量为代价; 共享结构能够提供较大 Cache 空间, 但命中访问延迟会增加. 共享和私有方式均不可能在所有工作负载下都获得最优性能^[11].

2.2 典型混合 Cache 设计方案

理想缓存机制应该尽量具备私有 Cache 的低延迟特性, 又具有共享 Cache 的大容量特点^[12-16]. 设计人员需要基于已有的共享、私有架构进行混合设计, 更好地在容量和延迟之间进行权衡.

VR(victim replication)^[12] 是一种基于共享 L2 Cache 的混合结构, 试图将共享 L2 的大容量特性和私有 L2 的低延迟优势结合起来. L2 Cache 中访问最频繁的数据往往是被从 L1 驱逐出来的数据块, 基于此事实, VR 允许将 L1 驱逐出来的数据块复制在本地 L2 slice 中, 利用本地 L2 空间为处理器核提供一个虚拟的 victim Cache, 当再次访问该行时可以直接从本地获得. 但是该机制会造成数据冗余, 属于典型的利用容量开销换取延迟获益的作法.

受软件协作缓存算法^[17]启发, 文献^[13]通过在私有 Cache 间引入协作机制来构成全局管理的聚合共享 Cache, 利用干净数据的远程片上传输、复制副本感知的数据替换以及非活跃数据的全局替换等策略来实现对 Cache 资源的高效管理. 从本地 Cache 驱逐出来的数据块可以通过溢出操作保存在另一个核的 Cache 空间中, 当发生本地 L2 失效时能通过 Cache-to-Cache 传输从其他远程 L2 获得数据. 然

而, 该机制采用集中式目录维护 Cache 一致性, 可扩展性欠佳.

HCC(heterogeneous CMP cache)^[14] 是一种典型的异构 Cache, 不同类型结点间采用间接索引机制实现 Cache 容量复用, 以此缓解存储层次间包含关系造成的容量损失. 它可以在运行时借助硬件的自适应调节和操作系统调度, 在降低访问延迟和充分利用容量之间维护平衡性, 能够适应各类不同应用的访存需求. 事实上, 该方法体现了基于应用程序存储需求和访存模式进行动态延迟/容量自适应调整的思想.

SP-NUCA^[15] 将每个 Cache 分割成私有域和共享域, 共享域可保存被多核访问的共享数据, 私有域将私有数据保存在距离 owner 较近的位置. 该机制能根据负载行为进行自适应划分, 动态调整共享/私有容量比例. 文献^[13]中的溢出机制无法感知哪些处理器核可以从额外的容量获益, 也没有考虑哪些核可以提供额外的可用容量. 为避免溢出操作的盲目性, 文献^[16]提出的自适应溢出-接收机制在考虑每核 Cache 需求的前提下, 要求对于特定的私有 Cache, 要么可以获得 Cache 容量, 要么可以提供容量, 但不能同时具备两个权限. 通过为每个 Cache 设置溢出/接收位, 并根据程序特性进行置位/复位操作实现角色转换, 避免私有 Cache 既作为溢出者又作为接收者时效率低下的情况.

Liu 等人实现了基于处理器的分片式 Cache 系统, 允许软件在运行过程中从空间和时间两个角度来配置专属于每核的 Cache split, 属于采用编译器和管理系统管理的粗粒度划分技术^[18]. Huh 等人研究了 NUCA 中不同共享度对程序运行性能的影响^[19], 设计了一种粗粒度划分架构, 能支持可重构共享度.

3 面向延迟优化的 NUCA 数据管理策略

NUCA 延迟特性直接依赖于数据组织方法和管理策略. 要想充分发挥 NUCA 结构在 CMP 下的性能优势, 必须妥善解决数据映射、迁移、搜索、复制等核心子问题.

3.1 数据映射

数据映射通常有静态映射和动态映射两种方法^[1]. 静态策略中, 物理地址唯一确定数据块所属的物理 bank, 只有距离处理器较近的 bank 可以获得低访问延迟. 动态映射允许 Cache 行放置至任何一

个物理 bank,灵活性高,但会给数据搜索带来困难。

传统数据映射策略无法感知应用程序的访存模式,性能往往不佳。线程感知的动态插入策略^[20]基于当前并发执行的多个应用程序的访存需求决定数据放置位置,能够大幅提升多核系统在运行多道程序工作负载时的吞吐率。在科学计算工作负载和服务端负载中,指令、私有数据、共享数据的 Cache 访问特性截然不同,因此倾向于不同的映射策略。Reactive NUCA^[21]可以根据每种 Cache 访问的不同类型分别作出相应反应,将数据放置在 Cache 中的最佳位置。

文献[11]对 Sherwood 等人^[22]提出的页着色映射算法进行了改进,提出了一种基于二维页着色方法的动态映射机制,不仅分析面向单个 Cache slice 的基于 profile 的着色机制,而且考虑不同 slice 间的颜色。

然而,在多核环境中,不同 Cache 块可能具有完全不同的共享度并且可能隶属于不同的处理器核,访问特点和共享模式差别较大^[23]。此外,特定数据块的共享模式在程序执行过程中会动态变化^[24]。因此,单纯依赖数据智能映射策略不能一劳永逸地解决访存难题。要想进一步降低访存延迟,必须引入高效的迁移、搜索和复制机制。

3.2 数据迁移

迁移实际上是处于两个不同物理位置的数据块间的 swap 操作。迁移机制能够维护数据块的唯一性,Cache 空间利用率较高。迁移机制的关键在于数据块目的节点的选择,目的节点应该具有足够可用空间来接收数据行,避免连续溢出和额外 Cache 替换^[25]。

智能多跳提升技术^[26]能够根据访存过程中记录的线索信息,感知候选目标 bank 的状态,为被提升的数据动态选择最佳目的地。这种提升技术属于典型迁移机制,它通过将频繁访问的数据放置在距离请求者较近的空闲 bank 中,以减少对该数据访问的等待时间并避免 Cache 污染问题。文献[27]是一种基于预测的数据迁移算法,利用顺序预取技术来前瞻性地数据向目标节点移动,该机制比懒惰式迁移性能更佳。

不幸的是迁移机制在多核环境会遇到新的挑战:第一,共享数据块可能被多核竞争访问,导致数据块在核间乒乓运动^[19],导致迁移冲突;第二,动态迁移和映射在给数据放置带来灵活性的同时,增加了搜索机制复杂度,如何快速定位 Cache 块对于优

化访存延迟至关重要^[24];第三,迁移中的数据交换和复杂搜索过程会给片上互连结构注入大量消息,网络拥塞可能导致更大的互连延迟;第四,当 Cache 块从一个 bank 向另一个 bank 迁移时,可能导致其他请求不能找到该数据块,从而发生伪失效^[2]。

3.3 数据搜索

由于动态映射和迁移机制的引入,导致单纯依赖访存地址无法定位 Cache 块。动态 NUCA 定位策略主要有两种:增量搜索和多播搜索^[1]。增量搜索采用顺序化查找的思想,从最近的物理 bank 开始由近及远逐步搜索,延迟开销较大。多播搜索可以对 bank set 内的多个物理 bank 并行查找,平均访问时间较低但并发访问会导致互连结构竞争,通信量较大。

多核处理器核之间的共享关系具有空间和时间局部性^[28]。SRC (sharing relation cache)^[28]可以保存最近出现的共享关系,大多数请求的目的组可以从 SRC 中直接得到,数据请求能够获得快速响应。

3.4 数据复制

复制操作的代价和获益情况取决于数据块的共享行为特性:单请求者数据块不能从复制操作中获益,只读共享和读写共享的数据块可以从复制获益,但是后者需要进行作废或更新操作,因此在执行写操作时可能会导致额外延迟^[29]。另外,复制会降低 Cache 的有效空间,并且需要高效的一致性机制来维护数据块状态和副本数量。

ASR 是首次实现动态控制复制操作的硬件机制^[30],它可以感知工作负载行为特性,通过监控对远程 L2 Cache bank 的命中情况、本地 LRU Cache 块的访问情况以及对本地复制数据块的命中情况,动态评估复制操作后延迟降低带来的获益和容量失效导致的损失,仅当获益大于损失时才允许进行复制。其实,数据复制应该着重针对共享的只读数据块^[30],这样可以避免过多地占用有效空间,还能降低一致性维护中作废、更新操作的开销。

总之,从数据管理机制的触发与转换来看,复制操作的目的是降低片上命中时间,但过度复制会导致有效容量损失较大。迁移机制是根据访问频率来移动数据块以降低命中延迟,可以保证数据副本的唯一性,提升空间有效利用率,但在多核环境下盲目迁移会引起乒乓效应。由于多线程负载访存模式多样性的干扰,复制和迁移策略变得非常复杂^[21]。另外,在引入数据迁移、复制和动态映射机制后,要实现快速的数据定位相当困难。

4 NoC 环境下 NUCA 设计挑战及发展趋势

处理器核数和 bank 数量的不断增加,对片上互连结构提出了更高性能要求. NoC^[31-33] 凭借可扩展性强、数据吞吐率高等优势,能为数据交换提供高效的通信框架. 基于 NoC 互连形式的 CMP 架构迎合了先进微处理器的发展趋势,为 NUCA 延迟优化带来了新的挑战和机遇.

从挑战来看, NoC 已成为 CMP 片上存储子系统的关键组件^[34], NUCA 访问延迟受到片上路由器、互连链路和网络拥塞的影响. 从机遇来看, NoC 组件可集成的数据管理功能为延迟优化提供了潜在空间^[35]. 因此, CMP NUCA 设计越来越明显地体现出存储与互连协同优化的思想.

4.1 面向 NoC 互连的多核 NUCA 模型优化

在基于 NoC 互连的 CMP NUCA 中, 访存延迟取决于传输中所经的路由器数目、链路延迟、每个路由器的延迟、bank 内的访问时间以及网络竞争, 因此 NoC 参数对 Cache 性能具有重要影响^[36]. NUCA 中的网络资源占据的 Cache 面积高达 52%, 网络延迟也占 Cache 访问时间的 63%, 但互连却并未在片上访存优化中给予充分考虑^[37].

bank 组织与 NoC 互连组件应该采用紧耦合设计思想, 仔细考虑 NoC 参数(拓扑结构、路由结构、交换机制、冲突检测与避免机制等)对 NUCA 模型的影响^[38]. CACTI 6.0 模拟工具能对 bank 间互连结构精确建模^[39], 为分析不同互连结构性能提供了有力支持. 文献[34]利用 3D 电路技术在压缩互连线延迟方面的优势, 提出 NoC-bus 混合的 3D NUCA 设计方案, 可以显著提升 Cache 性能.

CMP NUCA 模型方面的创新会集中在片上存储层次间的互连网络优化. 设计人员需要以降低 Cache 平均命中访问时间和提高 Cache 有效空间利用率为设计目标, 对基于 NoC 的 CMP NUCA 结构进行建模和迭代优化, 具体包括 NUCA 与 NoC 协同设计方法、NUCA 性能随 NoC 参数变化的敏感度分析、多核与 bank 间的 NoC 组件及接口设计等.

4.2 NoC 环境下 CMP NUCA 数据管理机制

如果能基于存储系统与互连结构协同设计的思想, 将部分数据管理功能集成到 NoC 组件(比如 Router, Switch 等)中, 由 NoC 来提供访存线索或由其完成部分访存请求处理工作, 协助完成映射、迁移、复制及替换等细节问题, 则可以显著减小访存延迟, 提升片上多核系统性能.

网络迁移^[35]是利用嵌入在路由器中的 hint 信息, 将 Cache 迁移功能集成到网络介质中, 允许网络介质将从 L2 Cache 中替换出去的数据行传递至其他有剩余空间的 Cache 中, 动态调整片上 Cache 占用率分布情况. 这种基于路由线索的网络迁移机制, 实际上是将数据访问模式信息以线索的形式保存在路由器中, 降低了迁移操作目的结点选择的盲目性.

Bolotin 等人把部分数据管理机制嵌入到虫路由的 NoC 组件中^[40], 提供快速的数据查找机制. 文献[41]提出将 Cache 预取、Cache 感知的线程调度以及一致性机制集成到 NoC 硬件中, 降低 Cache 失效率和失效处理时间. 此外, 可以引入网络位置感知的数据传输机制, 在降低远程数据访问延迟的同时, 减少互连通信量和节点活跃度^[42]. 也可以在 NoC 中增加 Cache 状态感知功能^[41], 实时收集分布式 Cache 空间占用信息和程序访存特性, 使迁移操作更具针对性.

如何基于 NoC 实现对 CMP NUCA 数据的高效管理是片上存储优化方向极具挑战性的研究热点, 涉及的细节包括如何在 NoC 中实现智能数据迁移/替换/复制/合并、迁移-复制操作的自适应触发与转换、降低远程数据传输延迟、降低片上互连通信量和存储模块的活跃度等.

4.3 CMP NUCA 数据一致性维护机制

迁移、复制和动态映射机制的引入会使片上数据块副本的位置和数量发生变化, 并且多核会对共享数据进行频繁读写操作, 因此需要高效的一致性维护机制保证访存操作的正确性和性能.

一致性维护机制中的部分特性可以嵌入到 NoC 组件中, 利用多播机制、记忆功能和信息过滤等特点, 实现数据的高效作废和更新. 文献[43]提出在片上网络内部维护一致性的方法, 嵌入在路由节点内部的目录结构负责管理一致性请求并将请求转发至最近的数据副本, 可以减小访存延迟. Petrot 等人提出在 MPSoC 中采用软件方法来解决存储一致性问题^[44], 通过对共享片段采用 unCache 访问, 可以保证 Cache 一致性, 不需要额外的硬件开销. 但是该方法需要判断软件中哪些数据是被多个进程共享的, 哪些数据是某个进程私有的, 以时间开销为代价来降低一致性维护机制的复杂度. Brown 等人基于 mesh 互连结构中多核间的非一致访问延迟特点, 提出近邻感知的目录一致性机制^[42], 可以在 Cache 失效时从空间距离最近的共享者启动 Cache-to-Cache 数据传输, 加速读、写失效的处理过程, 既能消除不必要的片外存储访问, 又能减少通信数据在片上网络

络中的移动距离。

在基于 NoC 互连的 CMP 中,一致性协议与片上互连设计是紧密耦合的。基于 NoC 结构对多核 Cache 一致性协议进行优化,可以有效缓解“存储墙”难题。开放性问题的包括一致性协议操作中的消息并发传输与多播传输机制、支持 Cache 一致性机制的 NoC 接口设计以及一致性协议在多核环境中的可扩展性和可移植性等。

5 结束语

NUCA 的出现为优化 CMP 片上访问系统性能提供了新的设计思路。本文重点关注 CMP NUCA 设计中的延迟优化问题,介绍若干典型的 CMP NUCA 模型,讨论共享与私有结构设计中的延迟-容量权衡问题,分析 NUCA 数据管理机制中需要考虑的关键延迟优化技术,并对未来 NoC 互连环境下多核 NUCA 的设计挑战和机遇进行探索。

参 考 文 献

- [1] Kim C, Burger D, Keckler S W. An adaptive, non-uniform cache structure for wire-delay dominated on-chip caches // Proc of Int Conf on Architectural Support for Programming Languages and Operating Systems. New York: ACM, 2002: 211-222
- [2] Beckmann B M, Wood D A. Managing wire delay in large chip-multiprocessor Caches //Proc of the 37th Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2004: 319-330
- [3] Chishti Z, Powell M D, Vijaykumar T N. Optimizing replication, communication, and capacity allocation in cmps // Proc of the 32nd Annual Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2005: 357-368
- [4] Chishti Z, Powell M D, Vijaykumar T N. Distance associativity for high-performance energy-efficient non-uniform cache architectures //Proc of the 36th Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2003: 55-66
- [5] Bell S, Edwards B, Amann J, et al. Tile64 processor: A 64-core soc with mesh interconnect //Proc of Int Solid-State Conference. Piscataway, NJ: IEEE, 2008: 88-98
- [6] Ros A, Acacio M E, Garcia J M. Scalable directory organization for tiled cmp architectures //Proc of Int Conf on Computer Design. Las Vegas, NV: CSREA, 2008: 112-118
- [7] Barroso L A, Gharachorloo K, McNamara R, et al. Piranha: A scalable architecture based on single-chip multiprocessing //Proc of Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2000: 282-293
- [8] Guz Z, Keidar I, Kolodny A, et al. Nahalal: Cache organization for chip multiprocessors. IEEE Computer Architecture Letters, 2007, 6(1): 21-24
- [9] Cho S Y, Jin L. Managing distributed, shared l2 caches through os-level page allocation //Proc of the 39th Annual IEEE/ACM Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2006: 455-465
- [10] 肖俊华, 冯子军, 章隆兵. 片上多处理器中延迟和容量权衡的 cache 结构. 计算机研究与发展, 2009, 46(1): 167-175
- [11] Jin L, Cho S. Better than the two: Exceeding private and shared caches via two-dimensional page coloring //Proc of Int Workshop on Chip Multiprocessor Memory Systems and Interconnects(CMP-MSI), During the Int Symp on High-Performance Computer Architectures. Piscataway, NJ: IEEE, 2007: 1-5
- [12] Zhang M, Asanovic K. Victim replication: Maximizing capacity while hiding wire delay in tiled chip multiprocessors //Proc of Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2005: 336-345
- [13] Chang J C, Sohi G S. Cooperative caching for chip multiprocessors //Proc of the 33rd Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2006: 264-275
- [14] 高翔, 章隆兵, 胡伟武. 一种基于容量利用的异构 CMP Cache. 计算机研究与发展, 2008, 45(5): 877-885
- [15] Merino J, Puente V, Prieto P, et al. Sp-nuca: A cost effective dynamic non-uniform cache architecture. ACM SIGARCH Computer Architecture News, 2008, 36(2): 64-71
- [16] Qureshi M K. Adaptive spill-recv for robust high-performance caching in cmps //Proc of the 15th Int Symp on High-Performance Computer Architecture. Piscataway, NJ: IEEE, 2009: 45-54
- [17] Dahlin M D, Wang R Y, Anderson T E, et al. Cooperative caching: Using remote client memory to improve file system performance //Proc of the 1st USENIX conf on Operating Systems Design and Implementation. New York: ACM, 1994: 267-280
- [18] Liu C, Sivasubramanian A, Kandemir M. Organizing the last line of defense before hitting the memory wall for cmps // Proc of the IEEE High-Performance Computer Architecture Symp. Piscataway, NJ: IEEE, 2004: 176-185
- [19] Huh J, Kim C, Shafi H, et al. A nuca substrate for flexible cmp cache sharing. IEEE Trans on Parallel and Distributed Systems, 2007, 18(8): 1028-1040
- [20] Jaleel A, Hasenplaugh W, Qureshi M, et al. Adaptive insertion policies for managing shared Caches //Proc of the 17th Int Conf on Parallel Architectures and Compilation Techniques. Piscataway, NJ: IEEE, 2008: 208-219
- [21] Hardavellas N, Ferdman M, Falsafi B, et al. Reactive nuca: Near-optimal block placement and replication in distributed Caches //Proc of Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2009: 184-195

- [22] Sherwood T, Calder B, Emer J. Reducing cache misses using hardware and software page placement //Proc of Int Conf on Supercomputing. New York; ACM, 1999; 155-164
 - [23] Li F, Kandemir M, Irwin M J. Implementation and evaluation of a migration-based nuca design for chip multiprocessors //Proc of the 2008 ACM SIGMETRICS Int Conf on Measurement and Modeling of Computer Systems. New York; ACM, 2008; 449-450
 - [24] Kandemir M, Li F, Irwin M J, et al. A novel migration-based nuca design for chip multiprocessors //Proc of the 2008 ACM/IEEE conf on Supercomputing. Piscataway, NJ: IEEE, 2008; 1-12
 - [25] Eisley N A. Towards addressing the scalability challenges of chip-multiprocessors. New Jersey; Princeton University, 2008
 - [26] 吴俊杰, 潘晓辉, 杨学军. 面向非一致 Cache 的智能多跳提升技术. 计算机学报, 2009, 32(10): 1887-1895
 - [27] Hao S, Du Z, Bader D, et al. A prediction based cmp cache migration policy //Proc of the 10th Int Conf on High Performance Computing and Communications. Piscataway, NJ: IEEE, 2008; 374-381
 - [28] Wang Haixia, Wang Dongsheng, Li Peng. Src-based cache coherence protocol in chip multiprocessor //Proc of the Japan-China Joint Workshop on Frontier of Computer Science and Technology. Piscataway, NJ: IEEE, 2006; 60-67
 - [29] Beckmann B M, Marty M R, Wood D A. Balancing capacity and latency in cmp caches, CS-TR-2006-1554. Wisconsin; University of Wisconsin, 2006
 - [30] Beckmann B M, Marty M R, Wood D A. Asr: Adaptive selective replication for cmp caches //Proc of Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2006; 443-454
 - [31] Kundu P, Peh L S. Guest editors' introduction: On-chip interconnects for multicores. IEEE Micro, 2007, 27(5): 3-5
 - [32] Owens J D, Dally W J, Ho R, et al. Research challenges for on-chip interconnection networks. IEEE Micro, 2007, 27(5): 96-108
 - [33] Bjerregaard T, Mahadevan S. A survey of research and practices of network-on-chip. ACM Computing Surveys, 2006, 38(1): 71-121
 - [34] Li F. Software and hardware optimizations for noc-based chip multiprocessors. Pennsylvania; The Pennsylvania State University, 2007
 - [35] Eisley N, Peh L S, Shang L. Leveraging on-chip networks for data cache migration in chip multiprocessors //Proc of Int Conf on Parallel Architectures and Compilation Techniques. Piscataway, NJ: IEEE, 2008; 197-207
 - [36] Muralimanohar N, Balasubramonian R. Interconnect design considerations for large nuca caches //Proc of Int Symp on Computer Architecture. Piscataway, NJ: IEEE, 2007; 369-380
 - [37] Jin Y, Kim E J, Yum K H. A domain-specific on-chip network design for large scale cache systems //Proc of Int Symp on High-Performance Computer Architecture. Piscataway, NJ: IEEE, 2007; 318-327
 - [38] Bardine A, Comparetti M, Foglia P, et al. Performance sensitivity of nuca caches to on-chip network parameters //Proc of the 20th Int Symp on Computer Architecture and High Performance Computing. Piscataway, NJ: IEEE, 2008; 167-174
 - [39] Muralimanohar N, Balasubramonian R, Jouppi N. Optimizing nuca organizations and wiring alternatives for large caches with cacti 6.0 //Proc of the Annual Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2007; 3-14
 - [40] Bolotin E, Guz Z, Cidon I, et al. The power of priority: Noc based distributed cache coherency //Proc of Int Symp on Networks-on-Chip. Piscataway, NJ: IEEE, 2007; 117-126
 - [41] Tatas K, Kyriacou C, Dekoulis G, et al. Cache-aware network-on-chip for chip multiprocessors //Proc of SPIE-The Int Society for Optical Engineering. Dresden, Germany; SPIE, 2009; Article No. 73630N
 - [42] Brown J A, Kumar R, Tullsen D. Proximity-aware directory-based coherence for multi-core processor architectures //Proc of the 19th Annual Symp on Parallelism in Algorithms and Architectures. New York; ACM, 2007; 126-134
 - [43] Eisley N, Peh L S, Shang L. In-network cache coherence //Proc of the Annual Int Symp on Microarchitecture. Piscataway, NJ: IEEE, 2006; 321-332
 - [44] Petrot F, Greiner A, Gomez P. On cache coherency and memory consistency issues in noc based shared memory multiprocessor soc architectures //Proc of the 9th EUROMICRO Conf on Digital System Design: Architectures, Methods and Tools. Piscataway, NJ: IEEE, 2006; 53-60
- 黄安文 男, 1983 年生, 博士研究生, 中国计算机学会学生会员, 主要研究方向为多核处理器片上访问系统和互连结构设计。
- 高 军 男, 1978 年生, 讲师, 主要研究方向为多核处理器访问系统和互连结构设计。
- 张民选 男, 1954 年生, 教授, 博士生导师, 主要研究方向为高性能微处理器体系结构、超大规模集成电路设计。