

系统硬件综合设计实验布置

计算机与信息学院
2020.04.02



合肥工业大学
HEFEI UNIVERSITY OF TECHNOLOGY

介绍

- 目标：设计并实现一个多周期和流水CPU
 - 若干段流水、可以处理冲突
 - 三种类型的指令若干条
 - MIPS、ARM、RISC-V等类型CPU都可以
 - 下载到FPGA上进行验证（选）
- 工具：Vivado 和/或 ModelSim
- 语言：Verilog

说明

- 可以用ModelSim或Vivado做仿真
- 实验室机器安装有Vivado和ModelSim，可以借用FPGA开发板Ego1验证